

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-304806

(P2008-304806A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H093
G09G 3/36 (2006.01)	G02F 1/133 575	5C006
G09G 3/20 (2006.01)	G09G 3/36	5C080
	G09G 3/20 624C	
	G09G 3/20 611J	
審査請求 未請求 請求項の数 7 O L (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2007-153438 (P2007-153438)
 (22) 出願日 平成19年6月11日(2007.6.11)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (71) 出願人 506087819
 株式会社 IPSアルファテクノロジー
 千葉県茂原市早野3732番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (72) 発明者 桶 隆太郎
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

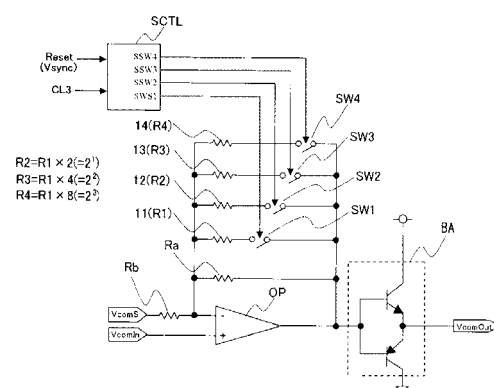
(57) 【要約】

【課題】映像電圧の交流化駆動にて発生する対向電極へのカップリングノイズによるクロストークを防止し、液晶表示パネルの表示画像の表示品質が劣化するのを防止する。

【解決手段】対向電圧供給回路は、液晶表示パネルの対向電極の特定部位から検出した電圧を反転増幅し、対向電極の対向電圧供給端に供給する反転増幅回路を有し、前記反転増幅回路は、反転入力端子と出力端子との間に接続されるフィードバック抵抗を有するオペアンプで構成され、フィードバック抵抗は、第1抵抗と、それぞれスイッチング素子を介して第1抵抗に並列に接続されるn個の抵抗とで構成され、スイッチング素子制御回路により、走査位置に応じて、n個のスイッチング素子を選択的にオン・オフさせてフィードバック抵抗の抵抗値を可変し、オペアンプの利得を変化させる。

【選択図】図6 - 1

図6 - 1



【特許請求の範囲】

【請求項 1】

複数のサブピクセルと、前記複数のサブピクセルに選択走査電圧を入力する複数の走査線とを有する液晶表示パネルと、

前記複数の走査線に順次前記選択走査電圧を供給する走査線駆動回路とを備え、

前記複数のサブピクセルの各サブピクセルは、対向電極を有し、

前記対向電極に対向電圧を供給する対向電圧供給回路を備え、

前記対向電圧供給回路は、前記液晶表示パネルの前記対向電極の特定部位から検出した電圧を反転増幅し、前記対向電極の前記対向電圧供給端に供給する反転増幅回路を有する液晶表示装置であって、

前記反転増幅回路は、反転入力端子と出力端子との間に接続されるフィードバック抵抗を有するオペアンプで構成され、

前記フィードバック抵抗は、 n 個の抵抗と、

前記 n 個の抵抗を前記オペアンプのフィードバック経路に挿入、あるいは、前記 n 個の抵抗を前記オペアンプのフィードバック経路から取り外す n 個のスイッチング素子とを有し、

前記走査線駆動回路が前記選択走査電圧を供給する前記走査線の位置に応じて、前記 n 個のスイッチング素子を選択的にオン・オフさせて前記フィードバック抵抗の抵抗値を変え、前記オペアンプの利得を変化させるスイッチング素子制御回路を有することを特徴とする液晶表示装置。

【請求項 2】

前記対向電圧供給端から、前記複数の走査線の前記各走査線までの間隔が大きくなる程、前記オペアンプの利得が大きくなることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記複数の走査線は複数のグループにグループ分けされ、

前記オペアンプの利得は、前記各グループの走査線毎に変化することを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】

前記フィードバック抵抗は、第 1 抵抗と、

それぞれ前記スイッチング素子を介して前記第 1 抵抗に並列に接続される n 個の抵抗とで構成されることを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記フィードバック抵抗は、第 1 抵抗と、

前記第 1 抵抗に直列に接続される n 個の抵抗と、

前記 n 個の抵抗に並列に接続される前記 n 個のスイッチング素子とで構成されることを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 6】

前記 n 個の抵抗の抵抗値を、それぞれ、 $R_1, R_2, \dots, R_n$ とするとき、 $R_n = 2^{(n-1)} \times R_1$ を満足することを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】

前記液晶表示パネルは、前記複数のサブピクセルに映像電圧を入力する複数の映像線を有し、

前記複数の映像線に映像電圧を供給する映像線駆動回路を備え、

前記対向電極の前記対向電圧供給端は、前記対向電極の前記映像線駆動回路に近い側の端部であり、

前記液晶表示パネルの特定部位は、前記対向電極の前記映像線駆動回路から最も遠い側の端部であることを特徴とする請求項 1 ないし請求項 6 のいずれか 1 項に記載の液晶表示装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、大型高精細液晶表示パネルの対向電極の電圧変動を補正する液晶表示装置に関する。

【背景技術】

【0002】

近年、液晶表示モジュールは、小型表示装置からOA機器、大型TV等の表示装置として広く普及している。この液晶表示モジュールでは、基本的には少なくとも一方が透明なガラス板やプラスチック基板等からなる一対の絶縁基板の間に液晶組成物の層（液晶層）を挟持して液晶表示パネルを構成する。

10

特に、アクティブ素子として薄膜トランジスタを使用するTFT方式の液晶表示モジュールは高精細な画像を表示できるため、テレビ、パソコン用ディスプレイ等の表示装置として使用されている。

一般に、アクティブマトリクス型液晶表示装置は、一方の基板に形成した電極と他方の基板に形成した電極との間に液晶層の配向方向を変えるための電界を印加する、縦電界方式を採用している。また、液晶層に印加する電界の方向を基板面とほぼ平行な方向とする、横電界方式（IPS（In-Plane Switching）方式とも言う）の液晶表示モジュールが実用化されている。

この液晶表示パネルは、隣接する2本の走査線（ゲート線ともいう。）と、隣接する2本の映像線（ソース線またはドレイン線ともいう。）とで囲まれる領域に、走査線から選択走査信号が入力されたときにオンする薄膜トランジスタと、映像線から映像信号が薄膜トランジスタを介して供給される画素電極とが形成されて、所謂、サブピクセルが構成される。

20

また、複数の映像線には、液晶表示パネルの周辺部に配置されるドレインドライバから映像電圧（階調電圧）が供給され、複数の走査線には、液晶表示パネルの周辺部に配置されるゲートドライバから選択走査電圧が供給される。

【0003】

液晶は、長時間直流（DC）が印可されると、液晶の寿命が短くなるため、一定の周期で、各サブピクセルの画素電極に入力する映像電圧を、対向電極に入力する対向電圧よりも高電位、あるいは、対向電極に入力する対向電圧よりも低電位に変化させる、所謂、交流化駆動が一般的に行われている。

30

アクティブマトリクス型の液晶表示モジュールは、高精細パネルになるに従い映像線の絶対数が多くなり、交流化駆動における映像線電圧変動時の対向電極に対するカップリングノイズが大きくなる。

また、液晶表示パネルが大型化するにつれ、対向電極に対向電圧を供給する対向電圧供給源からの抵抗成分が無視できなくなり、対向電圧供給源の近端と遠端では、映像線変動によるカップリングノイズの差が大きくなるという問題が発生する。

この問題点を解消するために、特定部位から検出された対向電極の電圧変動の反転信号を対向電極に供給する技術が知られている。（下記、特許文献1参照）

40

【0004】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献1】特開平6 - 186530号広報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、前述の特許文献1に記載されているように、特定部位から検出された対向電極の電圧変動の反転信号を対向電極に供給するだけでは、液晶表示パネル上に、対向電圧供給源からの距離に依存したむらが発生するばかりか、クロストーク等による画質劣化の要因となっていた。

50

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示パネルにおいて、映像電圧の交流化駆動にて発生する対向電極へのカップリングノイズによるクロストークを防止し、液晶表示パネルの表示画像の表示品質が劣化するのを防止することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0006】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 複数のサブピクセルと、前記複数のサブピクセルに選択走査電圧を入力する複数の走査線とを有する液晶表示パネルと、前記複数の走査線に順次前記選択走査電圧を供給する走査線駆動回路とを備え、前記複数のサブピクセルの各サブピクセルは、対向電極を有し、前記対向電極に対向電圧を供給する対向電圧供給回路を備え、前記対向電圧供給回路は、前記液晶表示パネルの前記対向電極の特定部位から検出した電圧を反転増幅し、前記対向電極の前記対向電圧供給端に供給する反転増幅回路を有する液晶表示装置であって、前記反転増幅回路は、反転入力端子と出力端子との間に接続されるフィードバック抵抗を有するオペアンプで構成され、前記フィードバック抵抗は、 n 個の抵抗と、前記 n 個の抵抗を前記オペアンプのフィードバック経路に挿入、あるいは、前記 n 個の抵抗を前記オペアンプのフィードバック経路から取り外す n 個のスイッチング素子とを有し、前記走査線駆動回路が前記選択走査電圧を供給する前記走査線の位置に応じて、前記 n 個のスイッチング素子を選択的にオン・オフさせて前記フィードバック抵抗の抵抗値を可変し、前記オペアンプの利得を変化させるスイッチング素子制御回路を有する。

【0007】

(2) (1) において、前記対向電圧供給端から、前記複数の走査線の前記各走査線までの間隔が大きくなる程、前記オペアンプの利得が大きくなる。

(3) (1) または (2) において、前記複数の走査線は複数のグループにグループ分けされ、前記オペアンプの利得は、前記各グループの走査線毎に変化する。

(4) (1) ないし (3) の何れかにおいて、前記フィードバック抵抗は、第 1 抵抗と、それぞれ前記スイッチング素子を介して前記第 1 抵抗に並列に接続される n 個の抵抗とで構成される。

(5) (1) ないし (3) の何れかにおいて、前記フィードバック抵抗は、第 1 抵抗と、前記第 1 抵抗に直列に接続される n 個の抵抗と、前記 n 個の抵抗に並列に接続される前記 n 個のスイッチング素子とで構成される。

(6) (1) ないし (5) の何れかにおいて、前記 n 個の抵抗の抵抗値を、それぞれ、 $R_1, R_2, \dots, R_n$ とするとき、 $R_n = 2^{(n-1)} \times R_1$ を満足する。

(7) (1) ないし (3) の何れかにおいて、前記液晶表示パネルは、前記複数のサブピクセルに映像電圧を入力する複数の映像線を有し、前記複数の映像線に映像電圧を供給する映像線駆動回路を備え、前記対向電極の前記対向電圧供給端は、前記対向電極の前記映像線駆動回路に近い側の端部であり、前記液晶表示パネルの特定部位は、前記対向電極の前記映像線駆動回路から最も遠い側の端部である。

【発明の効果】

【0008】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、大型高精細液晶表示パネルにおいて、映像電圧の交流化駆動にて発生する対向電極へのカップリングノイズによるクロストークを防止し、液晶表示パネルの表示画像の表示品質が劣化するのを防止することが可能となる。

【発明を実施するための最良の形態】

【0009】

10

20

30

40

50

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図 1 は、本発明の実施例の液晶表示モジュールの概略構成を示す図であり、図 2 は、図 1 に示す液晶表示パネル 1 の等価回路を示す回路図である。

本実施例の液晶表示モジュールは、液晶表示パネル 1、ドレインドライバ 2、ゲートドライバ 3、表示制御回路 4、および電源回路（図示せず）で構成される。

本実施例の液晶表示モジュールは、画素位置対応対向電圧補正回路として、対向電圧検出端子（TVcom）と、反転増幅回路（AMP）と、スイッチング素子制御回路（SCTL）とを備える。

ドレインドライバ 2 と、ゲートドライバ 3 は、表示パネル 1 の周辺部に設置される。例えば、ドレインドライバ 2 と、ゲートドライバ 3 は、液晶表示パネル 1 の一対の基板の第 1 の基板（例えば、ガラス基板）の 2 辺の周辺部に、それぞれ COG 方式で実装される。あるいは、ドレインドライバ 2 と、ゲートドライバ 3 は、液晶表示パネル 1 の第 1 の基板の 2 辺の周辺部に配置されるフレキシブル回路基板に、それぞれ COF 方式で実装される。

また、表示制御回路 4 と、電源回路は、液晶表示パネル 1 の周辺部（例えば、液晶表示モジュールの裏側）に配置される回路基板にそれぞれ実装される。電源回路は液晶表示装置に要する各種の電圧を生成する。

【0010】

表示制御回路 4 は、パソコンやテレビ受信回路等の表示信号源（ホスト側）から入力される表示制御信号（CTS）と表示データ（Din）を、データの交流化等、液晶表示パネル 1 の表示に適したタイミング調整を行い、表示形式の表示データに変換して同期信号（クロック信号）と共にドレインドライバ 2、ゲートドライバ 3 に入力する。

ゲートドライバ 3 は、表示制御回路 4 の制御の基に走査線（ゲート線ともいう；GL）に選択走査電圧を順次供給し、また、ドレインドライバ 2 は、映像線（ドレイン線、ソース線ともいう；DL）に映像電圧を供給して映像を表示する。

図 2 に示すように、液晶表示パネル 1 は、複数のサブピクセルを有し、各サブピクセルは、映像線（DL）と走査線（GL）とで囲まれた領域に設けられる。

各サブピクセルは、薄膜トランジスタ（TFT）を有し、薄膜トランジスタ（TFT）の第 1 の電極（ドレイン電極またはソース電極）は映像線（DL）に接続され、薄膜トランジスタ（TFT）の第 2 の電極（ソース電極またはドレイン電極）は画素電極（PX）に接続される。また、薄膜トランジスタ（TFT）のゲート電極は、走査線（GL）に接続される。

なお、図 2 において、LC は、画素電極（PX）と対向電極（CT）との間に配置される液晶層を等価的に示す液晶容量であり、Cst は、画素電極（PX）と対向電極（CT）との間に形成される保持容量である。

【0011】

図 1 に示す液晶表示パネル 1 において、列方向に配置された各サブピクセルの薄膜トランジスタ（TFT）の第 1 の電極は、それぞれ映像線（DL）に接続され、各映像線（DL）は列方向に配置されたサブピクセルに、表示データに対応する映像電圧（階調電圧）を供給するドレインドライバ 2 に接続される。

また、行方向に配置された各サブピクセルにおける薄膜トランジスタ（TFT）のゲート電極は、それぞれ走査線（GL）に接続され、各走査線（GL）は、1 水平走査時間、薄膜トランジスタ（TFT）のゲートに走査電圧（正あるいは負のバイアス電圧）を供給するゲートドライバ 3 に接続される。

表示制御回路 4 は、1 個の半導体集積回路（LSI）から構成され、外部から入力されてくるドットクロック（DCLK）、ディスプレイタイミング信号（DTMG）、外部水平同期信号（Hsync）、外部垂直同期信号（Vsync）の各表示制御信号および表示用データを基に、ドレインドライバ 2、および、ゲートドライバ 3 を制御・駆動する。

【 0 0 1 2 】

表示制御回路 4 は、ディスプレイタイミング信号 (D T M G) が入力されると、これを表示開始位置と判断し、受け取った単純 1 列の表示データを、表示データのバスラインを介してドレインドライバ 2 に出力する。

その際、表示制御回路 4 は、ドレインドライバ 2 のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック信号 (C L 2) を信号線を介して出力する。

表示制御回路 4 は、ディスプレイタイミング信号 (D T M G) の入力終了するか、または、ディスプレイタイミング信号 (D T M G) が入力されてから所定の一定時間が過ぎると、1 水平分の表示データが終了したものとして、ドレインドライバ 2 のラッチ回路に蓄えていた表示データを液晶表示パネル 1 の映像線 (D L) に出力するための表示制御信号である出力タイミング制御用クロック信号 (C L 1) を信号線を介してドレインドライバ 2 に出力する。これにより、ドレインドライバ 2 は、表示データに対応する映像電圧を、映像線 (D L) に供給する。

10

【 0 0 1 3 】

また、表示制御回路 4 は、垂直同期信号入力後に、第 1 番目のディスプレイタイミング信号が入力されると、これを第 1 番目の表示ラインと判断して信号線を介してゲートドライバ 3 にフレーム開始指示信号 (F L M) を出力する。

さらに、表示制御回路 4 は、水平同期信号に基づいて、1 水平走査時間毎に、順次液晶表示パネル 1 の各走査線 (G L) に選択走査電圧 (正のバイアス電圧) を供給するように、信号線を介してゲートドライバ 3 へ 1 水平走査時間周期のシフトクロック (C L 3) を出力する。

20

これにより、液晶表示パネル 1 の各走査線 (G L) に接続された複数の薄膜トランジスタ (T F T) が、1 水平走査時間の間導通する。

映像線 (D L) に供給された電圧は、1 水平走査時間の間導通する薄膜トランジスタ (T F T) を経由して、画素電極 (P X) に印加され、最終的に、保持容量 (C s t) と、液晶容量 (L C) に電荷がチャージされ、液晶分子をコントロールすることにより画像が表示される。

【 0 0 1 4 】

液晶表示パネル 1 は、画素電極 (P X)、薄膜トランジスタ (T F T) 等が形成される第 1 の基板と、カラーフィルタ等が形成される第 2 の基板とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

30

なお、対向電極 (C T) は、T N 方式や V A 方式の液晶表示パネルであれば第 2 の基板側に設けられる。I P S 方式の場合は、第 1 の基板側に設けられる。

また、本発明は、液晶パネルの内部構造とは関係がないので、液晶パネルの内部構造の詳細な説明は省略する。さらに、本発明は、どのような構造の液晶パネルであっても適用可能である。

【 0 0 1 5 】

対向電極 (C T) は、液晶表示パネル全体で同一電位となるよう接続されており、反転増幅回路 (A M P) からの電圧が、図 1 の A 2 に示すように、ドレインドライバ用回路基板を介して、液晶表示パネルの対向電極 (C T) に供給される。

40

本実施例では、映像線 (D L) の電圧変動による対向電極 (C T) の変動を補正するため、対向電極 (C T) の対向電圧供給点から最遠端に対向電圧検出端子 (T V c o m) を設け、この対向電圧検出端子 (T V c o m) で検出した電圧 (図 1 の A 1) を反転増幅回路 (A M P) に入力する。

反転増幅回路 (A M P) は、後述するように、オペアンプで構成され、反転増幅回路 (A M P) の利得 (ゲイン) は表示ライン位置に対応して変化する。

【 0 0 1 6 】

50

図 3 は、1 サブピクセルにおける容量を構成する部位を説明するための図である。図 3 において、 $L C$ はサブピクセルの液晶容量、 $C d c$ は映像線 - 対向電極間の寄生容量、 $C g c$ は走査線 - 対向電極間の寄生容量、 $C g d$ は走査線 - 映像線間の寄生容量である。

図 4 は、映像線 ($D L$) の電圧変動に応じて、寄生容量により対向電極 ($C T$) がカップリングを受ける様子を説明するための模式図である。

映像線 ($D L$) はフリッカーを軽減するため、一般的には隣接する 2 つの映像線 ($D L$) の電圧が逆極性に駆動するように設定されており、図 4 において、 $D L V (+)$ は映像線 ($D L$) の正極性の映像電圧、 $D L V (-)$ は映像線 ($D L$) の負極性の映像電圧、 $G L V$ は走査線 ($G L$) の選択走査電圧である。

前述したように、映像線 ($D L$) に入力する映像電圧は、液晶に直流 ($D C$) が印加されるのを防止するために、一定周期で、対向電極 ($C T$) の対向電圧 ($V c o m$) に対して極性を反転させている。

しかし、特定のパターンを表示した場合には、映像線 ($D L$) に入力される映像電圧が、一方の極性の映像電圧の方が多くなり、図 4 の A 3 に示すように、寄生容量のカップリングにより、対向電極 ($C T$) の電位が変動する。

【0017】

その後、対向電圧供給回路 (ここでは、反転増幅回路 ($A M P$)) から対向電圧 ($V c o m$) が供給されることにより、対向電極 ($C T$) の電圧は本来の対向電圧 ($V c o m$) に戻るが、走査線 ($G L$) が、オフ状態になる前に、本来の対向電位 ($V c o m$) に戻ることができない場合は、本来書き込むべき電圧とは異なる電圧が液晶容量 ($L C$) に書き込まれるため、誤書き込みとなり表示品質が劣化する。

比較的小型の液晶表示パネルでは、対向電極 ($C T$) の面積が小さいため、対向電極 ($C T$) が変動した場合でも容易に元の電位に復帰し、表示品質が劣化することは少ない。しかしながら、高精細パネルでは、映像線 ($D L$) の本数が増大することにより、映像線 - 対向電極間の寄生容量 ($C d c$)、および走査線 - 映像線間の寄生容量 ($C g d$) を介しての走査線 - 対向電極間の寄生容量 ($C g c$) の影響が大きくなる。

また、近年、液晶表示パネル 1 のフレームリフレッシュレートは、動画対応のため、2 倍速、3 倍速駆動が行われており、ゲートのオン時間が益々短くなり、電圧が変動した対向電極 ($C T$) が元の対向電圧 ($V c o m$) に戻るまでの時間が不足することから誤書き込みが発生し、クロストーク等の画質劣化が顕著になる。

【0018】

図 5 は、特許文献 1 に記載されている対向電極 ($C T$) の対向電圧補正回路を示す図である。前述の特許文献 1 に記載されている対向電極 ($C T$) の対向電圧補正回路では、センシングライン 20 で検出した対向電極 ($C T$) の電圧変動を反転回路 21 に入力し、この反転信号を対向電極 ($C T$) に供給するようにしている。

前述の特許文献 1 に記載されている液晶表示装置では、液晶表示パネルの対向電極 ($C T$) への供給は液晶表示パネル最外周に供給ラインを設けるなど工夫がなされているが、液晶表示パネル自体が大型化するため、液晶表示パネル内の抵抗成分が無視できないようになり、対向電圧供給端に近い部位と遠端では、対向電圧供給時の時定数差が拡大する。これにより、例えば、液晶表示パネルの対向電圧供給端から最も遠い位置の対向電極 ($C T$) の電圧検出し、補正した場合、液晶表示パネルの対向電圧供給端に近い側では過補正となり、遠端側では液晶表示パネル内の抵抗成分により補正不足となる。

しかしながら、本実施例の対向電圧補正回路の場合、検出した電圧を反転増幅回路 ($A M P$) で増幅して、対向電極 ($C T$) に供給するが、反転増幅回路 ($A M P$) の利得を、液晶表示パネル内の抵抗成分を考慮して、走査中の走査線 ($G L$) と対向電圧供給端との間の距離に基づき設定するようにしたので、液晶表示パネル内で均一な補正が可能となる。

【0019】

以下に、本実施例の具体例について説明する。

図 1 に示したように、対向電圧 ($V c o m$) を周辺回路にて生成し、低抵抗な映像線駆

10

20

30

40

50

動回路基板を経由して、液晶表示パネル 1 の対向電極 (CT) に供給する。図 1 の場合、液晶表示パネル上部が、対向電圧供給端の近傍となり、液晶表示パネル下部が対向電圧供給端の遠端側となる。

対向電極 (CT) は、映像線 (DL) の交流化駆動により、液晶容量 (LC) および各寄生容量 (Cdc, Cgc, Cgd) を介して影響を受け、その量は、1 表示ライン上での映像線 (DL) の正極性または負極性への変動量差で決まる。

図 9 にクロストークの発生しやすい表示パターンを示す。一般的に液晶表示モジュールのパネルの 1 画素は、R、G、B の 3 原色のサブピクセルがセットになっており、R、G、B のサブピクセル順に繰り返し配置している。この R、G、B のサブピクセル各々に、映像線 (DL) と液晶容量 (LC) が接続されており、ドレインドライバ 2 から、画像情報である映像電圧が供給される。

一般的に、隣接する映像線 (DL) に供給される映像電圧は逆極性になるように設定されており、例えば、ノーマリーブラックの液晶の場合、白表示時には、R と B のサブピクセルに正極性 (POT) の最大の映像電圧を印加され、G のサブピクセルに負極性 (NEG) の最大の映像電圧を印加される。これが繰り返された場合、つまり白黒を画素単位で交互に表示した場合は、1 ライン中で正極性の映像電圧を供給した R、B の映像線 (DL) に対し、負極性の映像電圧を供給した G の映像線 (DL) は半分であり、映像線 (DL) の電圧変動によるカップリングにより、図 9 の A に示すように、対向電極 (CT) の電圧が正極性側にシフトする。

この状態で、走査線 (GL) がオフ、つまり液晶容量 (LC) への電圧書き込みが終了した場合は、供給される映像電圧に対し、G のサブピクセルのみが相対的に高い電圧を書き込んだこととなり、白が緑にシフトすることになる。また、同一の表示ライン上の中間調 (MRA) を表示した領域では、1 画素単位で明暗が発生し、クロストークと呼ばれる画質劣化の現象が観察されることとなる。

【0020】

前述した対向電圧の変動に起因する画質劣化を改善するため、本実施例では、画素位置対応対向電圧補正回路で、液晶表示パネルの表示ライン位置に対応した補正電圧を対向電極 (CT) に与える。

図 6 - 1 は、本実施例の反転増幅回路の一例を示す回路図である。図 6 - 1 は、オペアンプ (OP) を使用した反転増幅回路であり、オペアンプ (OP) の出力端子には、バイポーラトランジスタで構成されるバッファ回路 (BA) が接続される。また、オペアンプ (OP) の反転入力端子 (-) と出力端子との間には、フィードバック抵抗が接続される。このフィードバック抵抗は、Ra の抵抗と、R1 ~ R4 の抵抗の並列回路で構成される。

図 6 - 1 に示す反転増幅回路は、液晶表示パネル 1 の対向電圧供給端から最も遠端に設けた、液晶表示パネル下部の対向電圧検出端子 (TVcom) からの電圧 (VcomS) を反転増幅し、増幅した電圧 (VcomOut) を対向電圧 (Vcom) として対向電極 (CT) に供給する。なお、図 6 - 1 において、VcomIn は、本来の対向電圧 (Vcom) である。

この場合、対向電圧供給端の近傍である液晶表示パネル上部の走査線 (GL) を走査している時は、反転増幅回路の利得 (ゲイン) を下げ過補正にならないようにし、遠端である液晶表示パネル下部の走査線 (GL) を走査している時は、液晶表示パネル内抵抗成分を考慮し利得 (ゲイン) を高くして補正不足を補う。

【0021】

この走査に応じて、反転増幅回路の利得を変更する方式として、本実施例では、オペアンプ (OP) で構成される反転増幅回路のフィードバック抵抗を可変する。そのため、本実施例では、図 6 - 1 に示すように、Ra の抵抗に、11 ~ 14 の抵抗をそれぞれスイッチング素子 (SW1 ~ SW4) を介して並列に接続し、スイッチング素子制御回路 (SCTL) により、スイッチング素子 (SW1 ~ SW4) を選択的にオン・オフして、フィードバック抵抗を可変する。

ここで、抵抗 11 の抵抗値を R_1 とするとき、抵抗 12 の抵抗値 R_2 は、 $R_2 = 2(2^{(2-1)}) \times R_1$ 、抵抗 13 の抵抗値 R_3 は、 $R_3 = 4(2^{(3-1)}) \times R_1$ 、抵抗 14 の抵抗値 R_4 は、 $R_4 = 8(2^{(4-1)}) \times R_1$ とされる。即ち、11 ~ 14 の抵抗は重み付けがなされている。

また、 R_a の抵抗に、 n 個の抵抗 (図 6 - 1 では、11 ~ 14 の 4 個) が接続される場合、走査に応じて、オペアンプ (OP) のフィードバック抵抗を可変する時に、本実施例では、全走査線を、 2^n 個 (図 6 - 1 では、 2^4 の 16 個) のグループに分割し、当該分割したグループ単位で、オペアンプ (OP) のフィードバック抵抗を可変する。

そのため、スイッチング素子制御回路 (SCTL) は、内部に、入力されるシフトクロック (CL3) をカウントするカウンタを有し、当該カウンタのカウント値に基づき、走査される走査線 (GL) が、どのグループかを判断し、スイッチング素子制御信号 (SSW1 ~ SSW4) に基づき、スイッチング素子 (SW1 ~ SW4) を選択的にオン・オフする。

【0022】

なお、図 6 - 1 の Reset は、垂直同期信号 (Vsync) に同期した信号 (あるいは、垂直同期信号 (Vsync)) であり、内部のカウンタをリセットするための信号である。

スイッチング素子 (SW1 ~ SW4) のオン・オフのタイミングの一例を図 7 に示し、このときの、オペアンプで構成される反転増幅回路のフィードバック抵抗の抵抗値と、表示ライン位置との関係の一例を図 8 に示す。なお、図 7, 図 8 において、HLNo は、表示ライン位置を表し、16 分割された各グループの走査線に対応する。

一般に、オペアンプ (OP) で構成される反転増幅回路の利得 (ゲイン) は、 $(-R_a/R_b)$ で表されるので、フィードバック抵抗の抵抗値が、図 8 に示すように変化する場合、オペアンプ (OP) で構成される反転増幅回路の利得 (ゲイン) も、図 8 と同じように変化する。これにより、対向電圧供給端の近傍である液晶表示パネル上部の走査線 (GL) を走査している時は、反転増幅回路の利得 (ゲイン) を低くし、遠端である液晶表示パネル下部の走査線 (GL) を走査している時は、液晶表示パネル内抵抗成分を考慮し利得 (ゲイン) を高くすることができる。

【0023】

図 6 - 2 は、本実施例の反転増幅回路の他の例を示す回路図である。図 6 - 2 に示す反転増幅回路は、 R_a の抵抗に、11 ~ 14 の抵抗を直列に接続し、かつ、11 ~ 14 の抵抗のそれぞれスイッチング素子 (SW1 ~ SW4) を並列に接続した点で、図 6 - 1 に示す反転増幅回路と相異なる。

図 6 - 2 に示す反転増幅回路でも、スイッチング素子制御回路 (SCTL) により、スイッチング素子 (SW1 ~ SW4) を選択的にオン・オフして、フィードバック抵抗を可変することができる。なお、図 6 - 1、図 6 - 2 において、抵抗 (R_a) に直列、あるいは、並列に接続される抵抗は、4 個に限定されるものではなく、2 個、3 個、あるいは、6 個以上であってもよい。

以上説明したように、本実施例では、液晶表示パネル (特に、大型高精細液晶表示パネル) において、映像線 (DL) の交流化駆動に起因する対向電圧 (V_{com}) の変動を、対向電圧供給端からの距離に応じて補正するようにしたので、映像線 (DL) の交流化駆動にて発生する対向電極 (CT) へのカップリングノイズによる書き込み不足による画質劣化、あるいは、液晶表示パネル全面でのクロストーク現象による画質劣化が解消される。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0024】

【図 1】本発明の実施例の液晶表示モジュールの概略構成を示す図である。

【図 2】図 1 に示す液晶表示パネル 1 の等価回路を示す回路図である。

【図 3】1 サブピクセルの容量を説明するための図である。

【図 4】映像線の電圧変動に応じて、寄生容量により対向電極がカップリングを受ける様子を説明するための模式図である。

【図 5】特許文献 1 に記載されている対向電極の対向電圧補正回路を示す図である。

【図 6 - 1】本発明の実施例の反転増幅回路の一例を示す回路図である。

【図 6 - 2】本発明の実施例の反転増幅回路の一例を示す回路図である。

【図 7】図 6 のスイッチング素子のオン・オフのタイミングの一例を示すタイミングチャートである。

【図 8】図 6 に示すオペアンプで構成される反転増幅回路のフィードバック抵抗の抵抗値と、表示ライン位置との関係の一例を示すグラフである。 10

【図 9】クロストークの発生しやすい表示パターンを示す図である。

【符号の説明】

【 0 0 2 5 】

1 液晶表示パネル

2 ドレインドライバ

3 ゲートドライバ

4 表示制御回路

11 ~ 14, R a, R b 抵抗

20 センシングライン 20

21 反転回路

G L 走査線 (ゲート線)

D L 映像線 (ドレイン線、ソース線)

T F T 薄膜トランジスタ

P X 画素電極

C T 対向電極

L C 液晶容量

C s t 保持容量

C d c 映像線 - 対向電極間の寄生容量

C g c 走査線 - 対向電極間の寄生容量 30

C g d 走査線 - 映像線間の寄生容量

A M P 反転増幅回路

S W 1 ~ S W 4 スwitching素子

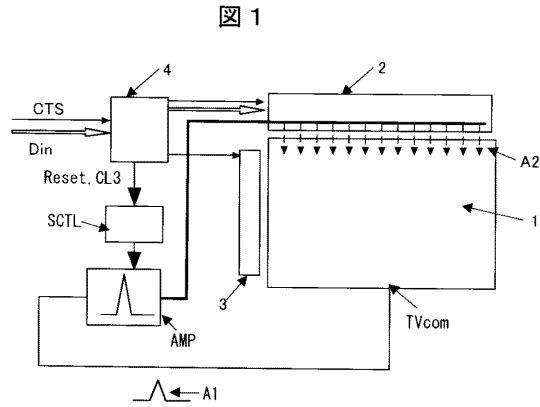
T V c o m 対向電圧検出端子

S C T L スwitching素子制御回路

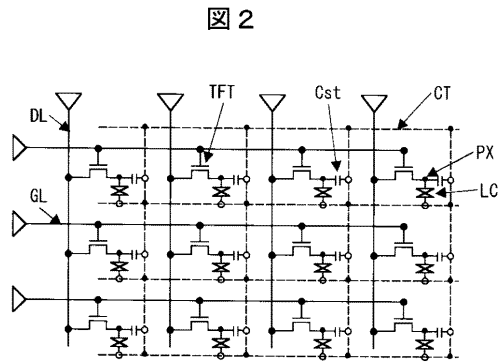
O P オペアンプ

B A バッファ回路

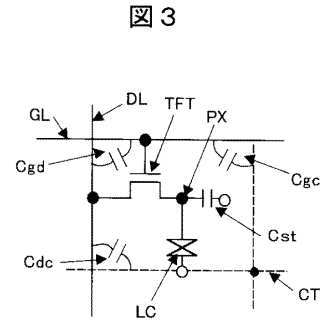
【図 1】



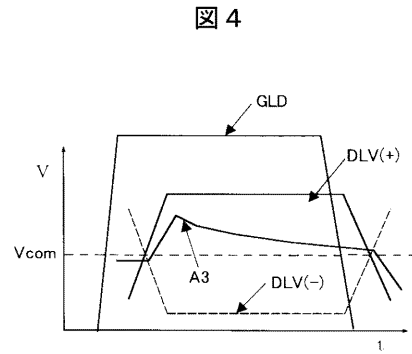
【図 2】



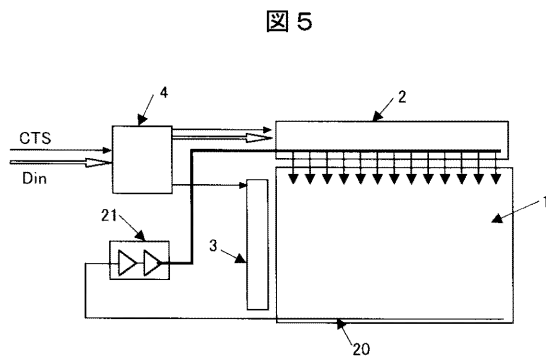
【図 3】



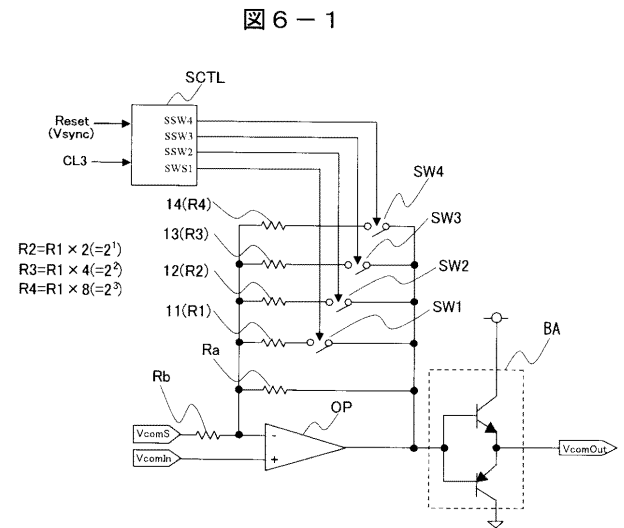
【図 4】



【図 5】

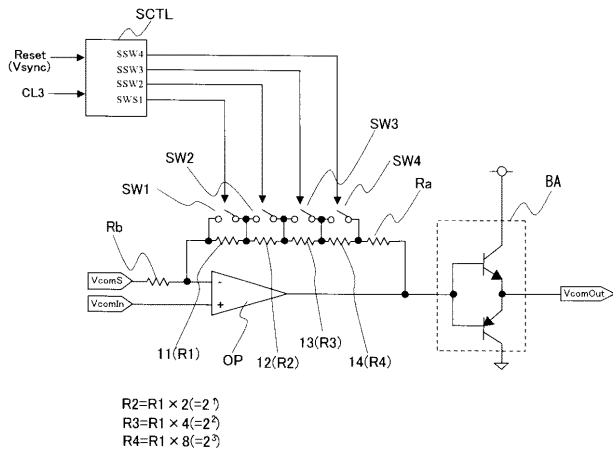


【図 6 - 1】



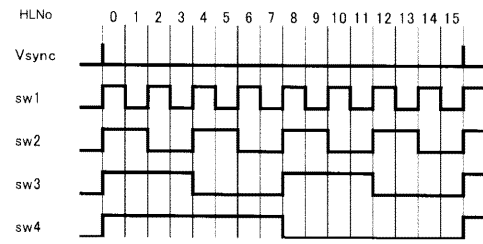
【図 6 - 2】

図6-2



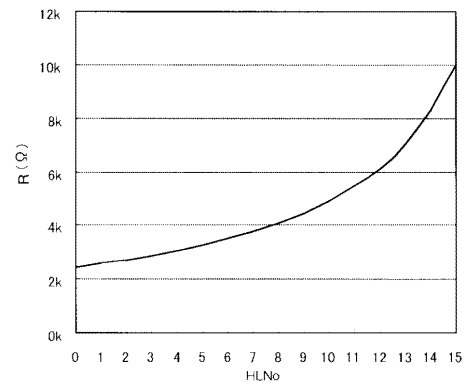
【図 7】

図7



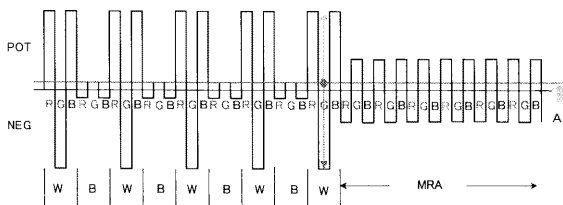
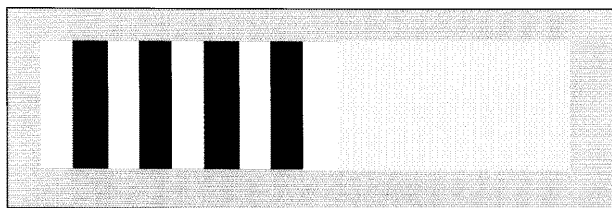
【図 8】

図8



【図 9】

図 9



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 2 2 K
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 4 E
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 1 1 D
	G 0 9 G 3/20	6 4 2 P

(72)発明者 今城 由博

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H093 NA16 NC09 NC11 NC18 NC34 NC35 NC58 NC65 ND05 ND15
 NE03
 5C006 AA16 AA22 AC11 AC25 AC26 AF42 AF45 AF46 AF52 AF54
 AF64 AF71 BB16 BC03 BC11 BC23 BF22 BF24 BF25 BF27
 BF42 FA22 FA25 FA31 FA37
 5C080 AA10 BB06 CC03 CC06 DD05 DD10 DD12 DD29 EE29 FF11
 FF13 JJ02 JJ03 JJ04 JJ05 KK43

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008304806A	公开(公告)日	2008-12-18
申请号	JP2007153438	申请日	2007-06-11
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司 IPS阿尔法科技有限公司		
[标]发明人	桶隆太郎 今城由博		
发明人	桶 隆太郎 今城 由博		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3655 G09G2320/0209		
FI分类号	G02F1/133.550 G02F1/133.575 G09G3/36 G09G3/20.624.C G09G3/20.611.J G09G3/20.624.D G09G3/20.622.K G09G3/20.622.D G09G3/20.624.E G09G3/20.642.A G09G3/20.611.D G09G3/20.642.P		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC18 2H093/NC34 2H093/NC35 2H093/NC58 2H093/NC65 2H093/ND05 2H093/ND15 2H093/NE03 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AC26 5C006/AF42 5C006/AF45 5C006/AF46 5C006/AF52 5C006/AF54 5C006/AF64 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC23 5C006/BF22 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF42 5C006/FA22 5C006/FA25 5C006/FA31 5C006/FA37 5C080/AA10 5C080/BB06 5C080/CC03 5C080/CC06 5C080/DD05 5C080/DD10 5C080/DD12 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF13 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK43 2H193/ZA04 2H193/ZD34 2H193/ZF59 2H193/ZH21 2H193/ZH40 2H193/ZP03		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止由于交替驱动视频电压引起的对电极上的耦合噪声引起的串扰，并防止液晶显示面板上显示图像的显示质量下降。解决方案：反电压电源电路具有反相放大器电路，该反相放大器电路反转并放大在液晶显示板的对电极的指定部分处检测到的电压，并将该电压提供给对电极的反电压电源端。反相放大器电路包括运算放大器，其具有连接在反相输入端子和输出端子之间的反馈电阻。反馈电阻由第一电阻和通过各个开关元件与第一电阻并联连接的n个电阻组成。通过开关元件控制电路根据扫描位置选择性地接通/断开n个开关元件，以便改变反馈电阻的电阻值并改变运算放大器的增益。Z

