

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-343563  
(P2006-343563A)

(43) 公開日 平成18年12月21日(2006.12.21)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611A	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 624B	5C080
	G09G 3/20 612U	
	G09G 3/20 621B	
審査請求 未請求 請求項の数 6 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2005-169451 (P2005-169451)	(71) 出願人	000005049
(22) 出願日	平成17年6月9日(2005.6.9)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100104695
			弁理士 島田 明宏
		(72) 発明者	梅島 誠之
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H093 NA33 NC16 NC22 NC24 NC34
			ND06 ND08 ND39
			5C006 AA02 AC11 AC21 AC25 AC26
			AF81 BB16 BC06 BC20 BF26
			BF34 BF50 EC06 FA41 FA47
			5C080 AA10 BB05 DD22 DD26 EE29
			EE30 FF11 JJ02 JJ03 JJ04
			KK47

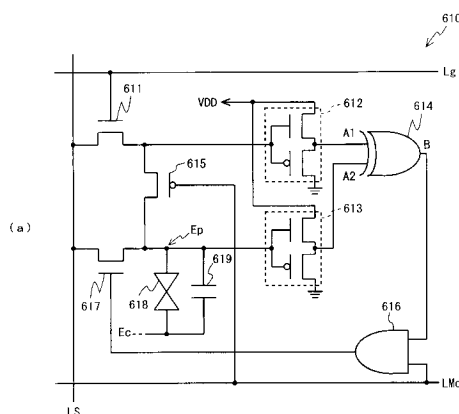
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】画素形成部に特別な記憶回路を内蔵することなく、同一の信号を反復して液晶層に与える場合に消費電力を低減することができる液晶表示装置を提供する。

【解決手段】この画素形成部610では、液晶層618に記憶されている前回のフレームにおいて映像信号線Lsから与えられた電位と、今回のフレームにおいて映像信号線Lsから与えられる電位とが第1のA/D変換回路612および第2のA/D変換回路613を介してXOR回路614に与えられ、これらが同じ場合(であってかつ液晶層が反転駆動されない場合)、画素電極Epには映像信号線Lsから与えられる電位が印加されない。よって、この場合、液晶層618に再び電圧を印加することにより失われるべきエネルギーを節約することができ、液晶層を記憶手段として使用することにより、同一の信号を反復して液晶層に与える場合に消費電力を低減することができる。

【選択図】 図3



(b)

入力		出力
A 1	A 2	B
0	0	0
0	1	1
1	0	1
1	1	0

**【特許請求の範囲】****【請求項 1】**

所定の映像信号を伝送する複数の映像信号線と、前記複数の映像信号線に交差する複数の走査信号線と、前記映像信号線と前記走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部と、前記複数の画素形成部のそれぞれに設けられた画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極とを備える液晶表示装置であって、

前記複数の画素形成部の一部または全部は、所定の場合に前記画素電極に前記映像信号を与えない低消費電力画素形成部であり、

前記低消費電力画素形成部は、

前記画素電極と前記共通電極との間に設けられる液晶素子と、

前記複数の走査信号線のうちの対応する交差点を通る走査信号線に与えられる走査信号の状態がアクティブであるときに前記対応する交差点を通る映像信号線に与えられる映像信号を選択的に通す選択手段と、

前記選択手段により通された映像信号の電位と前記画素電極の電位とが略同一であるか否かを判別する判別手段と、

前記判別手段により前記映像信号の電位と前記画素電極の電位とが略同一でないと判別される場合に前記映像信号の電位を前記画素電極に印加し、略同一であると判別される場合に前記映像信号の電位を前記画素電極に印加することを抑制する駆動手段とを含むことを特徴とする表示装置。

10

20

**【請求項 2】**

前記低消費電力画素形成部に所定の制御信号を与える制御信号線をさらに備え、

前記低消費電力画素形成部は、前記制御信号線から受け取る前記制御信号に基づき、前記選択手段により通される映像信号を前記画素電極に与えるか否かを切り替える切替手段をさらに含むことを特徴とする、請求項 1 に記載の液晶表示装置。

**【請求項 3】**

前記低消費電力画素形成部は、前記共通電極に印加されるべき電圧が所定の 2 種類の電圧の間で所定の期間毎に交互に切り替えられるときに、前記選択手段により通される映像信号を前記画素電極に与える切替手段をさらに含むことを特徴とする、請求項 1 または請求項 2 に記載の液晶表示装置。

30

**【請求項 4】**

前記選択手段は、前記所定の期間内に 2 回以上、前記映像信号線に与えられる映像信号を選択的に通すことを特徴とする、請求項 3 に記載の液晶表示装置。

**【請求項 5】**

前記低消費電力画素形成部は、前記判別手段に与えられるべき前記選択手段により通される映像信号の電位と前記画素電極の電位とをそれぞれアナログデジタル変換する回路をさらに含み、

前記判別手段は、前記回路から出力されるデジタル信号に基づき、前記選択手段により通された映像信号の電位と前記画素電極の電位とが略同一であるか否かを判別することを特徴とする、請求項 1 に記載の液晶表示装置。

40

**【請求項 6】**

前記判別手段は、前記選択手段により通される映像信号の電位と前記画素電極の電位との排他的論理和を演算する回路であることを特徴とする、請求項 1 または請求項 5 に記載の液晶表示装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、アクティブマトリクス型の液晶表示装置に関するものであり、更に詳しくは、表示すべき画素を形成する画素形成部での充放電において消費される電力が低減される液晶表示装置に関する。

50

## 【背景技術】

## 【0002】

一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する2枚の基板を含む表示部を備えており、当該2枚の基板のうち一方の基板には、映像信号線としての複数のデータ線と走査信号線としての複数のゲート線とが格子状に配置され、それら複数のデータ線とゲート線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は、装置の表示部を構成しており、ゲート線にゲート端子が接続されデータ線にソース端子が接続されたスイッチング素子であるTFT（Thin Film Transistor：薄膜トランジスタ）と、そのTFTのドレイン端子に接続された画素電極とを含む。これら画素形成部を含む上記基板は、TFT基板と呼ばれる。また、上記2枚の基板のうちTFT基板に対向する他方の基板には、上記複数の画素形成部に共通的に設けられた対向電極である共通電極と、表示色を形成するためのカラーフィルタ（CF：Color Filter）とが設けられている。この基板はCF基板と呼ばれる。

10

## 【0003】

このようなアクティブマトリクス型液晶表示装置は、その表示部のデータ線を駆動するデータドライバと、その表示部のゲート線を駆動するゲートドライバと、上記共通電極を駆動するための共通電極駆動回路と、データドライバ、ゲートドライバ、および共通電極駆動回路を制御するための表示制御回路とを有している。

## 【0004】

近年、液晶表示装置は、携帯電話やPDAなどの携帯機器の表示装置として広く使用されている。このような液晶表示装置には、小型であるにもかかわらず高精細な表示が要求され、さらに少ない消費電力で動作することが要求される。そこで、以下のような構成により、消費電力を低減させることが試みられている。

20

## 【0005】

まず従来より、1つの画素形成部につき複数のメモリ回路と選択回路とが設けられており、これらのメモリ回路に記憶される画像情報にうちの1つを選択回路により適宜選択して液晶層に与える場合には、データドライバを駆動させることなく表示を行うことができる液晶表示装置がある（特許文献1を参照）。

## 【0006】

また従来より、1つの画素形成部に $n$ 個（ $n$ は自然数）の記憶回路とD/Aコンバータとが内蔵されており、この記憶回路にデジタル信号を書き込んだ後に書き込まれた信号を反復して液晶層に与える場合にデータドライバを停止することができる液晶表示装置がある（特許文献2を参照）。

30

## 【0007】

さらに従来より、1つの画素形成部に $n \times m$ 個（ $n, m$ は自然数）の記憶回路とD/Aコンバータとが内蔵されており、 $m$ フレーム分のデジタル信号を上記記憶回路に書き込んだ後に書き込まれた信号を反復して液晶層に与えることによりデータドライバを停止することができる液晶表示装置がある（特許文献3を参照）。

【特許文献1】特開平9-212140号公報

40

【特許文献2】特開2002-140051号公報

【特許文献3】特開2002-149138号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0008】

しかし、これら従来液晶表示装置は、いずれも画素形成部に多くの記憶回路を内蔵しなければならない。そのため、画素形成部における開口率が小さくなる。また、特に小型で高精細な表示が求められる液晶表示装置では、単位面積あたりに実装可能なTFTの数に限界があることから、多くの記憶回路を内蔵することが極めて難しい。

## 【0009】

50

そこで本発明では、画素形成部に特別な記憶回路を内蔵することなく、同一の信号を反復して液晶層に与える場合に消費電力を低減することができる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

第1の発明は、所定の映像信号を伝送する複数の映像信号線と、前記複数の映像信号線に交差する複数の走査信号線と、前記映像信号線と前記走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部と、前記複数の画素形成部のそれぞれに設けられた画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極とを備える液晶表示装置であって、

10

前記複数の画素形成部の一部または全部は、所定の場合に前記画素電極に前記映像信号を与えない低消費電力画素形成部であり、

前記低消費電力画素形成部は、

前記画素電極と前記共通電極との間に設けられる液晶素子と、

前記複数の走査信号線のうちの対応する交差点を通る走査信号線に与えられる走査信号の状態がアクティブであるときに前記対応する交差点を通る映像信号線に与えられる映像信号を選択的に通す選択手段と、

前記選択手段により通された映像信号の電位と前記画素電極の電位とが略同一であるか否かを判別する判別手段と、

前記判別手段により前記映像信号の電位と前記画素電極の電位とが略同一でないと判別される場合に前記映像信号の電位を前記画素電極に印加し、略同一であると判別される場合に前記映像信号の電位を前記画素電極に印加することを抑制する駆動手段とを含むことを特徴とする。

20

【0011】

第2の発明は、第1の発明において、

前記低消費電力画素形成部に所定の制御信号を与える制御信号線をさらに備え、

前記低消費電力画素形成部は、前記制御信号線から受け取る前記制御信号に基づき、前記選択手段により通される映像信号を前記画素電極に与えるか否かを切り替える切替手段をさらに含むことを特徴とする。

【0012】

30

第3の発明は、第1または第2の発明において、

前記低消費電力画素形成部は、前記共通電極に印加されるべき電圧が所定の2種類の電圧の間で所定の期間毎に交互に切り替えられるときに、前記選択手段により通される映像信号を前記画素電極に与える切替手段をさらに含むことを特徴とする。

【0013】

第4の発明は、第3の発明において、

前記選択手段は、前記所定の期間内に2回以上、前記映像信号線に与えられる映像信号を選択的に通すことを特徴とする。

【0014】

第5の発明は、第1の発明において、

40

前記低消費電力画素形成部は、前記判別手段に与えられるべき前記選択手段により通される映像信号の電位と前記画素電極の電位とをそれぞれアナログデジタル変換する回路をさらに含み、

前記判別手段は、前記回路から出力されるデジタル信号に基づき、前記選択手段により通された映像信号の電位と前記画素電極の電位とが略同一であるか否かを判別することを特徴とする。

【0015】

第6の発明は、第1または第5の発明において、

前記判別手段は、前記選択手段により通される映像信号の電位と前記画素電極の電位との排他的論理和を演算する回路であることを特徴とする。

50

## 【発明の効果】

## 【0016】

第1の発明によれば、判別手段により映像信号の電位と画素電極の電位とが略同一であるか否かが判別され、略同一でないとは判別される場合には駆動手段により映像信号の電位を画素電極に印加され、略同一であると判別される場合には駆動手段により映像信号の電位を画素電極に印加することが抑制される。この場合、液晶に再び電圧が印加されることにより失われるべきエネルギーを節約することができる。したがって、画素形成部に特別な記憶回路を内蔵することなく（いわば液晶を記憶手段として使用することにより）、同一の信号を反復して液晶に与える場合に消費電力を低減することができる。

## 【0017】

第2の発明によれば、制御信号線から受け取る制御信号に基づき、切替手段により映像信号を画素電極に与えるか否かが切り替えられるので、例えば判別手段により映像信号の電位と画素電極の電位とが略同一であると判別される場合にも映像信号の電位を画素電極に印加することができる。したがって、上記制御信号により、必要に応じて低消費電力画素形成部に一般的な構成の画素形成部と同様の動作をさせることができる。

## 【0018】

第3の発明によれば、共通電極に印加されるべき電圧が所定の2種類の電圧の間で所定の期間毎に交互に切り替えられるときに、切替手段により映像信号を画素電極に与えるので、例えば判別手段により映像信号の電位と画素電極の電位とが略同一であると判別される場合にも映像信号の電位を画素電極に印加することができる。したがって、液晶の電圧極性を反転する、すなわち液晶を交流化駆動するため、画素電極の電位とは無関係に必ず画素電極に映像信号線から与えられる映像信号を印加することができる。

## 【0019】

第4の発明によれば、選択手段により、前述した所定の期間（共通電位が交互に切り替わる期間）内に2回以上、映像信号線に与えられる映像信号が選択的に通される。この場合には判別手段により映像信号の電位と画素電極の電位とが略同一であると判別されるときに映像信号の電位を画素電極に印加することが抑制されるので、液晶に再び電圧が印加されることにより失われるべきエネルギーを節約することができる。

## 【0020】

第5の発明によれば、映像信号の電位と画素電極の電位とをそれぞれアナログデジタル変換する回路から出力されるデジタル信号に基づき、判別手段により映像信号の電位と画素電極の電位とが略同一であるか否かが判別されるので、判別手段をデジタル論理回路などにより簡易に構成することができる。

## 【0021】

第6の発明によれば、判別手段が映像信号の電位と画素電極の電位との排他的論理和を演算する回路であるので、判別手段をデジタル論理回路などにより簡易に構成することができる。

## 【発明を実施するための最良の形態】

## 【0022】

以下、本発明の一実施形態について添付図面を参照して説明する。

## &lt; 1. 全体の構成および動作 &gt;

図1(a)は、従来の液晶表示装置とほぼ同様の全体的な構成を有する、本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、表示制御回路200と、映像信号線駆動回路300と、走査信号線駆動回路400と、共通電極駆動回路500と、アクティブマトリクス型の液晶パネル600と、映像信号線駆動回路300に所定の基準となる電圧を与える基準電圧発生回路700とを備えている。なお、この液晶表示装置は、多色表示モードおよび8色表示モードの2つの表示モードを有しており、上記液晶パネル600に含まれる各画素形成部が上記の表示モードのうち8色表示モードにおいて動作する後述する判定回路を備える構成が従来の構成とは異なる。この点につき詳しくは後述する。

10

20

30

40

50

## 【0023】

この液晶表示装置における表示部としての液晶パネル600は、外部の所定の映像ソース(CPUなど)から受け取る画像データDvの表す画像における水平走査線にそれぞれが対応する複数本の走査信号線(行電極)と、それら複数本の走査信号線のそれぞれと交差する複数本の映像信号線(列電極)と、それら複数本の走査信号線と複数本の映像信号線との交差点にそれぞれ対応して設けられた複数の画素形成部とを含む。各画素形成部の構成は、基本的には従来のアクティブマトリクス型液晶パネルにおける構成と同様である(詳細は後述)。また、この液晶パネル600は、各画素形成部に含まれる画素電極に共通的に設けられかつ液晶層を挟んで各画素電極と対向するように配置された共通電極を備えている。

10

## 【0024】

本実施形態では、液晶パネル600に表示すべき画像を表す画像データDvと、表示動作のタイミング信号であるアドレス信号ADwとが、外部の映像ソースから表示制御回路200に送られる。なお、上記画像データDvには、表示を制御するためのデータも含まれているものとする。

## 【0025】

表示制御回路200は、アドレス信号ADwと画像データDvに基づき、液晶パネル用の表示のため映像信号線駆動回路300に与えられるソース用クロック信号SCKおよびソース用スタートパルス信号SSPと、表示のため走査信号線駆動回路400に与えられるゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPとを含む各種信号を生成する。これらの信号は公知であるため詳しい説明は省略する。また、表示制御回路200は、外部の映像ソースから受け取った映像データを表示メモリに書き込んだ後に読み出して、ソースドライバ用デジタル画像信号Daとして出力する。さらに、表示制御回路200は、上記クロック信号等に基づき、液晶パネル600の交流化駆動のための極性切換制御信号を生成する。さらにまた、表示制御回路200は、上記クロック信号等に基づき、上記表示モードに応じた表示を行うためのモード制御信号Moを生成する。このようにして、表示制御回路200によって生成される信号のうち、デジタル画像信号Daは映像信号線駆動回路300に、極性切換制御信号は、映像信号線駆動回路300および共通電極駆動回路500に、モード制御信号Moは液晶パネル600にそれぞれ供給される。

20

30

## 【0026】

映像信号線駆動回路300には、上記のように、液晶パネル600に表示すべき画像を表すデータが画素単位でデジタル画像信号Daとして供給されると共に、タイミングを示す信号としてソース用クロック信号SCK、ソース用スタートパルス信号SSP、および極性切換制御信号などが供給される。映像信号線駆動回路300は、これらのデジタル画像信号Da、ソース用クロック信号SCK、ソース用スタートパルス信号SSP、および極性切換制御信号などに基づき、液晶パネル600を駆動するためのアナログ電圧(以下「駆動用映像信号」ともいう)D(1), D(2), D(3), ...を生成し、これを液晶パネル600の各映像信号線に印加する。この駆動用映像信号D(1), D(2), D(3), ...は、液晶パネル600の交流化駆動のために、極性切換制御信号に応じて(共通電極の電位を基準として)その極性が反転する。

40

## 【0027】

走査信号線駆動回路400は、ゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPに基づき、液晶パネル600における走査信号線を1水平走査期間ずつ順に選択するために各走査信号線に印加すべき走査信号G(1), G(2), G(3), ...を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を1垂直走査期間を周期として繰り返す。

## 【0028】

共通電極駆動回路500は、液晶パネル600の共通電極に与えるべき電圧である共通電圧Vcomを生成する。本実施形態では、映像信号線の電圧の振幅を抑えるために、液

50

晶層の劣化を防止するための交流化駆動に応じて共通電極の電位をも変化させている。すなわち、共通電極駆動回路500は、表示制御回路200からの極性切換制御信号に応じて、1水平走査期間において2種類の電圧（ここでは0[V]および5[V]）の間で切り換わる電圧であって1垂直走査期間（1フレーム）毎にも切り替わる電圧、または2垂直走査期間（2フレーム）毎に切り替わる電圧のいずれかを生成し、これを共通電圧Vcomとして液晶パネル600の共通電極に供給する。このように極性切換制御信号（および共通電圧Vcom）の波形が表示態様によって変化する点については後述する。

#### 【0029】

液晶パネル600では、上記のようにして映像信号線に、映像信号線駆動回路300によってデジタル画像信号Daに基づく駆動用の映像信号D(1), D(2), D(3), ...が印加され、走査信号線には、走査信号線駆動回路400によって走査信号G(1), G(2), G(3), ...が印加され、共通電極には、共通電極駆動回路500によって共通電圧Vcomが印加される。これにより液晶パネル600は、外部の映像ソースから受け取った画像データDvの表す画像を表示する。また、8色表示モード時、液晶パネル600に含まれる各画素形成部に接続されるモード制御信号線Lmoには、表示制御回路200からのモード制御信号Moが印加される。このモード制御信号Moについては後述する。

10

#### 【0030】

基準電圧発生回路700は、多色表示モード時（ここでは約26万色を表示する通常時の表示モード）には、映像信号線駆動回路300において表示画面に所定の階調を表示する駆動用映像信号が生成されるとききの基準となる複数の（ここでは64種類の）基準電圧Vrを生成し、生成された複数の基準電圧Vrを映像信号線駆動回路300に与える。また、基準電圧発生回路700は、後述する消費電力を低減するためのモードである8色表示モード時には、映像信号線駆動回路300において表示画面に白階調（高輝度階調）および黒階調（低輝度階調）を表示する駆動用映像信号が生成されるとききの基準となる2つの基準電圧Vr'を生成し、生成された2つの基準電圧Vr'を映像信号線駆動回路300に与える。映像信号線駆動回路300はこれらの基準電圧Vr（または基準電圧Vr'）に基づき駆動用映像信号を生成するが、この動作については後述する。

20

#### 【0031】

< 2 . 表示制御回路 >

30

図1(b)は、上記の液晶表示装置における表示制御回路200の構成を示すブロック図である。この表示制御回路200は、入力制御回路20と表示メモリ21とレジスタ22とタイミング発生回路23とメモリ制御回路24と極性切換制御回路25とモード制御回路26とを備えている。

#### 【0032】

この表示制御回路200が外部の映像ソースから受け取る画像データDvおよびアドレス信号Adwは、入力制御回路20により、画像データDAと表示制御データDcとに振り分けられ、画像データDAは表示メモリ21に書き込まれ、表示制御データDcはレジスタ22に書き込まれる。

#### 【0033】

タイミング発生回路（以下「TG」と略記する）23は、レジスタ22に保持される上記表示制御データに基づき、ソース用クロック信号SCK、ソース用スタートパルス信号SSP、ゲート用クロック信号GCK、ゲート用スタートパルス信号GSP、およびその他のタイミング信号を生成する。

40

#### 【0034】

メモリ制御回路24は、表示メモリ21の動作を制御する。この制御に応じて、液晶パネル600に表示すべき画像を表すデジタル画像信号Daが表示メモリ21から読み出され、表示制御回路200から出力される。このデジタル画像信号Daは、既述のように映像信号線駆動回路300に供給される。

#### 【0035】

50

極性切換制御回路25は、TG23によって生成されたタイミング信号に基づき、上記の極性切換制御信号を生成する。この極性切換制御信号は、液晶パネル600の交流化駆動のための極性反転のタイミングを決定する制御信号であって、既述のように映像信号線駆動回路300および共通電極駆動回路500に供給される。

#### 【0036】

モード制御回路26は、TG23によって生成されたタイミング信号に基づき、上記のモード制御信号Moを生成する。このモード制御信号Moは、液晶パネル600の各画素形成部に含まれる判定回路の動作を制御する信号であって、既述のようにモード制御信号線LMoを介して各画素形成部に供給される。

#### 【0037】

< 3. 液晶パネル >

< 3.1 画素形成部の構成および動作 >

図2は、本実施形態における液晶パネル600の構成を示す模式図である。また、図3は、この液晶パネルの一部(1つの画素に相当する部分)610の等価回路とそのXOR回路の真理値表とを示す図である。

#### 【0038】

この液晶パネル600は、映像信号線駆動回路300に接続される複数の映像信号線Lsと、走査信号線駆動回路400に接続される複数の走査信号線Lgとを備え、当該複数の映像信号線Lsと当該複数の走査信号線Lgとは、各映像信号線Lsと各走査信号線Lgとが交差するように格子状に配設されている。そして、当該複数の映像信号線Lsと当該複数の走査信号線Lgとの交差点に対応して(画素形成部610を含む)複数の画素形成部がそれぞれ設けられている。この複数の画素形成部は、赤色(R)を表示するための画素形成部、緑色(G)を表示するための画素形成部、および青色(B)を表示するための画素形成部からなり、これらは図2に示すように走査信号線に沿って順に配列されている。また、液晶パネル600は、各画素形成部に接続されるようここでは櫛の歯状に形成されたモード制御信号線LMoを備えている。なお、モード制御信号線LMoは、全ての画素形成部に接続されるものであれば、その形状や配設態様に限定はない。さらに、液晶パネル600は、各画素形成部に接続される図示されない電源線および接地線を備えている。これら電源線および接地線については後述する。以下、複数の画素形成部のうち画素形成部610に着目して説明する。

#### 【0039】

この画素形成部610は、スイッチング素子として機能する選択用TF T611、駆動用TF T617、およびモード切替用TF T615と、モード切替用AND回路616と、それぞれ2つのTF Tからなる第1のA/D変換回路612および第2のA/D変換回路613と、図示されない複数のTF TからなるXOR回路614と、液晶層618と、補助容量619とを備える。

#### 【0040】

第1のA/D変換回路612は、その入力端子が選択用TF T611のドレイン端子に接続され、その出力端子がXOR回路614の入力端子A1に接続されている。この第1のA/D変換回路612は、nチャネル型TF Tとpチャネル型TF Tとからなり、これらのTF Tのゲート端子は上記入力端子に接続され、nチャネル型TF Tのドレイン端子とpチャネル型TF Tのソース端子とは上記出力端子に接続され、nチャネル型TF Tのソース端子は図示されない電源線を介して電源VDDに接続され、pチャネル型TF Tのドレイン端子は図示されない接地線を介して接地されている。

#### 【0041】

ここでnチャネル型TF Tは、そのゲート端子の電位が3.5[V]以上であるとき導通状態となり、1.5[V]以下であるとき非導通状態となる。また、pチャネル型TF Tは、そのゲート端子の電位が3.5[V]以上であるとき非導通状態となり、1.5[V]以下であるとき導通状態となる。そして、第1のA/D変換回路612は、その入力端子の電位が3.5[V]以上になると、その出力端子の電位が5[V]となり、その入

10

20

30

40

50

力端子の電位が1.5[V]以下になると、その出力端子の電位が0[V]となる。よって、この5[V]の電位をHレベルとし、0[V]の電位をLレベルとすると、第1のA/D変換回路612は、入力端子の電位に応じて出力端子からHレベルまたはLレベルのデジタル信号を出力する1ビットのA/D変換を行うことになる。

【0042】

また、第2のA/D変換回路613は、その入力端子が上記複数の画素形成部に設けられる画素電極E<sub>p</sub>に接続され、その出力端子がXOR回路614の入力端子A<sub>2</sub>に接続されている。この第2のA/D変換回路613も、上記第1のA/D変換回路612と同様にnチャンネル型TFTとpチャンネル型TFTとからなるので、上記と同様の1ビットのA/D変換を行う。

10

【0043】

XOR回路614は、第1のA/D変換回路612および第2のA/D変換回路613から出力されるデジタル信号を入力端子A<sub>1</sub>、A<sub>2</sub>で受け取り、排他的論理和の演算結果により得られるHレベルまたはLレベルのデジタル信号を出力端子Bから出力する。ここで、排他的論理和の真理値表は図3(b)に示すとおりであるので、XOR回路614は、入力端子A<sub>1</sub>、A<sub>2</sub>において受け取られた2つの値が異なる場合にのみ出力端子BからHレベルの信号を出力し、上記2つの値が同じ場合には出力端子BからLレベルの信号を出力する。このように、XOR回路614(さらには第1のA/D変換回路612および第2のA/D変換回路613)は、導通状態であるときの選択用TFT611を介して繋がる映像信号線L<sub>s</sub>の電位と画素電極E<sub>p</sub>の電位とを比較し、これらの電位が所定の範囲内でほぼ等しいか否かを判別する手段として機能する。この詳しい動作については後述する。なお、XOR回路614は、複数のTFTで構成されており、電源線および接地線に接続されるが、複数のトランジスタからなるXOR回路の構成は周知であるので、詳しい説明は省略する。

20

【0044】

モード切替用TFT615はpチャンネル型TFTであり、そのソース端子およびドレイン端子の一方は選択用TFT611に接続され、その他方は画素電極E<sub>p</sub>に接続され、そのゲート端子はモード制御信号線L<sub>M0</sub>に接続されている。また、モード切替用AND回路616は複数のTFTからなる周知の回路であって、その入力端子の一方はXOR回路614の出力端子Bに接続され、その他方はモード制御信号線L<sub>M0</sub>に接続され、その出力端子は駆動用TFT617のゲート端子に接続されている。

30

【0045】

よって、モード制御信号線L<sub>M0</sub>の電位がHレベルであるときには、モード切替用TFT615は非導通状態となり、モード切替用AND回路616は、XOR回路614の出力端子BからHレベルの信号を受け取る場合にのみ、その論理和演算の結果としてHレベルの信号を出力する。

【0046】

また逆に、モード制御信号線L<sub>M0</sub>の電位がLレベルであるときには、モード切替用TFT615は導通状態となり、モード切替用AND回路616は、XOR回路614の出力端子Bから受け取る信号のレベルにかかわらず、その論理和演算の結果としてLレベルの信号を出力する。

40

【0047】

液晶層618は、上記複数の画素形成部に共通的に設けられた共通電極(「対向電極」ともいう)E<sub>c</sub>と画素電極E<sub>p</sub>との間に挟持されており、補助容量619は、これら画素電極E<sub>p</sub>と共通電極E<sub>c</sub>の間に挟持された液晶層618の近傍に形成された容量素子である。この補助容量619と液晶層618とにより画素容量が形成される。

【0048】

選択用TFT611は、従来の画素形成部に含まれる選択用TFTと同様、対応する交差点を通過する映像信号線L<sub>s</sub>にソース端子が接続されるとともに、対応する交差点を通過する走査信号線L<sub>g</sub>にゲート端子が接続される。この構成からわかるように、走査信号

50

線 L g に印加される走査信号 G ( 1 ) がアクティブになると、当該走査信号線が選択されて、この走査信号線に接続される ( 本画素形成部 6 1 0 の ) 選択用 T F T 6 1 1 が導通状態となる。そして消費電力が低減されない所定の場合 ( 例えばモード切替用 T F T 6 1 5 が導通状態となる場合 )、画素電極 E p には駆動用映像信号 D ( 8 ) が映像信号線 L s を介して印加される。これにより、その印加された駆動用映像信号 D ( 8 ) の電圧 ( 共通電極 E c の電位を基準とする電圧 ) が、その画素電極 E p を含む画素形成部 6 1 0 に画素値として書き込まれる。

#### 【 0 0 4 9 】

このように画素形成部 6 1 0 は、上記消費電力が低減されない所定の場合には従来の場合と同様に動作するが、消費電力が低減される場合には従来とは異なり、画素電極 E p には駆動用映像信号 D ( 8 ) が印加されない。この消費電力が低減される動作は、8色表示モードにおいてのみ行われる。そこで、まず通常の動作モードである多色表示モードにおける画素形成部 6 1 0 の動作を説明した後、8色表示モードにおける動作について説明する。

10

#### 【 0 0 5 0 】

##### < 3 . 2 多色表示モードにおける各部の動作 >

多色表示モードで表示が行われる場合、基準電圧発生回路 7 0 0 は、前述したように 6 4 種類の基準電圧 V r を生成し、生成された複数の基準電圧 V r を映像信号線駆動回路 3 0 0 に与える。また、共通電極駆動回路 5 0 0 は、表示制御回路 2 0 0 からの極性切換制御信号 に応じて、1 水平走査期間において 2 種類の電圧の間で切り換わる電圧であって 1 垂直走査期間 ( 1 フレーム ) 毎にも切り替わる電圧を生成し、これを共通電圧 V c o m として液晶パネル 6 0 0 の共通電極に供給する。さらに、表示制御回路 2 0 0 に含まれるモード制御回路 2 6 は、T G 2 3 によって生成されたタイミング信号に基づき、多色表示モードでの表示が行われる期間中、L レベルの電位を有するモード制御信号 M o を生成する。よって、画素形成部 6 1 0 に含まれるモード切替用 T F T 6 1 5 が導通状態となり、またモード切替用 A N D 回路 6 1 6 が常に L レベルの信号を出力することから、駆動用 T F T 6 1 7 は常に非導通状態となる。その結果、映像信号線 L s の電位と画素電極 E p の電位とを比較し判別する手段である X O R 回路 6 1 4、第 1 の A / D 変換回路 6 1 2、および第 2 の A / D 変換回路 6 1 3 は装置の動作とは無関係となるので、画素形成部 6 1 0 は従来 of 画素形成部と全く同様に動作することとなる。

20

30

#### 【 0 0 5 1 】

なおこの多色表示モードにおいて、X O R 回路 6 1 4、第 1 の A / D 変換回路 6 1 2、および第 2 の A / D 変換回路 6 1 3 は、消費電力を低減するために、その電源を電源線から切断する ( または接地する ) ためのスイッチ手段を含むのが好ましい。このスイッチ手段は、例えばそのゲート端子がモード制御信号線 L M o に接続される n チャネル型 T F T である。

#### 【 0 0 5 2 】

##### < 3 . 3 8 色表示モードにおける各部の動作 >

次に、8色表示モードで表示が行われる場合、基準電圧発生回路 7 0 0 は、前述したように 2 つの基準電圧 V r ' を生成し、生成された 2 つの基準電圧 V r ' を映像信号線駆動回路 3 0 0 に与える。また、共通電極駆動回路 5 0 0 は、表示制御回路 2 0 0 からの極性切換制御信号 に応じて、2 垂直走査期間 ( 2 フレーム ) において 2 種類の電圧 ( ここでは 0 [ V ] および 5 [ V ] ) の間で切り換わる電圧を生成し、これを共通電圧 V c o m として液晶パネル 6 0 0 の共通電極に供給する。さらに、表示制御回路 2 0 0 に含まれるモード制御回路 2 6 は、T G 2 3 によって生成されたタイミング信号に基づき、1 フレーム毎に L レベルの電位と H レベルの電位とが交互に入れ替わるモード制御信号 M o を生成する。以下、図 4 に示す波形図を参照して説明する。

40

#### 【 0 0 5 3 】

図 4 は、8色表示モードで表示が行われる場合における各種信号の波形図であり、より詳しくは、図 4 ( a ) は、極性切換信号 の電位変化を示す波形図であり、図 4 ( b ) は

50

、モード制御信号M<sub>o</sub>の電位変化を示す波形図であり、図4(c)は、画素形成部610において最も暗い表示(黒表示)が行われる場合の画素電極E<sub>p</sub>の電位V<sub>p</sub>の変化を共通電位V<sub>com</sub>とともに示す波形図であり、図4(d)は、画素形成部610において最も明るい表示(白表示)が行われる場合の画素電極電位V<sub>p</sub>の変化を共通電位V<sub>com</sub>とともに示す波形図であり、図4(e)は、画素形成部610において最も暗い表示(黒表示)が行われる場合と最も明るい表示(白表示)が行われる場合とが1フレーム毎に交互に入れ替わる画素電極電位V<sub>p</sub>の変化を共通電位V<sub>com</sub>とともに示す波形図である。なお、本液晶表示装置は、液晶層に印加される電圧が大きいほど暗い表示となる、いわゆるノーマリーホワイト型の表示装置である。

#### 【0054】

ここで、画素電極E<sub>p</sub>の電位V<sub>p</sub>は、当該画素電極E<sub>p</sub>に与えられるデジタルデータである駆動用映像信号の電位にほぼ等しい。この駆動用映像信号は、共通電位V<sub>com</sub>を基準とした電圧極性が2垂直走査期間(2フレーム)毎に逆になるよう、極性切換信号に応じて2垂直走査期間(2フレーム)毎に電圧値が切り替わる。

#### 【0055】

図4(c)を参照すると、画素電極電位V<sub>p</sub>は、図4(a)に示す極性切換信号の立ち上がりまたは立ち下がりに応じて2垂直走査期間毎に階調電圧V<sub>H0</sub>(ここでは4[V])と階調電圧V<sub>L0</sub>(ここでは1[V])とに交互に切り替わるため、共通電位V<sub>com</sub>との電位差(すなわち図4(c)における共通電極E<sub>c</sub>を基準として画素電極E<sub>p</sub>に印加される電圧)は、画素電極電位V<sub>p</sub>が階調電圧V<sub>H0</sub>であるとき+V<sub>Lc0</sub>[V](ここでは+4[V])となり、階調電圧V<sub>L0</sub>であるとき-V<sub>Lc0</sub>[V](ここでは-4[V])となる。よって、液晶層618に印加される電圧の絶対値は常に|V<sub>Lc0</sub>|[V](ここでは4[V])となるので、画素形成部P<sub>x</sub>において最も暗い表示(黒表示)が継続して行われる。

#### 【0056】

同様に、図4(d)を参照すると、画素電極電位V<sub>p</sub>は、図4(a)に示す極性切換信号の立ち上がりまたは立ち下がりに応じて2垂直走査期間毎に階調電圧V<sub>H1</sub>(ここでは1[V])と階調電圧V<sub>L1</sub>(ここでは4[V])とに交互に切り替わるため、共通電位V<sub>com</sub>との電位差は、画素電極電位V<sub>p</sub>の電圧が階調電圧V<sub>H1</sub>であるとき+V<sub>Lc1</sub>[V](ここでは+1[V])となり、階調電圧V<sub>L1</sub>であるとき-V<sub>Lc1</sub>[V](ここでは-1[V])となる。よって、液晶層618に印加される電圧の絶対値は常に|V<sub>Lc1</sub>|[V](ここでは1[V])となるので、画素形成部P<sub>x</sub>において最も明るい表示(白表示)が継続して行われる。

#### 【0057】

ここで、図4(b)を参照すると、モード制御信号M<sub>o</sub>は極性切換信号の立ち上がりまたは立ち下がりに合わせてLレベルの電位となるよう、1垂直走査期間毎にLレベルの電位とHレベルの電位とが交互に切り替わる。このように共通電位V<sub>com</sub>が切り替わる時にモード制御信号M<sub>o</sub>が必ずLレベルに設定されるのは、液晶層618の電圧極性を反転するため(すなわち交流化駆動するため)、画素電極電位V<sub>p</sub>の値とは無関係に必ず画素電極E<sub>p</sub>に映像信号線L<sub>s</sub>から与えられる駆動用映像信号を印加する必要があるからである。以下、図4(c)の場合を例に、画素形成部610における各構成要素の動作を詳しく説明する。

#### 【0058】

図4(a)に示す第1フレームの開始時点において、映像信号線L<sub>s</sub>には階調電圧V<sub>H0</sub>が印加され、モード制御信号M<sub>o</sub>はLレベルとなる。このLレベルのモード制御信号M<sub>o</sub>をそのゲート端子で受け取るモード切替用TFT615は導通状態となり、モード切替用AND回路616はLレベルの信号を出力するので駆動用TFT617は非導通状態となる。その結果、走査信号線L<sub>g</sub>に印加される走査信号G(1)がアクティブになると、選択用TFT611が導通状態となることにより、画素電極E<sub>p</sub>に階調電圧V<sub>H0</sub>の駆動用映像信号が与えられる。この動作は、多色表示モードにおける動作と同様である。なお

10

20

30

40

50

、このときXOR回路614、第1のA/D変換回路612、および第2のA/D変換回路613は、消費電力を低減するために、前述したnチャンネル型TFTなどのスイッチ手段によりその電源が電源線から切断（または接地）されるのが好ましい。

【0059】

続いて図4(a)に示す第2フレームの開始時点において、映像信号線Lsには第1フレームと同じ階調電圧VH0が印加され、モード制御信号MoはHレベルとなる。このHレベルのモード制御信号Moをそのゲート端子で受け取るモード切替用TFT615は非導通状態となるので、走査信号線Lgに印加される走査信号G(1)がアクティブになると、選択用TFT611が導通状態となることにより、第1のA/D変換回路612の入力端子には階調電圧VH0の駆動用映像信号が与えられる。この第1のA/D変換回路612は、前述したように3.5[V]以上の電位が入力端子に与えられるとHレベルの信号を出力するので、4[V]である階調電圧VH0が与えられることによりHレベルの信号を出力する。

10

【0060】

また、第2のA/D変換回路613の入力端子には、第1フレームにおいて階調電圧VH0の電位となっている画素電極Epの電位Vpが与えられる。よって、第2のA/D変換回路613は、第1のA/D変換回路612と同様に、4[V]である階調電圧VH0が与えられることによりHレベルの信号を出力する。なお、このとき第2のA/D変換回路613の入力端子に与えられる電位は、前回のフレームにおいて与えられた電位であり、この電位は液晶層が保持する電位であるので、この液晶層が前回のフレームにおいて与えられた電位を記憶する手段として機能することになる。

20

【0061】

XOR回路614は、入力端子A1、A2に第1のA/D変換回路612および第2のA/D変換回路613からのHレベルの信号が与えられるので、図3(b)に示す真理表に従いLレベルの信号を出力する。このLレベルの信号は、モード切替用AND回路616に入力され、このモード切替用AND回路616は、その論理和演算の結果としてLレベルの信号を駆動用TFT617のゲート端子に与える。したがって、駆動用TFT617は非導通状態となり、かつモード切替用TFT615も非導通状態であるので、画素電極Epには映像信号線Lsからの階調電圧VH0が印加されない。このことにより、液晶層618に再び電圧を印加することにより失われるべきエネルギーを節約することができ、消費電力を低減することができる。

30

【0062】

すなわち、液晶層に加わる電圧は時間経過とともに0へ近づいていくので、このことにより画素電極電位Vpも理想的な値（ここでは階調電圧VH0）から変化（ここでは低下）する。したがって、この変化を補正するために液晶層618に再び階調電圧VH0を印加すると、この変化量に対応するエネルギーが必要となる。よって、本画素形成部610では、このときに画素電極Epに映像信号線Lsからの駆動用映像信号を与えないことにより、消費電力を低減することができる。

【0063】

ここで、画素電極電位Vpが理想的な値（ここでは階調電圧VH0）からずれることにより、本画素形成部610により表示される画素の輝度も理想的な輝度からずれることになる。しかし、8色表示モードでは、RGB各色について白階調（高輝度階調）および黒階調（低輝度階調）の2つの階調しかないので、上記輝度のずれは表示上ほとんど問題とならない。

40

【0064】

なお、上記図4(c)の場合とは異なり、図4(e)の場合には、映像信号線Lsには第1フレームと異なる階調電圧VH1（ここでは1[V]）が印加され、モード制御信号MoはHレベルとなる。ここで、第1のA/D変換回路612は、前述したように1.5[V]以下の電位が入力端子に与えられるとLレベルの信号を出力するので、1[V]である階調電圧VH1が与えられることによりLレベルの信号を出力する。よって、XOR

50

回路614は、その入力端子A1に第1のA/D変換回路612からのLレベルの信号が与えられ、その入力端子A2に第2のA/D変換回路613からのHレベルの信号が与えられるので、図3(b)に示す真理表に従いHレベルの信号を出力する。このことからモード切替用TF T 615は非導通状態となり、モード切替用AND回路616はHレベルの信号を出力するので、駆動用TF T 617は導通状態となる。その結果、走査信号線Lgに印加される走査信号G(1)がアクティブになると、導通状態となる駆動用TF T 617を介して画素電極Epに階調電圧VH1の駆動用映像信号が与えられる。よって、この場合には画素電極Epに映像信号線Lsからの駆動用映像信号を与えないことにより、消費電力を低減することはできない。このように、モード切替用AND回路616および駆動用TF T 617は、XOR回路614の出力信号に応じて、画素電極Epに駆動用映像信号を与え(または与えることを抑制する)駆動手段として機能する。

10

## 【0065】

次に図4(a)に示す第3フレームの開始時点において、映像信号線Lsには階調電圧VL0が印加され、モード制御信号MoはLレベルとなる。よって、画素形成部610は、第1フレームにおける上記動作と同様の動作を行い、画素電極Epに階調電圧VL0の駆動用映像信号が与えられる。なお、本フレームで第2フレームと同じ最も暗い表示(黒表示)が行われる場合であっても、画素電極Epに駆動用映像信号が与えられなければならない。この場合、モード切替用TF T 615は、必ず導通状態となるので、前述したように液晶層618の電圧極性を反転するため(すなわち交流化駆動するため)、画素電極電位Vpの値とは無関係に必ず画素電極Epに映像信号線Lsから与えられる駆動用映像信号を印加することができる。

20

## 【0066】

さらに図4(a)に示す第4フレームの開始時点において、映像信号線Lsには第3フレームと同じ階調電圧VL0が印加され、モード制御信号MoはHレベルとなる。よって、走査信号線Lgに印加される走査信号G(1)がアクティブになると、選択用TF T 611が導通状態となることにより、第1のA/D変換回路612の入力端子には階調電圧VL0の駆動用映像信号が与えられる。この第1のA/D変換回路612は、前述したように1.5[V]以下の電位が入力端子に与えられるとLレベルの信号を出力するので、1[V]である階調電圧VL0が与えられることによりLレベルの信号を出力する。

30

## 【0067】

また、第2のA/D変換回路613の入力端子には、第3フレームにおいて階調電圧VL0の電位となっている画素電極Epの電位Vpが与えられる。よって、第2のA/D変換回路613は、第1のA/D変換回路612と同様に、1[V]である階調電圧VL0が与えられることによりLレベルの信号を出力する。

## 【0068】

XOR回路614は、入力端子A1, A2に第1のA/D変換回路612および第2のA/D変換回路613からのLレベルの信号が与えられるので、図3(b)に示す真理表に従いLレベルの信号を出力する。よって、第1フレームの場合と同様、駆動用TF T 617は非導通状態となり、かつモード切替用TF T 615も非導通状態であるので、画素電極Epには映像信号線Lsからの階調電圧VH0が印加されない。このことにより、液晶層618に再び電圧を印加することにより失われるべきエネルギーを節約することができる。

40

## 【0069】

続いて図4(a)に示す第5フレームにおいては第1フレームと同様の動作が行われ、以下第6フレーム以降においても第2フレーム以降と同様の動作が行われ、これらの動作が繰り返される。

## 【0070】

また、図4(d)の場合も、上記図4(c)の場合と階調電圧は異なるが、ほぼ同様の動作が行われる。よって、画素電極Epには映像信号線Lsからの階調電圧が印加されない場合に、液晶層618に再び電圧を印加することにより失われるべきエネルギーを節約

50

することができるので、消費電力を低減することができる。

【0071】

< 4 . 効果 >

以上のように、本実施形態における画素形成部610では、液晶層618に記憶されている前回のフレームにおいて映像信号線Lsから与えられた電位と、今回のフレームにおいて映像信号線Lsから与えられる電位とがXOR回路614に与えられ、これらが同じ場合（であってかつ液晶層が反転駆動されない場合）、画素電極Epには映像信号線Lsから与えられる電位が印加されない。よって、この場合、液晶層618に再び電圧を印加することにより失われるべきエネルギーを節約することができる。したがって、本画素形成部610を含む画素形成部を備える液晶表示装置において、画素形成部に特別な記憶回路を内蔵することなく（液晶層を記憶手段として使用することにより）、同一の信号を反復して液晶層に与える場合に消費電力を低減することができる。

10

【0072】

< 5 . 変形例 >

上記実施形態では、液晶パネル600に含まれる全ての画素形成部は、消費電力を低減することができる画素形成部610の構成と同じであるように説明したが、液晶パネル600に含まれる一部のみの画素形成部610の構成と同じ画素形成部（以下「低消費電力画素形成部」という）であり、その他は従来の画素形成部と同じ構成の画素形成部であってもよい。ここで、携帯電話やPDAなどにおいては、消費電力を低減するため、上記8色表示モードで表示を行うべき領域を所定の範囲（例えば表示画面の最も上または下の数行）に限定する表示態様（パースシャル表示とも呼ばれる）がとられることがある。具体的には、上記所定の範囲に対応する走査信号線にのみ走査信号を与え、それ以外の走査信号線には走査信号を与えない駆動を行うことにより、消費電力が低減される。したがって、上記所定の範囲に対応する走査信号線に繋がる画素形成部にのみ画素形成部610と同じ低消費電力画素形成部の構成を採用すれば、当該低消費電力画素形成部での充放電により消費される電力を低減できるとともに、全ての画素形成部にこの構成を採用する上記実施形態の場合よりも装置の製造コストを低くすることができる。

20

【0073】

上記実施形態では、モード制御信号線LMoを介して与えられる図4(b)に示すモード制御信号Moにより、モード切替用TFT615の導通状態または非導通状態が決定されるが、このモード制御信号Moと同一の信号を生成するモード切替制御手段が画素形成部610内に設けられ、このモード切替制御手段によりモード切替用TFT615の導通状態または非導通状態が決定されてもよい。このモード切替制御手段は、例えば走査信号を受け取る毎に、または共通電位が切り替わる周期の半分の周期で、その出力信号の状態（HレベルまたはLレベルの状態）が交互に入れ替わる信号生成回路などである。

30

【0074】

上記実施形態では、2フレーム毎の反転駆動方式（フレーム反転駆動方式）が採用されているが、1水平走査線毎に印加電圧の正負極性を反転させつつ2フレーム毎にも正負極性を反転させる駆動方式が採用されてもよい。

【0075】

また、3フレーム毎以上の周期で反転駆動される方式が採用されてもよい。一般的に、反転駆動周期が長いと液晶の交流駆動による液晶の劣化が防止しにくくなり、また液晶層に加わる電圧がさらに0へ近づいていくので、本画素形成部610により表示される画素の輝度も理想的な輝度からずれることになる。しかし、前述したように8色表示モードでは、RGB各色について白階調（高輝度階調）および黒階調（低輝度階調）の2つの階調しかないので、上記輝度のずれは表示上ほとんど問題とならず、また液晶の劣化の程度もほとんど変わらないので、3フレーム毎以上の周期で反転駆動される方式は、さらに消費電力が低減できることから好適である。

40

【0076】

上記実施形態では、第1のA/D変換回路612は、選択用TFT611が導通状態で

50

あるときに与えられる駆動用映像信号の電位に応じて、また第2のA/D変換回路613は、画素電極E<sub>p</sub>の電位V<sub>p</sub>に応じて、それぞれの出力端子からHレベルまたはLレベルのデジタル信号を出力する1ビットのA/D変換を行う。よって、第1のA/D変換回路612および第2のA/D変換回路613は、このA/D変換を行うことができる周知の回路構成に代えてもよい。

【0077】

例えば、第1のA/D変換回路612および第2のA/D変換回路613は、周知のインバータ回路に代えてもよい。図5は、この変形例における液晶パネルの一部の等価回路を示す図である。図5に示すように、本画素形成部は、図3に示す第1のA/D変換回路612に代えて第1のインバータ回路622が備えられ、図3に示す第2のA/D変換回路613に代えて第2のインバータ回路623が備えられる。なお、これらのインバータ回路の構成は周知であるため、その動作の詳細な説明は省略する。この構成では、XOR回路614への入力信号が結果的に論理反転されるが、図3(b)に示す真理値表からわかるようにその出力結果は上記実施形態と全く同様であるので、本変形例の画素形成部は上記実施形態の場合と全く同様に動作する。また、例えば、第1のA/D変換回路612および第2のA/D変換回路613は、周知のレベルシフタ回路に代えてもよい。

10

【0078】

さらに、駆動用映像信号の電位（および画素電極E<sub>p</sub>の電位V<sub>p</sub>）がそのままHレベルおよびLレベルの電位に合致する場合には、第1のA/D変換回路612および第2のA/D変換回路613は省略することができる。

20

【0079】

上記実施形態では、8色表示モードで表示される場合、駆動用映像信号の電位は、階調電圧V<sub>H0</sub>および階調電圧V<sub>L1</sub>が4[V]であり、階調電圧V<sub>H1</sub>および階調電圧V<sub>L0</sub>が1[V]であるが、これら4つの階調電圧は全て異なる電圧であってもよい。また、この8色表示モードに代えて、27色表示モードや64色表示モードなど3つ以上の階調電圧が映像信号線に与えられる構成であってもよい。これらの場合、第1のA/D変換回路612および第2のA/D変換回路613は、1ビットのA/D変換動作を行うだけでは足りず、2ビット以上のA/D変換動作を行う構成でなければならない。なお、このような動作を行うA/D変換回路は周知であるので説明は省略する。また、これらの場合、XOR回路614の入力端子もA/D変換回路の数に応じて増加するため、単純な排他的論理和回路ではなくなるが、XOR回路614は、走査信号線L<sub>g</sub>の電位と画素電極E<sub>p</sub>の電位とを比較し、これらの電位が所定の範囲内でほぼ等しいか否かを判別する手段として機能すれば、どのような周知の構成であってもよい。なお、上記のようなカラー表示に代えて、2階調や3階調以上の白黒表示が行われる場合も同様である。

30

【0080】

上記実施形態では、XOR回路614は電源が必要な通常の回路構成であるが、いわゆるパストランジスタ論理回路の構成で複数のTFTが組み合わせられることにより構成されてもよい。この場合にはその電源を省略できるとともに、必要なトランジスタ数を少なくすることができる。なお、パストランジスタ論理回路で構成されるXOR回路については周知であるので詳しい説明を省略する。また、前述のようにA/D変換回路が省略可能である場合に、XOR回路614をパストランジスタ論理回路の構成とすれば、さらに電源線および接地線を省略することができる。

40

【図面の簡単な説明】

【0081】

【図1】本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】上記一実施形態における液晶パネルの構成を示す模式図である。

【図3】上記一実施形態における液晶パネルの一部の等価回路とそのXOR回路の真理値表とを示す図である。

【図4】上記一実施形態において、8色表示モードで表示が行われる場合の各種信号の波形図である。

50

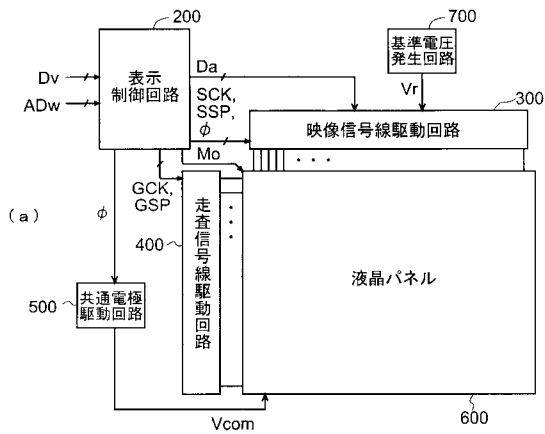
【図5】上記一実施形態の変形例における液晶パネルの一部の等価回路を示す図である。

【符号の説明】

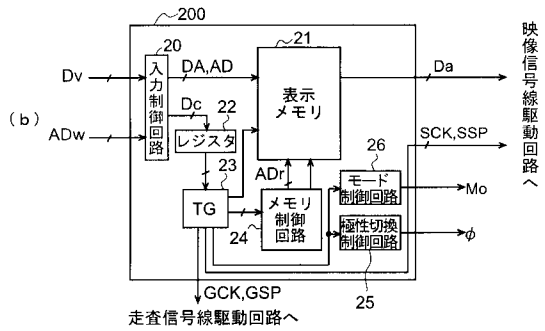
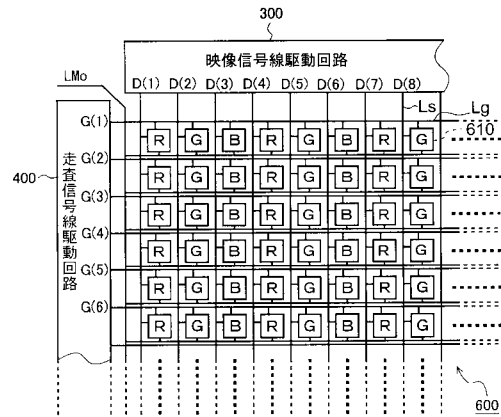
【0082】

200	... 表示制御回路	
300	... 映像信号線駆動回路	
400	... 走査信号線駆動回路	
500	... 共通電極駆動回路	
600	... 液晶パネル	
610	... 画素形成部	
611	... 選択用TFT(薄膜トランジスタ)	10
612	... 第1のA/D変換回路	
613	... 第2のA/D変換回路	
614	... XOR回路	
615	... モード切替用TFT	
616	... モード切替用AND回路	
617	... 駆動用TFT	
618	... 液晶層	
619	... 補助容量	
622	... 第1のインバータ回路	
623	... 第2のインバータ回路	20
700	... 基準電圧発生部	
Ls	... 映像信号線(列電極)	
Lg	... 走査信号線(行電極)	
LMo	... モード制御信号線	
Ep	... 画素電極	
Ec	... 共通電極(対向電極)	
Vcom	... 共通電位	
CLK	... ソース用クロック信号	
SSP	... ソース用スタートパルス信号	
GCK	... ゲート用クロック信号	30
GSP	... ゲート用スタートパルス信号	
	... 極性切換制御信号	
Da	... デジタル画像信号	
Mo	... モード制御信号	
Va	... 画素電極電位	
Vr	... 基準電圧	
VH0, VH1, VL0, VL1	... 階調電圧	

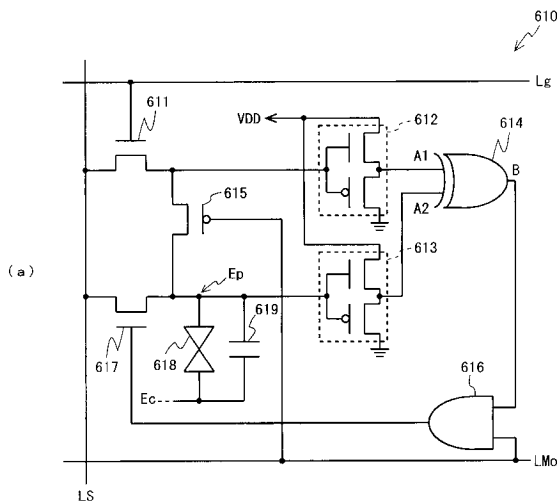
【 図 1 】



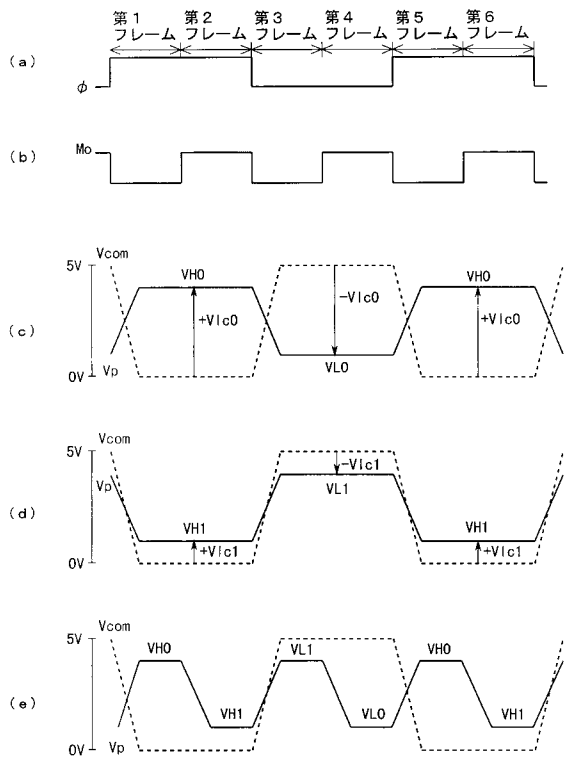
【 図 2 】



【 図 3 】



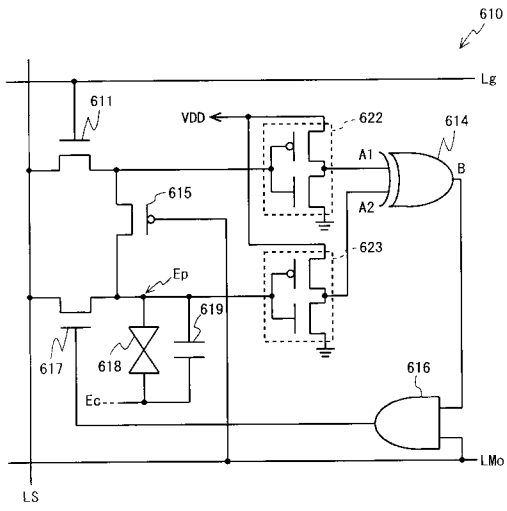
【 図 4 】



(b)

入力		出力
A 1	A 2	B
0	0	0
0	1	1
1	0	1
1	1	0

【 図 5 】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 4 D

G 0 2 F 1/133 5 5 0

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2006343563A</a>	公开(公告)日	2006-12-21
申请号	JP2005169451	申请日	2005-06-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	梅島誠之		
发明人	梅島 誠之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.624.B G09G3/20.612.U G09G3/20.621.B G09G3/20.624.D G02F1/133.550		
F-TERM分类号	2H093/NA33 2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC34 2H093/ND06 2H093/ND08 2H093/ND39 5C006/AA02 5C006/AC11 5C006/AC21 5C006/AC25 5C006/AC26 5C006/AF81 5C006/BB16 5C006/BC06 5C006/BC20 5C006/BF26 5C006/BF34 5C006/BF50 5C006/EC06 5C006/FA41 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK47 2H193/ZA04 2H193/ZA20 2H193/ZC15		
代理人(译)	岛田彰		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置能够在将相同的信号重复施加到液晶层时而在像素形成部中不包含特殊的存储电路而降低功耗。在像素形成单元610中，从存储在液晶层618中的前一帧中的视频信号线Ls给出的电位和当前帧中的视频信号线Ls给出的电位是第一位。经由A/D转换电路612和第二A/D转换电路613提供给XOR电路614，并且当它们相同时（并且当液晶层不被驱动反转时），像素电极Ep是不施加从视频信号线Ls给出的电势。因此，在这种情况下，可以通过再次向液晶层618施加电压来节省损失的能量，并且可以通过使用液晶层作为存储装置来将相同的信号重复地施加至液晶层。而且，可以减少功耗。[选择图]图3

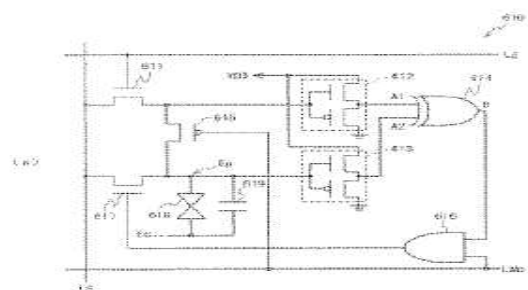


图3

A/D		出力
A1	A2	出力
0	0	0
0	1	1
1	0	1
1	1	0