

【特許請求の範囲】

【請求項 1】

マトリクス状に配置され各々がトランジスタを含む複数の画素と、
同一行に並ぶ該トランジスタのゲート端に共通に接続される複数のゲートバスラインと、
同一列に並ぶ該トランジスタのチャネルの一端に共通に接続される複数のデータバスラインと、
該複数のゲートバスラインを順次駆動するゲートドライバと、
該複数のゲートバスラインの順次駆動を開始するタイミング信号を該ゲートドライバに供給してから所定の期間内は該タイミング信号をマスクするタイミング制御回路を含むことを特徴とする液晶表示装置。 10

【請求項 2】

該タイミング制御回路は、該順次駆動される複数のゲートバスラインの数に基づいて該所定の期間を規定することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

該タイミング制御回路は、
該複数のゲートバスラインの順次駆動に対応する同期信号をカウントするカウンタと、
該カウンタのカウンタ値に応じて該タイミング信号をマスクする期間を設定する回路を含むことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】

該タイミング制御回路は、固定のパラメータに応じて所定の時間経過を計時する回路により該所定の期間を規定することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】

該所定の期間は一画面分の該複数のゲートバスラインを駆動する時間の半分以上に相当することを特徴とする請求項 4 記載の液晶表示装置。

【請求項 6】

該ゲートドライバは直列接続される複数のゲートドライバ素子を含み、該所定の期間は該複数のゲートドライバ素子の 1 つが対応するゲートバスラインを順次駆動する時間に相当することを特徴とする請求項 4 記載の液晶表示装置。

【請求項 7】

該所定の時間経過を計時する回路はワンショットマルチバイブレータであることを特徴とする請求項 4 記載の液晶表示装置。

【請求項 8】

該タイミング制御回路は、該順次駆動される複数のゲートバスラインの数と固定のパラメータに応じて所定の時間経過を計時する回路とに基づいて該所定の期間を規定することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 9】

該タイミング制御回路は、該順次駆動される複数のゲートバスラインの数により規定した第 1 の期間と固定のパラメータに応じて所定の時間経過を計時する回路により規定した第 2 の期間との何れか一方の期間内であれば該タイミング信号をマスクすることを特徴とする請求項 1 記載の液晶表示装置。 40

【請求項 10】

マトリクス状に配置され各々がトランジスタを含む複数の画素と、同一行に並ぶ該トランジスタのゲート端に共通に接続される複数のゲートバスラインと、同一列に並ぶ該トランジスタのチャネルの一端に共通に接続される複数のデータバスラインと、該複数のゲートバスラインを順次駆動するゲートドライバを含む液晶表示装置において誤動作を防止する方法であって、

該複数のゲートバスラインの順次駆動を開始するタイミング信号を該ゲートドライバに供給し、

該タイミング信号を供給してから所定の期間内は該タイミング信号をマスクする 50

各段階を含むことを特徴とする液晶表示装置における誤動作防止方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に液晶表示装置に関し、詳しくはアクティブマトリクス型液晶表示装置のゲートドライバ駆動方式に関する発明である。

【背景技術】

【0002】

アクティブマトリクス型の液晶表示装置（Liquid Crystal Display：LCD）では、スイッチング素子として機能する薄膜トランジスタを含む画素が縦横に配置され、横方向に延びるゲートバスラインが各画素のトランジスタのゲートに接続され、縦方向に延びるデータバスラインがトランジスタを介して各画素の画素電極（コンデンサ）に接続される。液晶パネルにデータ表示する際には、ゲートドライバによりゲートバスラインを1ラインずつ順次駆動して1ライン分のトランジスタを導通状態にし、導通されたトランジスタを介して、データドライバから各画素に横1ライン分のデータを書き込む。 10

【0003】

図1は、従来の液晶表示装置の構成を示す図である。

【0004】

図1の液晶表示装置は、LCDパネル10、制御回路11、ゲートドライバ12、データドライバ13、インバータ回路14、及びバックライト15を含む。LCDパネル10には、トランジスタTrを含む画素が縦横に配置される。ゲートドライバ12から横方向に延びるゲートバスラインGLが各画素のトランジスタTrのゲートに接続され、データドライバ13から縦方向に延びるデータバスラインDLがトランジスタTrを介して画素電極に画素データを書き込む。 20

【0005】

制御回路11のIF信号制御回路11aは、入力信号としてクロック信号、表示データ、及び表示位置のタイミングを示す表示イネーブル信号等を受け取る。制御回路11のタイミングコントローラ11bは、表示イネーブル信号の立ち上がりを開始位置としてクロック信号のクロックパルス数を数えることにより水平位置のタイミングを決定し、各種制御信号を生成する。また更に、タイミングコントローラ11bは、表示イネーブル信号の数をカウントすることにより垂直位置のタイミングを決定し、各種制御信号を生成する。また、表示イネーブル信号のLOW期間が一定のクロックパルス数以上継続する位置を検出することで、各フレームの先頭の位置を検出することができる。 30

【0006】

タイミングコントローラ11bからゲートドライバ12に供給される制御信号は、ゲートクロック信号及びゲートスタートパルス信号等を含む。ゲートクロック信号は同期信号であり、この信号の立ち上がりに同期して、駆動するゲートバスラインを1ラインずつシフトさせる。即ち、ゲートがオンになる横方向1ライン分のトランジスタを、ゲートクロック信号の立ち上がりに同期して1ラインずつ縦方向にシフトさせる。ゲートスタートパルス信号は、先頭のゲートバスラインを駆動するタイミングを指定する同期信号であり、フレームの開始タイミングに相当する。即ち、このゲートスタートパルス信号で指定したタイミングで画面先頭のゲートバスライン（横方向1ライン）を選択して表示データを書き込み、ゲートクロック信号に同期して表示データを書き込むラインを順次縦方向に走査していく。 40

【0007】

タイミングコントローラ11bからデータドライバ13に供給される制御信号は、ドットクロック信号、データスタート信号、及びラッチパルス等を含む。ドットクロック信号はクロックパルスであり、その立ち上がりに同期して表示データがデータドライバ13内部のレジスタに取り込まれる。データスタート信号は、データドライバ13内部の複数の 50

ドライバ回路 13a それぞれが表示する分の表示データについて、その開始位置を示す信号である。このデータスタート信号のタイミングを開始点として、それぞれのレジスタが、個々の画素に対応する表示データをドットクロック信号により順次取り込んでいく。ラッチパルスは、レジスタに取り込まれた表示データを内部ラッチにラッチするタイミングを指示する信号である。ラッチされた表示データ信号は D/A コンバータによりアナログ階調信号に変換され、このアナログ階調信号が、データバスライン駆動信号としてデータバスライン DL に出力される。

【0008】

制御回路 11 の DC/DC コンバータ 11c は、直流電源電圧を異なるレベルの直流電圧に変換して、変換後の電圧を各回路部分に供給する。制御回路 11 のバイアス電源回路 11d は、高精度の電圧トラッキング機能を備えた電源回路であり、LCD パネル 10 の駆動レベルを決めるバイアス電源電圧をゲートドライバ 12 及びデータドライバ 13 に供給する。インバータ回路 14 は、直流電源電圧に基づいて冷陰極管を点灯するための高電圧を生成し、バックライト 15 に供給する。バックライト 15 は、LCD パネル 10 に背面から光を照射する。

10

【特許文献 1】特開平 5-264962 号公報

【特許文献 2】特開 2002-358051 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

20

上記説明した各種の信号がノイズ等により劣化すると、致命的な誤動作の原因となる可能性がある。例えば、液晶表示の解像度等を切り替える等の設定変更を行う場合、動作が異常状態となり、表示データ信号、同期信号、制御信号等に異常が発生することがある。

【0010】

例えば、先頭のゲートバスラインをオンさせるタイミングを指定する同期信号であるゲートスタートパルス信号は、1 フレーム表示する期間に一回だけゲートドライバ 12 に供給される信号である。しかし液晶表示の設定変更動作等により異常が発生した場合、1 フレーム表示期間内に複数のゲートスタートパルス信号が発生したり、ゲートスタートパルス信号のパルス幅が複数の水平ラインにまたがるほどに異常に広がったりすることがある。

30

【0011】

このように複数のゲートスタートパルス信号が発生したりそのパルス幅が異常に広がったりすると、LCD パネル 10 において書き込み対象となるゲートバスラインが複数となり、LCD パネル 10 への表示データの書き込み電力が増大する。これにより DC/DC コンバータ 11c 等の電源回路の負荷が大きくなりシャットダウンしたり、ゲートドライバ 12 に過剰な電流が流れて回路が破損したりする可能性がある。

【0012】

以上を鑑みて、本発明は、ゲートスタートパルスに異常が発生した場合に電源及び回路が過負荷状態となることを防止した液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

40

【0013】

本発明による液晶表示装置は、マトリクス状に配置され各々がトランジスタを含む複数の画素と、同一行に並ぶ該トランジスタのゲート端に共通に接続される複数のゲートバスラインと、同一列に並ぶ該トランジスタのチャネルの一端に共通に接続される複数のデータバスラインと、該複数のゲートバスラインを順次駆動するゲートドライバと、該複数のゲートバスラインの順次駆動を開始するタイミング信号を該ゲートドライバに供給してから所定の期間内は該タイミング信号をマスクするタイミング制御回路を含むことを特徴とする。

【0014】

また本発明による液晶表示装置における誤動作防止方法は、マトリクス状に配置され各

50

々がトランジスタを含む複数の画素と、同一行に並ぶ該トランジスタのゲート端に共通に接続される複数のゲートバスラインと、同一列に並ぶ該トランジスタのチャネルの一端に共通に接続される複数のデータバスラインと、該複数のゲートバスラインを順次駆動するゲートドライバを含む液晶表示装置において、該複数のゲートバスラインの順次駆動を開始するタイミング信号を該ゲートドライバに供給し、該タイミング信号を供給してから所定の期間内は該タイミング信号をマスクする各段階を含むことを特徴とする。

【発明の効果】

【0015】

本発明の少なくとも1つの実施例によれば、複数のゲートバスラインの順次駆動を開始するタイミング信号であるゲートスタートパルス信号をゲートドライバに供給すると、それから所定の期間内はゲートスタートパルス信号をマスクするので、異常により次のゲートスタートパルス信号が生成されても、異常なゲートスタートパルス信号がゲートドライバに供給されることはない。従って、一画面表示期間内で複数のゲートスタートパルス信号が発生しても、例えば一画面1つのゲートスタートパルス信号をゲートドライバに供給することができる。またゲートスタートパルス信号のパルス幅が変化しても、所定のタイミングでマスク処理を開始することにより、ゲートスタートパルス信号を固定のパルス幅に整形することができる。これにより、ゲートスタートパルスに異常が発生した場合に、電源及び回路が過負荷状態となることを防止することが可能となる。

【発明を実施するための最良の形態】

【0016】

以下に本発明の実施例を添付の図面を用いて詳細に説明する。

【0017】

図2は、本発明によるゲートスタートパルス制御回路の第1の実施例の構成の一例を示す図である。図2のゲートスタートパルス制御回路20は、Dフリップフロップ21及び22、アンドゲート23、バイナリカウンタ24、デコーダ25及び26、JKフリップフロップ27、及び2入力のうち一方が負論理入力のアンドゲート28を含む。このゲートスタートパルス制御回路20は、図1に示すタイミングコントローラ11bが生成したゲートスタートパルス信号GSに基づいて、ゲートドライバ12に供給するゲートスタートパルス信号GSTを生成する。ゲートスタートパルス制御回路20は、例えばタイミングコントローラ11bの一部として設けられてよく、或いは制御回路11とゲートドライバ12との間に設けられてよく、或いはゲートドライバ12内部に設けられてもよい。

【0018】

Dフリップフロップ21は、表示データの1水平ライン期間を示すイネーブル信号ENABを入力データとし、クロック信号CLKに同期して入力データを取り込むことにより、イネーブル信号ENABを1クロック分遅延させた信号S1を生成する。Dフリップフロップ22は、信号S1を入力データとし、クロック信号CLKに同期して入力データを取り込むことにより、信号S1を更に1クロック分遅延させる。アンドゲート23は、Dフリップフロップ21からの信号S1とDフリップフロップ22の反転出力/Qである信号S2とのアンド演算を行い、その結果S3をバイナリカウンタ24に供給する。このアンドゲート23の出力S3は、表示データの1水平ライン期間の先頭から1クロック遅れたタイミングを示すパルス信号である。

【0019】

バイナリカウンタ24は、アンドゲート23の出力パルス信号S3をカウントし、カウント値をデコーダ25及び26に供給する。デコーダ25は、バイナリカウンタ24からのカウント値をデコードすることで、n本の水平ラインから構成される1画面において3番目の水平ラインのタイミングを示すパルス信号S4を出力する。デコーダ26は、バイナリカウンタ24からのカウント値をデコードすることで、n本の水平ラインから構成される1画面においてn番目の水平ラインのタイミングを示すパルス信号S5を出力する。

【0020】

JKフリップフロップ27は、信号S4によりセットされ、信号S5によりリセットさ

10

20

30

40

50

れる。これによりJKフリップフロップ27は、一画面表示期間における3番目の水平ラインの開始タイミング（厳密には開始タイミングから1クロック遅れたタイミング）でHIGHになり、一画面表示期間におけるn番目の水平ラインの開始タイミング（厳密には開始タイミングから1クロック遅れたタイミング）でLOWになるマスク信号S6を生成する。このマスク信号S6がHIGHの間、アンドゲート28によりゲートスタートパルス信号GSをマスクすることで、ゲートスタートパルス信号GSTを生成する。

【0021】

図3及び図4は、図2のゲートスタートパルス制御回路20の動作を説明するためのタイミング図である。

【0022】

図3に示すように、1水平ライン期間HIGHになるイネーブル信号ENABを1クロック遅らせることで信号S1が得られる。更に信号S1を1クロック遅らせた信号の反転信号として、信号S2が得られる。信号S1と信号S2とのアンドを取ることで、信号S3が生成される。この信号S3は、各水平ラインの先頭から1クロック遅れたタイミングでHIGHになるパルス信号である。

【0023】

図4において、最上段は各水平ラインの先頭から1クロック遅れたタイミングでHIGHになるパルス信号S3を示す。パルス信号S3には0乃至n-1の番号が付けられており、これら0乃至n-1番目のn個のパルス信号S3に対応するn本の水平ラインにより一画面が構成される。図4において矢印によりAとして示される2つのパルス信号S3が、図3の2つのパルス信号S3に対応する。パルス信号S3をカウントしそのカウント値をデコードすることで、3番目（0番から数え始めた場合の2番）のパルスのタイミングでHIGHになる信号S4及び、n番目（0番から数え始めた場合のn-1番）のパルスのタイミングでHIGHになる信号S5を生成する。マスク信号S6は、信号S4の立ち上がりでHIGHになり、信号S5の立ち上がりでLOWになる信号である。

【0024】

このマスク信号S6がHIGHである期間、入力のゲートスタートパルス信号GSをマスクすることで、出力のゲートスタートパルス信号GSTが生成される。マスク信号S6によりマスクしているため、例えば矢印によりBとして示すように、ゲートスタートパルス信号GSに異常が生じて一画面表示期間内で複数のゲートスタートパルス信号が発生しても、ゲートスタートパルス信号GSTとして示されるように、正しく一画面1つのゲートスタートパルス信号が生成される。またゲートスタートパルス信号GSのパルス幅が変化しても、所定のタイミングで開始するマスク信号によるマスク処理により、ゲートスタートパルス信号GSTは固定のパルス幅を有することになる。

【0025】

このように第1の実施例においては、水平ラインの数をカウントすることにより水平ラインを特定し、所定の水平ライン間のタイミングでゲートスタートパルス信号をマスクする。これにより、ゲートスタートパルス信号に異常が発生しても適切なゲートスタートパルス信号をゲートドライバ12に供給することが可能になる。

【0026】

なお上記例ではイネーブル信号ENABに基づいてマスク信号を生成したが、イネーブル信号ENABではなく他の制御信号に基づいても同様にマスク信号を生成することができる。このために用いる制御信号は、水平期間において所定回数アサートされる信号であればよく、例えば、駆動するゲートバスラインを1ラインずつシフトさせる前述のゲートクロック信号、或いはレジスタ内の表示データを内部ラッチにラッチするタイミングを指示するラッチパルス信号等を用いてマスク信号を生成することができる。また上記説明では、マスク信号は3番目の水平ラインとn番目の水平ラインとにより規定されたが、例えば4番目とn-1番目の水平ラインにより規定してもよく、マスク効果の必要性を考慮に入れながら適宜変更してよい。

【0027】

10

20

30

40

50

図5は、本発明によるゲートスタートパルス制御回路の第2の実施例の構成の一例を示す図である。図5のゲートスタートパルス制御回路20Aは、ワンショットマルチバイブレータ31、Dフリップフロップ32、及び2入力のうち一方が負論理入力のアンドゲート33を含む。このゲートスタートパルス制御回路20Aは、図1に示すタイミングコントローラ11bが生成したゲートスタートパルス信号GSに基づいて、ゲートドライバ12に供給するゲートスタートパルス信号GSTを生成する。ゲートスタートパルス制御回路20Aは、例えばタイミングコントローラ11bの一部として設けられてよく、或いは制御回路11とゲートドライバ12との間に設けられてよく、或いはゲートドライバ12内部に設けられてもよい。

【0028】

ワンショットマルチバイブレータ31は、ワンショットマルチバイブレータ素子31a、容量Cx、及び抵抗Rxを含む。適当な容量値及び抵抗値の容量Cx及び抵抗Rxをワンショットマルチバイブレータ素子31aに接続することで、ワンショットマルチバイブレータ31は、容量値及び抵抗値により定まる時定数に応じた所定の期間HIGHになるパルスを、入力パルス信号に応答して生成する。図5の例では、ワンショットマルチバイブレータ31にはゲートスタートパルス信号GSが入力されており、ゲートスタートパルス信号GSの立ち上がりから所定の期間HIGHであるパルス信号S11を生成する。

【0029】

Dフリップフロップ32は、ワンショットマルチバイブレータ31の出力パルス信号S11をクロック信号CLKに同期して取り込むことで、1クロック分遅延したパルス信号S12を生成する。アンドゲート33は、このパルス信号S12をマスク信号として用いることで、入力ゲートスタートパルス信号GSをマスクして出力ゲートスタートパルス信号GSTを生成する。

【0030】

図6は、図5のゲートスタートパルス制御回路20Aの動作を説明するためのタイミング図である。

【0031】

図6に示すように、クロック信号CLKに同期してゲートスタートパルス信号GSが入力されると、これに応答して時定数 $Cx \cdot Rx$ に応じた期間HIGHになるパルス信号S11が生成される。このパルス信号S11は、ゲートスタートパルス信号GSの立ち上がりに応答して立ち上がるので、この信号をそのままマスク信号として用いることはできない。そこでパルス信号S11をクロック信号CLKの1クロック分遅らせてパルス信号S12を生成し、このパルス信号S12をマスク信号として用いる。即ち、ゲートスタートパルス信号GSを、マスク信号であるパルス信号S12がHIGHである期間マスクする（強制的にLOWに設定する）ことにより、ゲートスタートパルス信号GSTをゲートドライバに供給する。

【0032】

例えば矢印によりBとして示すように、ゲートスタートパルス信号GSに異常が生じて一画面表示期間内で複数のゲートスタートパルス信号が発生しても、ゲートスタートパルス信号GSTとして示されるように、正しく一画面1つのゲートスタートパルス信号が生成される。またゲートスタートパルス信号GSのパルス幅が変化しても、所定のタイミングで開始するマスク信号によるマスク処理により、ゲートスタートパルス信号GSTは固定のパルス幅を有することになる。

【0033】

この際、マスク期間を規定するワンショットマルチバイブレータ31のパルス出力期間は、例えば一画面の表示期間の半分より若干長い程度としてよい。一画面の表示期間ぎりぎり設定してもよいが、本実施例の構成では図6で矢印によりBとして示すような異常ゲートスタートパルス信号にも応答してワンショットマルチバイブレータ31がパルス信号を生成するので、異常信号から少なくとも一画面の表示期間は正常な液晶表示が行えないことになる。従って、パルス幅を一画面の表示期間より短く設定することで、正常な表

10

20

30

40

50

示までの回復時間を短くすることができる。また一画面の表示期間の半分より若干長い程度に設定しておけば、異常が発生しても最悪でも一画面に2つのゲートスタートパルス信号が存在するだけであるので、電源回路やゲートドライバ12にそれ程の負荷はかからないと考えられる。

【0034】

また図1に示すようにゲートドライバ12には、複数のゲートドライバ回路12aが設けられ、個々のゲートドライバ回路12aがそれぞれの担当分の所定本数のゲートラインGLを駆動する。複数のゲートドライバ回路12aを直列接続することにより、ゲートクロック信号に同期して駆動ゲートラインを順次縦方向に走査していく際のシフト動作が、ある段のゲートドライバ回路12aから次段のゲートドライバ回路12aに順次伝播していく。従って、個々のゲートドライバ回路12aの動作に着目した場合には、個々のゲートドライバ回路12aがそれぞれの担当分のゲートラインGLを駆動している間さえ、異常なゲートスタートパルス信号が発生しなければよいことになる。従ってこの場合、ワンショットマルチバイブレータ31の発生するパルス信号のパルス幅は、1つのゲートドライバ回路12aが担当する本数のゲートラインGLを走査するに要する時間間隔に基づいて設定してもよい。

10

【0035】

このように第2の実施例においては、所定の固定期間HIGHになるパルス信号を生成し、この信号に基づいてゲートスタートパルス信号をマスクする。これにより、ゲートスタートパルス信号に異常が発生しても適切なゲートスタートパルス信号をゲートドライバ12に供給することが可能になる。

20

【0036】

図7は、本発明によるゲートスタートパルス制御回路の第3の実施例の構成の一例を示す図である。図7の構成は、図2に示す第1の実施例の構成と図5に示す第2の実施例の構成とを組み合わせたものである。図7において、図2及び図5と同一の構成要素は同一の参照番号で参照する。

【0037】

図7のゲートスタートパルス制御回路20Cは、Dフリップフロップ21及び22、アンドゲート23、バイナリカウンタ24、デコーダ25及び26、JKフリップフロップ27、ワンショットマルチバイブレータ31、Dフリップフロップ32、及び3入力のうち2つが負論理入力のアンドゲート33を含む。図5の第2の実施例の構成では、ワンショットマルチバイブレータ31の入力はゲートスタートパルス信号GSであったが、図7の第3の実施例においては、ワンショットマルチバイブレータ31の入力はデコーダ25の出力に接続されている。このような構成とすることで、デコーダ25が特定する所定の水平ライン位置から、ワンショットマルチバイブレータ31が規定する所定の期間HIGHになるマスク信号S12を生成して、ゲートスタートパルス信号GSをマスクすることが可能となる。またバイナリカウンタ24とデコーダ25及び26とで水平ラインの数をカウントして水平ラインを特定し、所定の水平ラインに対してHIGHになるマスク信号S6を生成してゲートスタートパルス信号GSをマスクすることについては、第1の実施例と同様である。

30

40

【0038】

このように第3の実施例では、第1の実施例と第2の実施例とを併用することにより、一方によるマスク動作が失敗した場合であっても他方によるマスク動作によりゲートスタートパルス信号GSを処理することが可能となる。これにより、種々のタイプの誤動作に対して適切に対処することができるようになり、より信頼性のある動作を実現することができる。

【0039】

図8及び図9は、図7のゲートスタートパルス制御回路20Cの動作を説明するためのタイミング図である。このタイミング図は、一例として、第1の実施例のカウント値に基づいたマスク動作が失敗する場合について説明している。

50

【0040】

図8は、1水平ラインの期間HIGHである筈のイネーブル信号ENABが、異常によりLOWに変化してHIGHに戻る変化を1水平ラインの期間のうちに複数回繰り返している様子を示す。イネーブル信号ENABが正常であり1水平ライン期間HIGHを維持する場合には、信号S1乃至S3は図3に示すような信号波形となるが、図8においてはイネーブル信号ENABの異常により全く異なった信号波形となっている。イネーブル信号ENABを1クロック遅らせることで信号S1が得られる。更に信号S1を1クロック遅らせた信号の反転信号として、信号S2が得られる。信号S1と信号S2とのアンドを取ることで、信号S3が生成される。この信号S3は、本来は各水平ラインの先頭から1クロック遅れたタイミングでHIGHになるパルス信号であるが、図8においては1つの水平ラインにおいて複数回HIGHになっている。 10

【0041】

図9の最上段に、本来は各水平ラインの先頭から1クロック遅れたタイミングでHIGHになるパルス信号S3を示す。一画面に対応するパルス信号S3の数はnであり、本来は0番からn-1番のパルスのみが存在する筈である。しかし図9に示す例においては、図8に示すようなイネーブル信号ENABの異常により、0番からn+a番までのn+a+1個のパルス信号が発生している。

【0042】

パルス信号S3をカウントしそのカウント値をデコードすることで、3番目(0番から数え始めた場合の2番)のパルスのタイミングでHIGHになる信号S4及び、n-1番目(0番から数え始めた場合のn-2番)のパルスのタイミングでHIGHになる信号S5を生成する。マスク信号S6は、信号S4の立ち上がりでHIGHになり、信号S5の立ち上がりでLOWになる信号である。 20

【0043】

このマスク信号S6がHIGHである期間、入力ゲートスタートパルス信号GSをマスクする。このマスク処理が第1の実施例のマスク処理に相当する。図9に示した例の場合、イネーブル信号ENABの異常により、信号S3には正常でない余計なパルスが発生している。これらのパルスの存在のために、n+a番のパルス信号S3で一画面のゲートライン駆動が終了する前に、n-2番のパルス信号S3のタイミングでマスク信号S6が終了してしまう。従って、このマスク信号S6だけを用いたのでは、矢印によりAとして示す異常なゲートスタートパルス信号GSをマスクすることはできても、矢印によりBとして示す異常なゲートスタートパルス信号GSについてはマスクすることができない。 30

【0044】

第3の実施例の構成では、信号S3の3番目のパルスのタイミングでHIGHになる信号S4に応答して立ち上がり、時定数 $Cx \cdot Rx$ に応じた期間HIGHを維持するパルス信号S11が生成される。このパルス信号S11をクロック信号CLKの1クロック分遅らせてパルス信号S12を生成し、このパルス信号S12を更なるマスク信号として用いている。即ち、ゲートスタートパルス信号GSに対して、第1のマスク信号S6だけでなく、第2のマスク信号S12も併用してマスク処理を実行する。この第2のマスク信号S12によるマスク処理により、矢印によりBとして示す異常なゲートスタートパルス信号GSをマスクすることが可能となる。この結果、ゲートスタートパルス信号GSTとして示すように、一画面中に正しく1つだけ発生するゲートスタートパルス信号を出力することができる。 40

【0045】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【図面の簡単な説明】

【0046】

【図1】従来の液晶表示装置の構成を示す図である。

【図2】本発明によるゲートスタートパルス制御回路の第1の実施例の構成の一例を示す 50

図である。

【図 3】図 2 のゲートスタートパルス制御回路の動作を説明するためのタイミング図である。

【図 4】図 2 のゲートスタートパルス制御回路の動作を説明するためのタイミング図である。

【図 5】本発明によるゲートスタートパルス制御回路の第 2 の実施例の構成の一例を示す図である。

【図 6】図 5 のゲートスタートパルス制御回路の動作を説明するためのタイミング図である。

【図 7】本発明によるゲートスタートパルス制御回路の第 3 の実施例の構成の一例を示す図である。 10

【図 8】図 7 のゲートスタートパルス制御回路の動作を説明するためのタイミング図である。

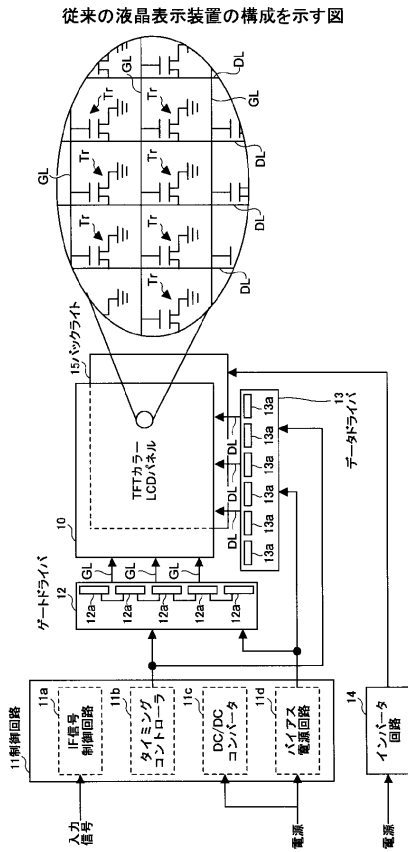
【図 9】図 7 のゲートスタートパルス制御回路の動作を説明するためのタイミング図である。

【符号の説明】

【0047】

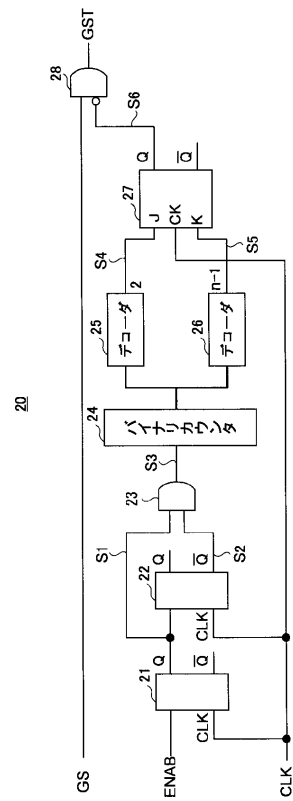
10	LCD パネル	
11	制御回路	
12	ゲートドライバ	20
13	データドライバ	
14	インバータ回路	
15	バックライト	
21、22	D フリップフロップ	
23	アンドゲート	
24	バイナリカウンタ	
25、26	デコーダ	
27	JK フリップフロップ	
28	アンドゲート	
31	ワンショットマルチバイブレータ	30
32	D フリップフロップ	
33	アンドゲート	

【図 1】



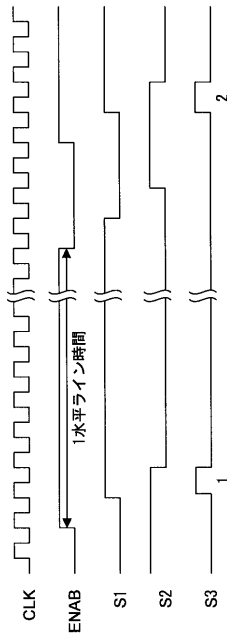
【図 2】

本発明によるゲートスタートパルス制御回路の
第1の実施例の構成の一例を示す図



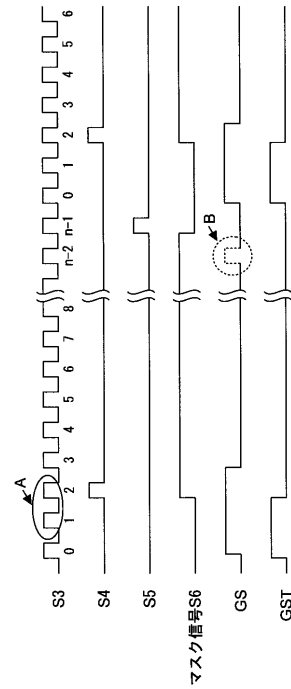
【図 3】

図2のゲートスタートパルス制御回路の動作を説明するためのタイミング図



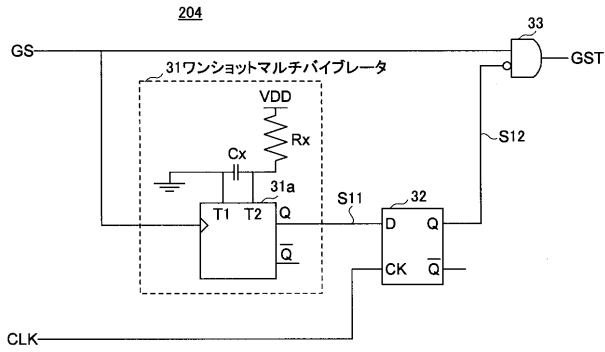
【図 4】

図2のゲートスタートパルス制御回路の動作を説明するためのタイミング図



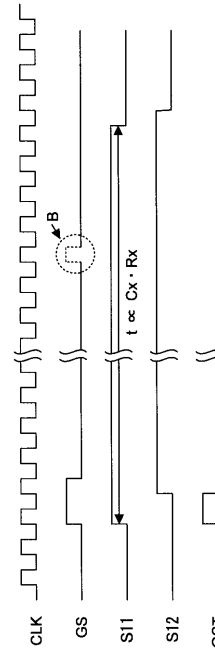
【図 5】

本発明によるゲートスタートパルス制御回路の
第2の実施例の構成の一例を示す図



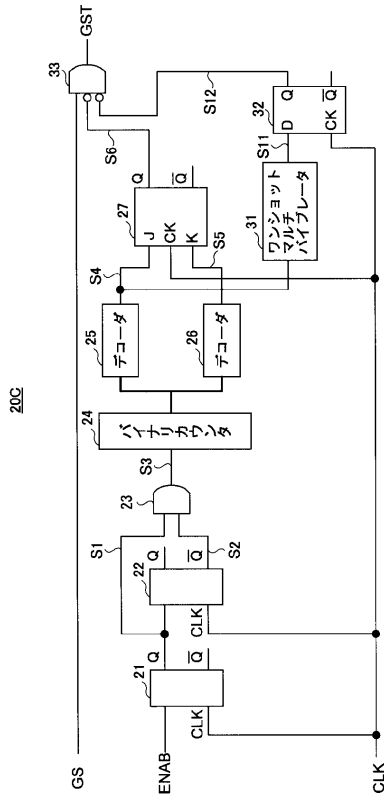
【図 6】

図5のゲートスタートパルス制御回路の
動作を説明するためのタイミング図



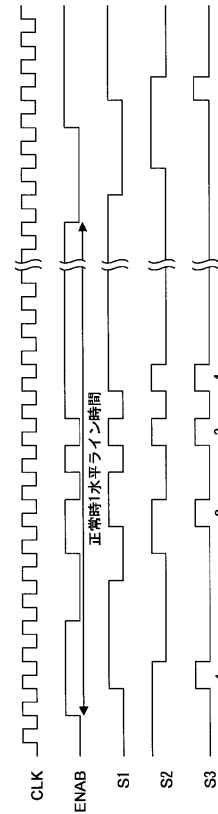
【図 7】

本発明によるゲートスタートパルス制御回路の
第3の実施例の構成の一例を示す図



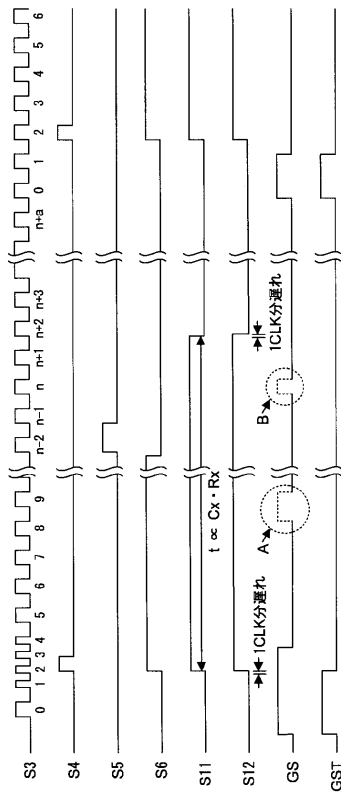
【図 8】

図7のゲートスタートパルス制御回路の動作を説明するためのタイミング図



【図 9】

図7のゲートスタートパルス制御回路の動作を説明するためのタイミング図



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 M

(72)発明者 古越 靖武

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

Fターム(参考) 2H093 NA16 NA43 NC10 NC34 ND39 ND40

5C006 AF71 BB16 BC03 BF06 BF22 BF26 BF42 BF46 FA04 FA31

FA33 FA47

5C080 AA10 DD09 DD12 DD18 DD19 DD24 DD26 EE26 FF03 FF11

JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置和防止液晶显示装置故障的方法		
公开(公告)号	JP2006113384A	公开(公告)日	2006-04-27
申请号	JP2004301788	申请日	2004-10-15
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	本田建功 平木克良 古越靖武		
发明人	本田 建功 平木 克良 古越 靖武		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.L G09G3/20.622.A G09G3/20.670.E G09G3/20.670.M G09G3/20.621.J G09G3/20.622.D G09G3/20.622.G		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC10 2H093/NC34 2H093/ND39 2H093/ND40 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BF06 5C006/BF22 5C006/BF26 5C006/BF42 5C006/BF46 5C006/FA04 5C006/FA31 5C006/FA33 5C006/FA47 5C080/AA10 5C080/DD09 5C080/DD12 5C080/DD18 5C080/DD19 5C080/DD24 5C080/DD26 5C080/EE26 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF22		
代理人(译)	伊藤忠彦		
其他公开文献	JP4617132B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种液晶显示装置，其中，当在栅极启动脉冲中发生异常时，防止电源和电路过载。液晶显示装置包括：以矩阵状排列的多个像素，每个像素包括晶体管；共同连接到布置在同一行中的晶体管的栅极端的多条栅极总线；以及布置在同一列中的晶体管。共同连接到每个通道的一端的多个数据总线，用于顺序驱动多条栅极总线的栅极驱动器，以及用于开始将多条栅极总线依次驱动到栅极驱动器的定时信号。在预定时间段内包括用于掩蔽定时信号的定时控制电路。[选择图]图2

