

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-107382

(P2005-107382A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 550

G09G 3/20 621M

G09G 3/20 622L

G09G 3/20 622M

テーマコード (参考)

2H093

5C006

5C080

審査請求 未請求 請求項の数 15 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願2003-343151 (P2003-343151)

(22) 出願日 平成15年10月1日 (2003. 10. 1)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町 1 丁目 6 番 2 号

(74) 代理人 100096699

弁理士 鹿嶋 英實

(72) 発明者 山内 慎吾

東京都八王子市石川町 2 9 5 1 番地の 5

カシオ計算機株式会

社八王子研究所内

Fターム(参考) 2H093 NA16 NC12 NC16 NC21 NC22

NC34 NC49 ND05 ND09 ND42

ND49 ND50 ND54 NE03

最終頁に続く

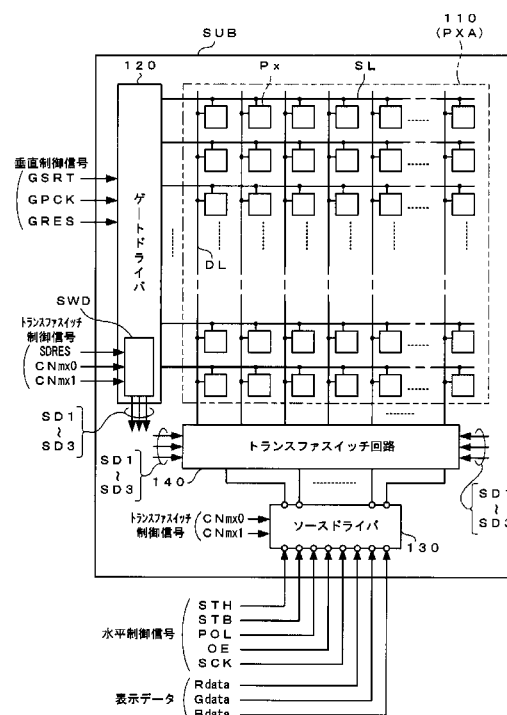
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 表示パネルと周辺回路との接続工程における工数の増加や高い接続精度を必要とすることなく、比較的安価な製造コストで実装面積（装置規模）を縮小することができるとともに、動作特性（表示特性）の向上を図ることができる表示装置を提供する。

【解決手段】 スイッチ駆動部 SWD により生成、出力されたスイッチ切換信号 SD は、2 つの信号経路に分岐された接続配線、及び、トランスファスイッチ回路 140 の両端部に設けられた信号入力接点 NL、NR を介して、内部に配設された各切換制御信号ライン TL の両端側に供給される。これにより、ソースドライバ 130 から出力されるシリアルデータからなる表示信号電圧が、スイッチ切換信号 SD に応じて液晶表示パネル 110 に配設された各データライン DL に分配して印加される。

【選択図】 図 2



【特許請求の範囲】

【請求項 1】

複数の走査ライン及び複数の信号ラインが相互に直交するように配設され、該信号ライン及び走査ラインの交点近傍に複数の表示画素が 2 次元配列された表示パネルを有し、前記複数の表示画素に対して、表示データに基づく表示信号電圧を供給することにより、前記複数の表示画素の各々を階調表示させ、所望の画像情報を表示する表示装置において、

少なくとも、

各行の前記走査ラインに所定のタイミングで走査信号を順次印加して、該行の前記表示画素を選択状態に設定する走査駆動手段と、

外部から供給される前記表示データを取り込み、並列的に保持するデータ保持部、及び、該データ保持部に並列的に保持された前記表示データを、所定の数の前記表示データごとに時分割的に配列された画素データに変換するデータ変換部を有する信号駆動手段と

、
前記表示パネルと前記信号駆動手段との間に介在し、前記複数の信号ラインに直接接続され、前記所定の数の前記信号ラインごとに共通に設けられた接続端子を介して、前記信号駆動手段から供給される前記画素データに基づく前記表示信号電圧を、時分割的に分配して前記所定の数の前記信号ラインに印加する複数のスイッチを有し、前記選択状態に設定された行の前記複数の表示画素に、前記所定の数の前記信号ラインを介して前記分配された前記表示信号電圧を個別に印加するデータ分配手段と、

所定のタイミング信号に基づいて、前記データ分配手段における前記複数のスイッチの導通状態を制御するためのスイッチ切換信号を生成するスイッチ駆動制御手段と、

前記スイッチ駆動制御手段における前記スイッチ切換信号の出力接点と、前記データ分配手段における前記複数のスイッチに前記スイッチ切換信号を供給する切換制御ラインの両端に設けられた一対の信号入力接点との間に、2つの信号経路に分岐して配設された接続配線と、
を具備することを特徴とする表示装置。

【請求項 2】

前記複数のスイッチは、前記複数の信号ラインの各々に対応して設けられ、前記スイッチ切換信号に基づいて、前記データ変換部における前記表示データの変換に用いる時分割タイミングに同期して、選択的に導通状態に設定されることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記スイッチ駆動制御手段は、前記走査駆動手段と一体的に構成されていることを特徴とする請求項 1 又は 2 記載の表示装置。

【請求項 4】

少なくとも、前記表示パネル、前記走査駆動手段及び前記データ分配手段は、単一の絶縁性基板上に一体的に構成されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の表示装置。

【請求項 5】

前記走査駆動手段は、前記信号駆動手段と一体的に構成されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の表示装置。

【請求項 6】

前記走査駆動手段は、前記表示パネルの一方向側に、前記信号駆動手段に隣接するように唯一配置されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の表示装置。

【請求項 7】

前記接続配線は、前記 2 つの信号経路のうち、一方の信号経路となる接続配線が、前記スイッチ駆動制御手段の前記出力接点と前記データ分配手段の前記信号入力接点との間の、略最短経路となるように配設され、他方の信号経路となる接続配線が、前記絶縁性基板の縁辺部側を迂回する経路を有するように配設されていることを特徴とする請求項 1 乃至 6 のいずれかに記載の表示装置。

【請求項 8】

前記接続配線は、前記 2 つの信号経路のうち、一方の信号経路となる接続配線が、前記スイッチ駆動制御手段の前記出力接点と前記データ分配手段の前記信号入力接点との間の、略最短経路となるように配設され、他方の信号経路となる接続配線が、前記信号駆動手段と前記データ分配手段との間の領域を通過するように配設されていることを特徴とする請求項 1 乃至 6 のいずれかに記載の表示装置。

【請求項 9】

前記信号駆動手段から前記データ分配手段に出力される前記画素データに基づく前記表示信号電圧を伝達する信号配線は、少なくとも、前記他方の信号経路となる接続配線との交差領域において、相互に直交するように配線パターンが形成されていることを特徴とする請求項 8 記載の表示装置。

10

【請求項 10】

前記走査駆動手段は、前記表示パネルの一方向側に、前記信号駆動手段の両側方に隣接するように一対配置されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の表示装置。

【請求項 11】

前記接続配線は、前記 2 つの信号経路のいずれもが、前記スイッチ駆動制御手段の前記出力接点と前記データ分配手段の前記信号入力接点との間の、略最短経路を有し、かつ、均一な配線長を有するように配設されていることを特徴とする請求項 10 記載の表示装置。

【請求項 12】

前記一対の走査駆動手段の各々に、一体的に構成された前記スイッチ駆動制御手段により生成される一対の前記スイッチ切換信号は、相互に同期し、かつ、同一の信号レベルを有するように設定されていることを特徴とする請求項 10 又は 11 記載の表示装置。

20

【請求項 13】

前記一対の走査駆動手段のうち、一方の前記走査駆動手段は、前記表示パネルの上半分の表示領域に配設された前記複数の走査ラインに接続され、他方の前記走査駆動手段は、前記表示パネルの下半分の表示領域に配設された前記複数の走査ラインに接続されていることを特徴とする請求項 10 乃至 12 のいずれかに記載の表示装置。

【請求項 14】

前記一対の走査駆動手段のうち、一方の前記走査駆動手段は、前記表示パネルの奇数番目の前記走査ラインに接続され、他方の前記走査駆動手段は、前記表示パネルの偶数番目の前記走査ラインに接続されていることを特徴とする請求項 10 乃至 12 のいずれかに記載の表示装置。

30

【請求項 15】

前記複数の表示画素は、各々、前記走査ラインにゲート電極が接続され、前記信号ラインにドレイン電極が接続され、ソース電極が画素電極に接続された画素トランジスタと、前記画素電極及び該画素電極に対向して共通に設けられた共通電極間に液晶分子を充填してなる画素容量と、前記画素容量に並列に接続された補助容量と、を備えて構成され、

前記画素データに基づく前記表示信号電圧を印加することにより、前記表示画素に充填された前記液晶分子の配向状態が制御されて階調表示されることを特徴とする請求項 1 乃至 14 のいずれかに記載の表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、アクティブマトリクス型の駆動方式に対応した表示パネルを備えた表示装置に関する。

【背景技術】

【0002】

近年、普及が著しいデジタルビデオカメラやデジタルスチルカメラ等の撮像機器や、携帯電話や携帯情報端末（PDA）等の携帯機器において、画像や文字情報等を表示するた

50

めの表示装置（ディスプレイ）として、また、コンピュータ等の情報端末やテレビジョン等の映像機器のモニタやディスプレイとしても、薄型軽量で、低消費電力化が可能であり、表示画質にも優れた液晶表示装置（Liquid Crystal Display；LCD）が多用されている。

【0003】

以下、従来技術における液晶表示装置について、簡単に説明する。

図17は、従来技術における薄膜トランジスタ（TFT）型の表示画素を備えた液晶表示装置の概略構成を示すブロック図であり、図18は、従来技術における液晶表示パネルの要部構成の一例を示す等価回路図である。

図17、図18に示すように、従来技術における液晶表示装置100Pは、概略、表示画素Pxが、2次元配列（例えば、n行×m列に配列）された液晶表示パネル（表示パネル）110Pと、該液晶表示パネル110Pの各行の表示画素Px群を順次走査して選択状態に設定するゲートドライバ（走査ドライバ）120Pと、選択状態に設定された行の表示画素Px群に、映像信号に基づく表示信号電圧を一括して出力するソースドライバ（データドライバ）130Pと、ゲートドライバ120P及びソースドライバ130Pにおける動作タイミングを制御するための制御信号（水平制御信号、垂直制御信号等）を生成、出力するLCDコントローラ150Pと、映像信号から各種タイミング信号（水平同期信号、垂直同期信号、コンポジット同期信号等）を抽出してLCDコントローラ150Pに出力するとともに、輝度信号からなる表示データを生成してデータドライバ130Pに出力する表示信号生成回路160Pと、LCDコントローラ150Pにより生成される極性反転信号FRPに基づいて、液晶表示パネル110Pの各表示画素Pxに共通に設けられた共通電極（対向電極）に対して、所定の電圧極性を有するコモン信号電圧Vcomを印加するコモン信号駆動アンプ（駆動アンプ）170Pと、を備えた構成を有している。

【0004】

ここで、液晶表示パネル110Pは、対向する透明基板間に、例えば、図18に示すように、行列方向に互いに直交するように配設された複数の走査ラインSL及び複数のデータラインDLと、該走査ラインSL及びデータラインDLの各交点近傍に配置された複数の表示画素（液晶表示画素）Pxと、を備えて構成されている。また、各表示画素Pxは、画素電極とデータラインDL間にソース・ドレイン（電流路）が接続され、走査ラインSLにゲート（制御端子）が接続された薄膜トランジスタからなる画素トランジスタTFTと、画素電極に対向し、全表示画素Pxに共通に設けられた共通電極と上記画素電極との間に充填、保持された液晶分子からなる画素容量（液晶容量）C_{lc}と、画素容量C_{lc}に並列に構成され、該画素容量C_{lc}に印加された信号電圧を保持するための補助容量（蓄積容量）C_sと、を備えた構成を有している。

【0005】

なお、液晶表示パネル110Pに配設された走査ラインSL及びデータラインDLは、各々、接続端子TMg、TMsを介して、液晶表示パネル110Pとは別個に設けられたゲートドライバ120P及びソースドライバ130Pに接続されるように構成されている。また、補助容量C_sの他端側の電極（補助電極）は、共通の接続ラインCLを介して所定の電圧V_{cs}（例えば、コモン信号電圧V_{com}）が印加されるように構成されている。

【0006】

このような構成を有する液晶表示装置100Pにおいて、表示信号生成回路160Pから供給される、液晶表示パネル110Pの1行分の表示画素に対応した表示データが、LCDコントローラ150Pから供給される水平制御信号に基づいて、ソースドライバ130Pにより順次取り込み保持される。一方、LCDコントローラ150Pから供給される垂直制御信号に基づいて、ゲートドライバ120Pにより液晶表示パネル110Pに配設された各走査ラインSLに走査信号が順次印加され、各行の表示画素Px群の画素トランジスタTFTがオン動作して、表示信号電圧を取り込み可能な選択状態に設定される。そして、この各行の表示画素Px群の選択タイミングに同期して、ソースドライバ130Pにより、上記取り込み保持した表示データに基づく表示信号電圧を、各データラインDL

を介して各表示画素 $P \times$ に一斉に供給する。

【0007】

これにより、選択状態に設定された各表示画素 $P \times$ の画素トランジスタ TFT を介して、画素容量 C_{lc} に充填された液晶分子が、該表示信号電圧に応じて配向状態を変化させて所定の階調表示動作が行われるとともに、該画素容量 C_{lc} に並列に接続された補助容量 C_s に、該画素容量 C_{lc} に印加された電圧が充電される。このような一連の動作を、1画面分の各行に対して繰り返し実行することにより、映像信号に基づく所望の画像情報が液晶表示パネル 110P に表示される。

【0008】

なお、液晶表示装置の実装構造としては、図17、図18に示したように、液晶表示パネル 110P を構成する（画素アレイが形成される）ガラス基板等の絶縁性基板とは別個に、周辺回路であるゲートドライバ 120P 及びソースドライバ 130P を設け、接続端子 T_{Mg} 、 T_{Ms} を介して、液晶表示パネル 110P と周辺回路とを電氣的に接続する構成のほか、上記絶縁性基板上に、例えば、ゲートドライバ 120P やソースドライバ 130P を、ポリシリコントランジスタを適用して、画素アレイ（表示画素 $P \times$ ）と一体的に形成した構成も知られている。このような液晶表示装置の概略構成や実装構造等については、例えば、特許文献1等に記載されている。

【0009】

【特許文献1】特開2000-267590号公報（第3頁、図1）

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上述したような液晶表示装置においては、以下に示すような問題を有していた。

すなわち、図17、図18に示したように、液晶表示パネル 110P に対して、ゲートドライバ 120P 及びソースドライバ 130P を周辺回路として別個に設けた構成においては、表示画質の向上のために液晶表示パネル 110P を高精細化した場合、データライン数の増加を招き、これにより、液晶表示パネル 110P とゲートドライバ 120P 又はソースドライバ 130P を接続するための接続端子数が増加するとともに、当該接続端子間のピッチが狭くなるため、液晶表示パネル 110P と周辺回路（ゲートドライバ 120P 及びソースドライバ 130P）とを接続するための接続工程における工数が増加するとともに、高い接続精度を必要とすることになり、製造コストの上昇や、周辺回路を外付けするための実装面積の増大を招くという問題を有していた。

【0011】

このような液晶表示パネルと周辺回路との接続に係る工数や接続精度の問題、さらには、実装面積の問題を解決する技術としては、上述した特許文献1等にも示されているように、単一の絶縁性基板上に液晶表示パネルと、ゲートドライバやソースドライバを、ポリシリコントランジスタを適用して一体的に形成した構成が知られている。ここで、周知のように、ポリシリコントランジスタは、アモルファスシリコントランジスタのように、既に製造技術が確立され、良好な素子特性（動作特性）が得られているトランジスタ素子とは異なり、製造プロセスが煩雑で製造コストも高価であり、また、動作特性も不十分であるため、液晶表示装置の製品コストの上昇を招くとともに、安定した表示特性を得ることが難しいという問題を有していた。

【0012】

そこで、本発明は、上述した課題に鑑み、表示パネルと周辺回路との接続工程における工数の増加や高い接続精度を必要とすることなく、比較的安価な製造コストで実装面積（装置規模）を縮小することができるとともに、動作特性（表示特性）の向上を図ることができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

10

20

30

40

50

請求項 1 記載の発明は、複数の走査ライン及び複数の信号ラインが相互に直交するように配設され、該信号ライン及び走査ラインの交点近傍に複数の表示画素が 2 次元配列された表示パネルを有し、前記複数の表示画素に対して、表示データに基づく表示信号電圧を供給することにより、前記複数の表示画素の各々を階調表示させ、所望の画像情報を表示する表示装置において、少なくとも、各行の前記走査ラインに所定のタイミングで走査信号を順次印加して、該行の前記表示画素を選択状態に設定する走査駆動手段と、外部から供給される前記表示データを取り込み、並列的に保持するデータ保持部、及び、該データ保持部に並列的に保持された前記表示データを、所定の数の前記表示データごとに時分割的に配列された画素データに変換するデータ変換部を有する信号駆動手段と、前記表示パネルと前記信号駆動手段との間に介在し、前記複数の信号ラインに直接接続され、前記所定の数の前記信号ラインごとに共通に設けられた接続端子を介して、前記信号駆動手段から供給される前記画素データに基づく前記表示信号電圧を、時分割的に分配して前記所定の数の前記信号ラインに印加する複数のスイッチを有し、前記選択状態に設定された行の前記複数の表示画素に、前記所定の数の前記信号ラインを介して前記分配された前記表示信号電圧を個別に印加するデータ分配手段と、所定のタイミング信号に基づいて、前記データ分配手段における前記複数のスイッチの導通状態を制御するためのスイッチ切換信号を生成するスイッチ駆動制御手段と、前記スイッチ駆動制御手段における前記スイッチ切換信号の出力接点と、前記データ分配手段における前記複数のスイッチに前記スイッチ切換信号を供給する切換制御ラインの両端に設けられた一対の信号入力接点との間に、2 つの信号経路に分岐して配設された接続配線と、を具備することを特徴とする。

10

20

【0014】

請求項 2 記載の発明は、請求項 1 記載の表示装置において、前記複数のスイッチは、前記複数の信号ラインの各々に対応して設けられ、前記スイッチ切換信号に基づいて、前記データ変換部における前記表示データの変換に用いる時分割タイミングに同期して、選択的に導通状態に設定されることを特徴とする。

請求項 3 記載の発明は、請求項 1 又は 2 記載の表示装置において、前記スイッチ駆動制御手段は、前記走査駆動手段と一体的に構成されていることを特徴とする。

【0015】

請求項 4 記載の発明は、請求項 1 乃至 3 のいずれかに記載の表示装置において、少なくとも、前記表示パネル、前記走査駆動手段及び前記データ分配手段は、単一の絶縁性基板上に一体的に構成されていることを特徴とする。

30

請求項 5 記載の発明は、請求項 1 乃至 4 のいずれかに記載の表示装置において、前記走査駆動手段は、前記信号駆動手段と一体的に構成されていることを特徴とする。

【0016】

請求項 6 記載の発明は、請求項 1 乃至 4 のいずれかに記載の表示装置において、前記走査駆動手段は、前記表示パネルの一方向側に、前記信号駆動手段に隣接するように唯一配置されていることを特徴とする。

請求項 7 記載の発明は、請求項 1 乃至 6 のいずれかに記載の表示装置において、前記接続配線は、前記 2 つの信号経路のうち、一方の信号経路となる接続配線が、前記スイッチ駆動制御手段の前記出力接点と前記データ分配手段の前記信号入力接点との間の、略最短経路となるように配設され、他方の信号経路となる接続配線が、前記絶縁性基板の縁辺部側を迂回する経路を有するように配設されていることを特徴とする。

40

【0017】

請求項 8 記載の発明は、請求項 1 乃至 6 のいずれかに記載の表示装置において、前記接続配線は、前記 2 つの信号経路のうち、一方の信号経路となる接続配線が、前記スイッチ駆動制御手段の前記出力接点と前記データ分配手段の前記信号入力接点との間の、略最短経路となるように配設され、他方の信号経路となる接続配線が、前記信号駆動手段と前記データ分配手段との間の領域を通過するように配設されていることを特徴とする。

【0018】

請求項 9 記載の発明は、請求項 8 記載の表示装置において、前記信号駆動手段から前記

50

データ分配手段に出力される前記画素データに基づく前記表示信号電圧を伝達する信号配線は、少なくとも、前記他方の信号経路となる接続配線との交差領域において、相互に直交するように配線パターンが形成されていることを特徴とする。

請求項 10 記載の発明は、請求項 1 乃至 4 のいずれかに記載の表示装置において、前記走査駆動手段は、前記表示パネルの一方向側に、前記信号駆動手段の両側方に隣接するように一対配置されていることを特徴とする。

【0019】

請求項 11 記載の発明は、請求項 10 記載の表示装置において、前記接続配線は、前記 2 つの信号経路のいずれもが、前記スイッチ駆動制御手段の前記出力接点と前記データ分配手段の前記信号入力接点との間の、略最短経路を有し、かつ、均一な配線長を有するように配設されていることを特徴とする。 10

請求項 12 記載の発明は、請求項 10 又は 11 記載の表示装置において、前記一対の走査駆動手段の各々に、一体的に構成された前記スイッチ駆動制御手段により生成される一対の前記スイッチ切換信号は、相互に同期し、かつ、同一の信号レベルを有するように設定されていることを特徴とする。

【0020】

請求項 13 記載の発明は、請求項 10 乃至 12 のいずれかに記載の表示装置において、前記一対の走査駆動手段のうち、一方の前記走査駆動手段は、前記表示パネルの上半分の表示領域に配設された前記複数の走査ラインに接続され、他方の前記走査駆動手段は、前記表示パネルの下半分の表示領域に配設された前記複数の走査ラインに接続されていることを特徴とする。 20

請求項 14 記載の発明は、請求項 10 乃至 12 のいずれかに記載の表示装置において、前記一対の走査駆動手段のうち、一方の前記走査駆動手段は、前記表示パネルの奇数番目の前記走査ラインに接続され、他方の前記走査駆動手段は、前記表示パネルの偶数番目の前記走査ラインに接続されていることを特徴とする。

【0021】

請求項 15 記載の発明は、請求項 1 乃至 14 のいずれかに記載の表示装置において、前記複数の表示画素は、各々、前記走査ラインにゲート電極が接続され、前記信号ラインにドレイン電極が接続され、ソース電極が画素電極に接続された画素トランジスタと、前記画素電極及び該画素電極に対向して共通に設けられた共通電極間に液晶分子を充填してなる画素容量と、前記画素容量に並列に接続された補助容量と、を備えて構成され、前記画素データに基づく前記表示信号電圧を印加することにより、前記表示画素に充填された前記液晶分子の配向状態が制御されて階調表示されることを特徴とする。 30

【発明の効果】

【0022】

すなわち、本発明に係る表示装置は、相互に直交する複数の走査ライン及び複数の信号ライン（データライン）の各交点近傍に、表示画素をマトリクス状に配列してなる表示パネルを備えた表示装置において、各行の表示画素に所定のタイミングで走査信号を順次印加して、当該行の表示画素を選択状態に設定する走査駆動手段（ゲートドライバ）と、表示データを所定の数の表示データごとに時分割的に配列された画素データに変換する手段を備える信号駆動手段（ソースドライバ）と、表示パネルと信号駆動手段との間に介在し、複数の信号ラインの各々に接続された複数のスイッチを有し、選択状態に設定された表示画素に、該スイッチを介して画素データに基づく表示信号電圧を、時分割的に分配して印加するデータ分配手段（トランスファスイッチ回路）と、上記データ分配手段における複数のスイッチの導通状態を制御するスイッチ切換信号を生成するスイッチ駆動制御手段（スイッチ駆動部）と、を備え、上記スイッチ駆動制御手段におけるスイッチ切換信号の出力接点と、データ分配手段において複数のスイッチにスイッチ切換信号を供給する切換制御ラインの両端に設けられた一対の信号入力接点との間に接続された接続配線（配線群）が、2 つの信号経路に分岐して配設された構成を有している。 40

【0023】

ここで、少なくとも、上記表示パネル、走査駆動手段及びデータ分配手段は、同一の絶縁性基板上に一体的に構成されている。また、スイッチ駆動制御手段は、走査駆動手段と一体的に構成されているものであってもよく、さらに、該走査駆動手段は、信号駆動手段と一体的に構成、あるいは、信号駆動手段に隣接する領域に配置されているものであってもよい。

【0024】

このように、本発明に係る表示装置によれば、表示パネルを構成する各信号ラインに接続された表示画素に供給する表示信号電圧を、信号駆動手段の内部で複数本の信号ラインを一組として所定の時分割タイミングでシリアルデータ（画素データ）に変換して、上記組数分の接続端子を介してデータ分配手段に出力し、該データ分配手段により各組のシリアルデータを、上記時分割タイミングに応じて各組の信号ラインに順次分配しつつ供給することができるので、絶縁性基板に設けられたデータ分配手段と、絶縁性基板に後付けされる信号駆動手段とを、上記信号ラインの本数よりも少ない接続端子により接続することができる。

10

【0025】

したがって、表示パネル（画素エリア）と信号駆動手段間の接続端子の数を大幅に削減して、当該接続端子間のピッチを比較的広く設計することができるので、当該接続工程における工数を削減することができるとともに、比較的低い接続精度であっても良好に接続することができ、製造コストの削減及び周辺回路（ドライバIC）の実装面積の縮小を図ることができる。

20

【0026】

また、スイッチ駆動制御手段により生成されたスイッチ切換信号は、2つの信号経路に分岐して配設された接続配線を介して、データ分配手段内に配設された切換制御ラインの両端から並行して略同時に印加されることにより、該切換制御ラインに接続された、いずれのスイッチにスイッチ切換信号を印加する場合であっても、該信号の伝達距離が切換制御ラインの配線長の1/2以下になるので、該切換制御ラインに付加される抵抗成分や容量成分を低減して両者の積で規定される時定数を低減し、スイッチ切換信号の伝達遅延を大幅に抑制することができる。したがって、表示画素への表示データの書き込み不良に起因する表示ムラ等の画質の劣化を抑制することができる。

【0027】

ここで、接続配線の配設構造としては、例えば、2つの信号経路のうち、一方の信号経路となる接続配線が、スイッチ駆動制御手段と記データ分配手段の間（具体的には、出力接点と信号入力接点間）の、略最短経路となるように配設され、他方の信号経路となる接続配線が、絶縁性基板の縁辺部側を迂回する経路を有するように配設されているものであってもよいし、他方の信号経路となる接続配線が、信号駆動手段とデータ分配手段との間の領域を通過するように配設されているものであってもよい。

30

【0028】

前者の配設構造においては、信号駆動手段への入力信号線や電源線等と上記接続配線との間で交差構造を有することになり、相互の信号レベルへの変動が生じるが、信号駆動手段とデータ分配手段との間の領域において、接続配線と表示信号電圧が伝達される信号配線とが交差する構造に比較すると、表示動作（すなわち、表示信号電圧）への直接的な影響を抑制することができる。

40

【0029】

一方、後者の配設構造においては、上述したように接続配線と信号配線が交差することにより、表示信号電圧の信号レベルに直接影響を及ぼすことが考えられるため、このような影響を抑制する構成として、信号駆動手段から出力される表示信号電圧を伝達する信号配線（トランスファ接続ライン群）と、上記他方の信号経路となる接続配線との交差構造が、相互に直交するように配線パターンが形成された構成を適用することができる。

【0030】

これによれば、上記交差部において各配線に付加される寄生容量を均一化することがで

50

きるので、信号配線により伝達される表示信号電圧に及ぼす影響（伝達遅延）を抑制することができるとともに、電氣的な接続状態や配線パターンの異常等を改善することができる。また、接続配線を、信号駆動手段とデータ分配手段との間の領域に配設することができるので、絶縁性基板の縁辺部側に配設する場合に比較して、回路形成領域を縮小して、表示パネルが搭載された絶縁性基板の基板サイズの小型化を図ることができる。

【0031】

さらに、接続配線の他の配設構造としては、例えば、表示パネルの一方向側に、信号駆動手段及び走査駆動手段を備え、かつ、信号駆動手段の両側方に隣接するように一対の走査駆動手段を配置した構成を適用することもできる。この場合、各走査駆動手段とデータ分配手段との間に配設される接続配線は、いずれも、スイッチ駆動制御手段とデータ分配手段との間の略最短経路を有し、かつ、均一な配線長を有するように構成され、さらには、各接続配線を伝達するスイッチ切換信号は、相互に同期し、かつ、同一の信号レベルを有するように設定されている。

10

【0032】

これにより、接続配線の配線長を均一化することができるとともに、短くすることができるので、該接続配線に付加される抵抗成分及び容量成分に起因する信号遅延や信号レベルの劣化を抑制して、スイッチ切換信号を良好に供給することができ、一層の表示画質の向上を図ることができる。また、表示装置の配線経路を簡略化することができ、表示装置の小型化や製品コストの削減を図ることができる。

【0033】

20

加えて、本発明に係る表示装置においては、少なくとも、表示パネル（複数の表示画素）と、走査駆動手段及びデータ分配手段が、同一の絶縁性基板上に一体的に形成された構成を有しているので、表示画素を構成する画素トランジスタや、走査駆動手段及びデータ分配手段を構成する各機能素子を、例えば、アモルファスシリコンを適用して同一の製造プロセスで形成することができる。これにより、すでに技術的に確立されたアモルファスシリコン製造プロセスを適用して、安価に表示装置を製造することができるとともに、動作特性の安定した機能素子を実現することができるので、表示装置の表示特性を向上させることができる。

【発明を実施するための最良の形態】

【0034】

30

以下、本発明に係る表示装置について、図面を参照しながら説明する。なお、以下に示す実施形態においては、本発明に係る表示装置を、アクティブマトリクス型の駆動方式を採用した液晶表示装置に適用した場合について説明する。

（表示装置）

まず、本発明に係る表示装置を適用可能な液晶表示装置の全体構成について説明する。

図1は、本発明に係る表示装置を適用した液晶表示装置の全体構成を示す概略ブロック図であり、図2は、本発明に係る表示装置を適用した液晶表示装置の要部構成例を示す概略構成図である。ここで、上述した従来技術（図17及び図18）と同等の構成については、同等又は同一の符号を付して説明を簡略化する。

【0035】

40

図1、図2に示すように、本構成例に係る液晶表示装置100は、概略、上述した従来技術（図17参照）と同様に、複数の走査ラインSL及び複数のデータラインDLの交点近傍に複数の表示画素Pxが2次元（n行×m列）配列された液晶表示パネル110（表示パネル：又は、図2に示すような絶縁性基板SUB上の所定の領域に設けられた画素アレイPXA）と、各走査ラインSLに所定のタイミングで走査信号を順次印加するゲートドライバ（走査信号手段）120と、各データラインDLに表示データに基づく表示信号電圧を印加するためのソースドライバ（信号駆動手段）130と、少なくとも、ゲートドライバ120及びソースドライバ130、後述するトランスファスイッチ回路140の動作状態を制御するための各種制御信号（後述する垂直制御信号、水平制御信号、トランスファスイッチ制御信号）を生成して出力するLCDコントローラ150と、映像信号に基

50

づいてソースドライバ１３０に供給する表示データを生成するとともに、ＬＣＤコントローラ１５０に供給するタイミング信号を生成する表示信号生成回路１６０と、全表示画素Ｐｘに共通に設けられた共通電極に対して、所定の電圧極性を有するコモン信号電圧Ｖ_{com}を印加するコモン電圧駆動アンプ１７０と、を備え、さらに、本発明特有の構成として、液晶表示パネル１１０とソースドライバ１３０との間に、ソースドライバ１３０から出力されるシリアルデータからなる表示信号電圧を、液晶表示パネル１１０に配設された各データラインＤＬに分配して印加するトランスファスイッチ回路（データ分配手段）１４０を設けた構成を有している。

【００３６】

ここで、本構成例においては、図２に示すように、少なくとも、液晶表示パネル１１０を構成する複数の表示画素Ｐｘが２次元配列される画素アレイＰＸＡと、ゲートドライバ１２０及びトランスファスイッチ回路１４０が、ガラス基板等の絶縁性基板ＳＵＢ上に一体的に形成された構成を有している。また、ソースドライバ１３０は、該絶縁性基板ＳＵＢとは別個のドライバチップとして形成され、絶縁性基板ＳＵＢ上に形成された配線電極（接続接点；後述する接続端子ＴＭｓに相当する）を介して電氣的に接続されるとともに、絶縁性基板ＳＵＢ上に外付け（後付け）部品として搭載される構成を有している。

【００３７】

この場合、表示画素Ｐｘを構成する画素トランジスタ（図１８に示した画素トランジスタＴＦＴに相当する）、及び、後述するゲートドライバ１２０及びトランスファスイッチ回路１４０を構成する各機能素子（薄膜トランジスタ等）を、例えば、アモルファスシリコンを適用して同一の製造プロセスで形成することができる。これにより、すでに技術的に確立されたアモルファスシリコン製造プロセスを適用して、安価に液晶表示装置を製造することができるとともに、動作特性の安定した機能素子を実現することができるので、液晶表示装置の表示特性を向上させることができる。

なお、上述した液晶表示パネル１１０（画素アレイＰＸＡ）は、従来技術に示した構成（図１８に示した液晶表示パネル１１０Ｐ）と同等の構成を有しているので、その詳細な説明を省略する。

【００３８】

次いで、上述した液晶表示装置の各構成について具体的に説明する。

図３は、本構成例に係る液晶表示装置に適用されるゲートドライバ及びスイッチ駆動部の一具体例を示す概略構成図であり、図４は、本構成例に係る液晶表示装置に適用されるソースドライバ及びトランスファスイッチ回路の一具体例を示す概略構成図である。ここでは、上述した図１、図２に示した構成を適宜参照しながら説明する。

【００３９】

ゲートドライバ１２０は、図３に示すように、ＬＣＤコントローラ１５０から垂直制御信号として供給されるゲートスタート信号ＧＳＲＴ及びゲートクロック信号ＧＰＣＫに基づいて、所定のタイミングでシフト信号を順次出力するシフトレジスタ１２１と、該シフトレジスタ１２１から出力されるシフト信号を一方の入力とし、ＬＣＤコントローラ１５０から垂直制御信号として供給されるゲートリセット信号ＧＲＥＳを他方の入力とする２入力論理積演算回路（以下、「ＡＮＤ回路」と略記する）１２２と、該ＡＮＤ回路１２２からの出力信号を所定の信号レベルに設定（昇圧）する複数段（２段）のレベルシフタ１２３、１２４及び出力アンプ（アンプ）１２５と、を備えた構成を有している。ここで、レベルシフタ１２３、１２４及び出力アンプ１２５は、主にシフトレジスタ１２１を低電圧で駆動させるためのものであり、走査ラインＳＬ（表示画素Ｐｘ）に印加する走査信号の信号レベルに応じて、ゲートドライバ１２０の出力段に適宜設けられる。

【００４０】

このような構成を有するゲートドライバ１２０においては、ＬＣＤコントローラ１５０から垂直制御信号としてゲートスタート信号ＧＳＲＴ、ゲートクロック信号ＧＰＣＫが供給されると、シフトレジスタ１２１によりゲートクロック信号ＧＰＣＫに基づいて、ゲートスタート信号ＧＳＲＴを順次シフトしつつ、各走査ラインに対応して設けられた複数の

A N D 回路 1 2 2 の一方の入力接点に該シフト信号が入力される。

【 0 0 4 1 】

ここで、ゲートリセット信号 G R E S をハイレベル (“ 1 ”) に設定した状態 (ゲートドライバの駆動状態) では、A N D 回路 1 2 2 の他方の入力接点に常時 “ 1 ” レベルが入力されるので、上記ゲートスタート信号 G S R T、ゲートクロック信号 G P C K に基づいて、シフトレジスタ 1 2 1 からシフト信号が出力されるタイミングで、A N D 回路 1 2 2 からハイレベル (“ 1 ”) の信号が出力され、レベルシフタ 1 2 3、1 2 4 及び出力アンプ 1 2 5 を介して、所定のハイレベルを有する走査信号 G 1、G 2、G 3、・・・が生成され、各走査ライン S L 1、S L 2、S L 3、・・・に順次印加される。これにより、走査信号 G 1、G 2、G 3、・・・が印加された各行の走査ライン S L 1、S L 2、S L 3、・・・に接続された表示画素 P x が一括して選択状態に設定される。

【 0 0 4 2 】

一方、ゲートリセット信号 G R E S をローレベル (“ 0 ”) に設定した状態 (ゲートドライバ 1 2 0 のリセット状態) では、A N D 回路 1 2 2 の他方の入力接点に常時 “ 0 ” レベルが入力されるので、シフトレジスタ 1 2 1 からのシフト信号の出力の有無にかかわらず、A N D 1 2 2 からローレベル (“ 0 ”) の信号が常時出力されることにより、所定のローレベルを有する走査信号 G 1、G 2、G 3、・・・が生成され、各行の走査ライン S L 1、S L 2、S L 3、・・・に接続された表示画素 P x が非選択状態に設定される。

【 0 0 4 3 】

また、本構成例においては、図 2、図 3 に示すように、ゲートドライバ 1 2 0 内に、後述するトランスファスイッチ回路 1 4 0 を駆動制御するためのスイッチ駆動部 (スイッチ駆動制御手段) S W D が一体的に形成された構成を有している。ここで、スイッチ駆動部 S W D は、図 3 に示すように、L C D コントローラ 1 5 0 から供給されるトランスファスイッチ制御信号 (タイミング信号 : マルチプレクサコントロール信号 C N m x 0、C N m x 1 及びスイッチリセット信号 S D R E S) に基づいて、所定のタイミングでデコード信号を順次出力するデコーダ 1 2 6 と、上述した A N D 回路 1 2 2 と同様に、デコーダ 1 2 6 から出力されるデコード信号を一方の入力とし、L C D コントローラ 1 5 0 から供給されるゲートリセット信号 G R E S を他方の入力とする A N D 回路 1 2 7 と、該 A N D 回路 1 2 7 からの出力信号を所定の信号レベルに設定する複数段のレベルシフタ (上述したゲートドライバ 1 2 0 に示したレベルシフタ 1 2 3、1 2 4 と同一の構成) 及び出力アンプ 1 2 8 と、を備えた構成を有している。

【 0 0 4 4 】

このような構成を有するスイッチ駆動部 S W D においては、L C D コントローラ 1 5 0 からトランスファスイッチ制御信号として供給されるマルチプレクサ制御信号 C N m x 0、C N m x 1 及びスイッチリセット信号 S D R E S に基づいて、デコーダ 1 2 6 により生成されるデコード信号が、後述するトランスファスイッチ回路 1 4 0 の各トランスファゲート (スイッチ) に対応して設けられた複数 (例えば、3 個) の A N D 回路 1 2 7 の一方の入力接点に入力される。

【 0 0 4 5 】

ここで、スイッチ駆動部 S W D においては、上述したゲートリセット信号 G R E S をハイレベル (“ 1 ”) に設定した状態 (ゲートドライバの駆動状態) において、表 1 に示す信号論理のように、L C D コントローラ 1 5 0 からローレベル (“ 0 ”) のスイッチリセット信号 S D R E S を供給した場合には、マルチプレクサ制御信号 C N m x 0、C N m x 1 の信号レベルに関わらず、デコーダ 1 2 6 からローレベル (“ 0 ”) のデコード信号が A N D 回路 1 2 7 の一方の入力接点に常時入力されることにより、トランスファスイッチ回路 1 4 0 にはローレベル (“ 0 ”) のスイッチ切換信号 S D 1 ~ S D 3 が供給されて、後述するソースドライバ 1 3 0 により生成された表示信号電圧の各列のデータライン D L への供給が遮断される。

【 0 0 4 6 】

また、L C D コントローラ 1 5 0 からハイレベル (“ 1 ”) のスイッチリセット信号 S

DRESを供給した場合には、表1に示すように、マルチプレクサ制御信号CNmx0、CNmx1の信号レベルに基づいて、マルチプレクサ制御信号CNmx0、CNmx1が共にローレベルのとき、スイッチ切換信号SD1のみがハイレベルとなり、マルチプレクサ制御信号CNmx1がハイレベルのとき、スイッチ切換信号SD2のみがハイレベルとなり、マルチプレクサ制御信号CNmx0がハイレベルのとき、スイッチ切換信号SD3のみがハイレベルとなり、マルチプレクサ制御信号CNmx0、CNmx1が共にハイレベルのとき、スイッチ切換信号SD1～SD3がいずれもローレベルとなるように設定されるとともに、上記ゲートドライバ120と共通に設けられたレベルシフタ123、124及び出力アンプ128を介して、該スイッチ切換信号SD1～SD3の信号レベルが昇圧されて、個別の信号線を介して、相互に時間的に重ならないように順次トランスファスイッチ回路140に印加される。これにより、ハイレベルのスイッチ切換信号SD1～SD3が印加されたトランスファゲートが順次（時系列的に）オン動作して、後述するソースドライバ130により生成された表示信号電圧が各列のデータラインDLに供給される（信号供給状態）。

【0047】

一方、ゲートリセット信号GRESをローレベル（“0”）に設定した状態（ゲートドライバ120のリセット状態）においては、AND回路127の他方の入力接点に常時“0”レベルが入力されるため、デコーダ126から出力されるデコード信号の信号レベルに関わらず、AND回路127からローレベル（“0”）の信号が常時出力され、トランスファスイッチ回路140にはローレベル（“0”）のスイッチ切換信号SD1～SD3が供給されて、各トランスファゲートはオフ動作して、各列のデータラインへの表示信号電圧の供給が遮断される（信号遮断状態）。

【0048】

【表1】

CNmx0	CNmx1	SDRES	SD1	SD2	SD3
L	L	L	L	L	L
L	H	L	L	L	L
H	L	L	L	L	L
H	H	L	L	L	L
L	L	H	H	L	L
L	H	H	L	H	L
H	L	H	L	L	H
H	H	H	L	L	L

【0049】

ソースドライバ130は、例えば、図4に示すように、水平シフトクロック信号SCK、水平期間スタート信号STHに基づいて、所定のタイミングでシフト信号を順次出力するシフトレジスタ131と、該シフトレジスタ131から出力されるシフト信号に応じて、表示信号生成回路160から並列的に供給される複数系統の表示データ、例えば、画像

情報を構成する赤色成分（R）、緑色成分（G）、青色成分（B）からなる3系統の表示データ R data、G data、B dataを順次取り込むとともに、前の水平期間に取り込まれた表示データを制御信号 S T B に応じて一斉に出力するラッチ回路（データ保持部）132と、マルチプレクサコントロール信号 C N m x 0、C N m x 1に基づいて、ラッチ回路132から一斉に出力された各表示データ R data、G data、B data（すなわち、パラレルデータ）を、時分割的に配列された1系統の画素データ（R、G、B）（すなわち、シリアルデータ）に変換する3入力マルチプレクサ（データ変換部）133と、該3入力マルチプレクサ133から出力される画素データ（R、G、B）をデジタル・アナログ変換し、極性制御信号 P O L に基づいて所定の信号極性を有するアナログ信号を生成するデジタル・アナログ変換器（以下、「D/Aコンバータ」と略記する）134と、出力イネーブル信号 O E 10に基づいて、アナログ変換された画素データ（R、G、B）を所定の信号レベルに増幅して、接続端子 T M s を介して、トランスファスイッチ回路140に表示信号電圧 V r g b として出力する出力アンプ135と、を備えた構成を有している。ここで、上述した各構成に供給される水平シフトクロック信号 S C K、水平期間スタート信号 S T H、制御信号 S T B、マルチプレクサコントロール信号 C N m x 0、C N m x 1、極性制御信号 P O L、出力イネーブル信号 O E は、いずれも L C D コントローラ150から供給される水平制御信号である。

【0050】

また、トランスファスイッチ回路140は、概略、図4に示すように、上述したソースドライバ130から、時分割的に構成された表示信号電圧 V r g b が出力される接続端子 T M s 20に対して並列的に接続され、R G B の各色に対応した表示画素 P x に接続された（3本単位の）各データライン D L 1 ~ D L 3、D L 4 ~ D L 6、・・・に対して、各々トランスファゲート（スイッチ）T G 1 ~ T G 3 を備えた構成を有している。また、トランスファスイッチ回路140の内部には、3本の切換制御信号ライン T L 1 ~ T L 3 が配設され、各切換制御信号ライン T L 1 ~ T L 3 に上記各トランスファゲート T G 1 ~ T G 3 の制御端子が個別に接続されるように構成されている。

【0051】

ここで、各切換制御信号ライン T L 1 ~ T L 3 は、両端に信号入力接点を備え、各信号入力接点がトランスファスイッチ回路140の両端部に配置されている。上述したスイッチ駆動部 S W D により個別に生成、出力されたスイッチ切換信号 S D 1 ~ S D 3 は、各々 302つの信号経路に分岐され、対応する切換制御信号ライン T L 1 ~ T L 3 の両端に設けられた一対の信号入力接点を介して、該切換制御信号ライン T L 1 ~ T L 3 の両端側から供給される。これにより、該スイッチ切換信号 S D 1 ~ S D 3 の信号レベルに応じて各トランスファゲート T G 1 ~ T G 3 のオン、オフ状態が設定される。

【0052】

すなわち、このような構成を有するソースドライバ130及びトランスファスイッチ回路140においては、表示信号生成回路160から1行分のR G B の各色の表示画素 P x に対応した表示データ R data、G data、B dataが並列的かつ順次供給され、ラッチ回路により1組のR G B 各色の表示画素に対応した表示データ R data、G data、B dataが順次取り込み保持された後、3入力マルチプレクサ133により時分割シリアルデータに変換されて、D/Aコンバータ134、出力アンプ135及び接続端子 T M s を介してトランス 40ファスイッチ回路140に出力される。

【0053】

このとき、データドライバ120内に設けられたスイッチ駆動部 S W D から、上記3入力マルチプレクサ133におけるシリアル変換処理を制御するマルチプレクサ制御信号 C N m x 0、C N m x 1に基づいて生成されるスイッチ切換信号 S D 1 ~ S D 3 をトランスファスイッチ回路140に供給することにより、上記時分割シリアルデータからなる表示信号電圧 V r g b の時分割タイミングに同期して、各データライン D L 1 ~ D L 3、D L 4 ~ D L 6、・・・に設けられたトランスファゲート T G 1 ~ T G 3 を、時間的に重ならないように選択的にオン動作させる。

【 0 0 5 4 】

これにより、時分割シリアルデータのうち、表示データの赤色成分 R data に基づく表示信号電圧 V_r がデータライン D L 1、D L 4、D L 7、 $\dots$ D L (k+1) に供給され、緑色成分 G data に基づく表示信号電圧 V_g がデータライン D L 2、D L 5、D L 8、 $\dots$ D L (k+2) に供給され、青色成分 B data に基づく表示信号電圧 V_b がデータライン D L 3、D L 6、D L 9、 $\dots$ D L (k+3) に供給される。ここで、データライン D L の列番号を表す k は、 $k = 0、1、2、3、\dots$ である。

【 0 0 5 5 】

表示信号生成回路 1 6 0 は、例えば、液晶表示装置 1 0 0 の外部から供給される映像信号（コンポジットビデオ信号等）から水平同期信号、垂直同期信号及びコンポジット同期信号を抽出し、タイミング信号として L C D コントローラ 1 5 0 に供給するとともに、所定の表示信号生成処理（ペDESTAL クランプ、クロマ処理等）を実行して、映像信号に含まれる R、G、B 各色の輝度信号（表示データ）を抽出し、アナログ信号又はデジタル信号としてソースドライバ 1 3 0 に出力する。

10

【 0 0 5 6 】

L C D コントローラ 1 5 0 は、上記表示信号生成回路 1 6 0 から供給される水平同期信号、垂直同期信号及びシステムクロック等の各種タイミング信号に基づいて、水平制御信号及び垂直制御信号を生成して、各々、ゲートドライバ 1 2 0 及びソースドライバ 1 3 0 に供給するとともに、本発明特有の機能として、上記トランスファスイッチ回路 1 4 0 の動作状態を制御するトランスファスイッチ制御信号を生成して、ゲートドライバ 1 2 0 のスイッチ駆動部 S W D 及びソースドライバ 1 3 0 に供給し、ソースドライバ 1 3 0 からの時分割シリアルデータからなる表示信号電圧 V_{rgb} の供給タイミングに同期して、トランスファスイッチ回路 1 4 0 に設けられた各トランスファゲート T G 1 ~ T G 3 を選択的にオン動作させて、上記表示信号電圧 V_{rgb} を各データライン（表示画素）に分配するように制御する。

20

なお、本構成例において、上述したゲートドライバ 1 2 0 と一体的に設けられたスイッチ駆動部 S W D やソースドライバ 1 3 0、トランスファスイッチ回路 1 4 0 は、本発明に係る表示装置に適用可能な回路構成のごく一例を示したものにすぎず、本発明はこの構成に限定されるものではない。

【 0 0 5 7 】

（液晶表示装置の駆動制御方法）

次いで、本構成例に係る液晶表示装置における駆動制御動作について、図面を参照して簡単に説明する。

図 5 は、本構成例に係る液晶表示装置の駆動制御動作を示すタイミングチャートである。

30

【 0 0 5 8 】

上述したような構成を有する液晶表示装置における駆動制御動作は、図 5 のタイミングチャートに示すように、1 水平期間（1 H）を 1 サイクルとして、ゲートドライバ 1 2 0 から i 行目の走査ライン S L i（ $1 \leq i \leq n$ ）に走査信号 G_i を印加して、当該行の表示画素 P x 群を選択状態に設定し、該選択期間にソースドライバ 1 3 0 及びトランスファスイッチ回路 1 4 0 を介して、各々 3 本のデータライン D L 1 ~ D L 3、D L 4 ~ D L 6、 $\dots$ を 1 組として、スイッチ切換信号 S D 1 ~ S D 3 の印加タイミング（トランスファゲート T G 1 ~ T G 3 のオン動作タイミング）で、各データライン D L 1 ~ D L 3、D L 4 ~ D L 6、 $\dots$ に接続された表示画素 P x に対応する表示データに応じた表示信号電圧 V_{rgb} を分配して、個別の表示信号電圧 V_r 、 V_g 、 V_b として順次印加することにより、当該行の各表示画素 P x に表示データを書き込む動作を実行する。

40

【 0 0 5 9 】

そして、このような書き込み動作を、1 垂直期間（ $1 V = (n + 1) \times H$ ）に、液晶表示パネル 1 1 0 を構成する各走査ライン S L 1、S L 2、 $\dots$ S L n（本構成例では、液晶表示パネル 1 1 0 が 3 2 0 本の走査ライン S L を備えるものとする。 $n = 3 2 0$ ）に

50

対して、順次走査信号 G 1、G 2、G 3、・・・G n を印加することにより、液晶表示パネル 1 画面分の表示データを各表示画素 P x に書き込む。これにより、各表示画素 P x が表示データに応じた階調状態に設定されるので、液晶表示パネル 1 1 0 に所望の画像情報が表示される。

【0060】

したがって、本構成例に係る液晶表示装置によれば、液晶表示パネル 1 1 0 (画素エリア P X A) を構成する各データライン D L に接続された表示画素 P x に供給する表示信号電圧を、ソースドライバ 1 3 0 内部で複数本のデータライン D L を一組として時分割シリアルデータに変換して、絶縁性基板 S U B 上に画素エリア P X A とともに一体的に形成されたトランスファスイッチ回路 1 4 0 に出力し、該トランスファスイッチ回路 1 4 0 により各組の時分割シリアルデータを、時分割タイミングに応じて分配して各組のデータライン D L に順次供給することにより、絶縁性基板 S U B に設けられたトランスファスイッチ回路 1 4 0 と、該絶縁性基板 1 4 0 とは別個に設けられ、後付けされたソースドライバ 1 3 0 との間を、上記データライン D L の組数分の接続端子 T M s により接続することができる。

10

【0061】

これにより、液晶表示パネル 1 1 0 とソースドライバ 1 3 0 間の接続端子の数を数分の 1 (各組に含まれるデータラインの本数分の 1 ; 本構成例では、データライン数の 1 / 3) に削減して、当該接続端子間のピッチを比較的広く設計することができるので、当該接続工程における工数を削減することができるとともに、比較的低い接続精度であっても良好に接続することができ、製造コストの削減及びソースドライバの実装面積の縮小を図ることができる。

20

【0062】

また、従来技術に示したような液晶表示パネルに配設された各データラインに対応して、表示信号電圧を並列的に供給する構成においては、デジタル信号として供給される表示データ (画素データ) をアナログ化するための D / A コンバータや、アナログ化された画素データを所定の信号レベルまで増幅する出力アンプ等を、各データラインごとに設ける必要があるが、本構成例においては、これらの構成を数分の 1 (各組に含まれるデータラインの本数分の 1) に削減することができるので、ソースドライバの回路規模を縮小することができるのと同時に、上記出力段 (D / A コンバータ、出力アンプ等) で消費する電力を削減することができる。

30

【0063】

なお、本構成例においては、トランスファスイッチ回路 1 4 0 に設けられた各トランスファゲート T G 1 ~ T G 3 の導通状態を制御するスイッチ切換信号 S D 1 ~ S D 3 を生成するスイッチ駆動部 S W D を、ゲートドライバ 1 2 0 の内部に設けた回路構成を示したが、本発明はこれに限定されるものではなく、ゲートドライバ 1 2 0 の外部に設けた構成を適用するものであってもよい。但し、スイッチ駆動部は、上述したように、ゲートドライバに設けられた A N D 回路やレベルシフタ、出力アンプと同等の構成を備え、また、ゲートドライバの動作状態を制御するゲートリセット信号 G R E S に基づいて制御されるので、本構成例 (図 3) に示したように、ゲートドライバと一体的に形成した構成を適用した方が、回路規模の縮小や接続端子数の削減を図ることができる利点を有している。

40

【0064】

また、本構成例においては、複数系統 (j は任意の正の整数 ; 上述したように R G B の各色成分に対応させた場合には、3 系統 (j = 3)) のパラレルデータとして供給された表示データを、マルチプレクサ (3 入力マルチプレクサ 1 3 3 A) によりシリアルデータに変換処理してソースドライバ 1 3 0 から出力し、液晶表示パネル 1 1 0 (画素エリア P X A) に付設されたトランスファスイッチ回路 1 4 0 において、各トランスファゲート (3 個一組のトランスファゲート T G 1 ~ T G 3) を時分割タイミングに基づいてオン動作することにより、複数 (j 本) のデータライン D L に分配する構成を有しているので、単に、表示データを取り込み保持して、表示信号電圧に変換して出力する従来のソースドラ

50

イバに比較して、ソースドライバ１３０及びトランスファスイッチ回路１４０は、 j 倍の動作速度（ j 倍のクロック周波数）で信号処理を行うように設定される。ここで、ソースドライバ及びトランスファスイッチ回路により処理される表示データは、上述した３系統に限定されないことはいうまでもない。

【００６５】

次に、本発明に係る表示装置に特徴的な構成について、図面を参照しながら具体的に説明する。

< 第１の実施形態 >

図６は、第１の実施形態に係る液晶表示装置に適用される周辺回路（ゲートドライバ、ソースドライバ及びトランスファスイッチ回路）の配置と接続配線の配設構造を示す概略構成図である。ここで、上述した液晶表示装置と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

10

【００６６】

本実施形態においては、図６に示すように、上述したような構成を有する液晶表示装置（図２参照）において、特に、スイッチ駆動部ＳＷＤにより生成されるスイッチ切換信号ＳＤ（ＳＤ１～ＳＤ３）をトランスファスイッチ回路１４０に伝達するために、ゲートドライバ１２０（スイッチ駆動部ＳＷＤ）とトランスファスイッチ回路１４０との間に配設される接続配線（配線群ＬＡ１、ＬＡ２）が、図示を省略したスイッチ駆動部ＳＷＤの出力接点から２つの信号経路を有するように分岐し、一方の配線群ＬＡ１が、トランスファスイッチ回路１４０の内部に配設された切換制御ラインＴＬ（ＴＬ１～ＴＬ３）の一端側（図中、トランスファスイッチ回路１４０の左端側）に設けられた信号入力接点ＮＬ（ＮＬ１～ＮＬ３）に個別に接続され、他方の配線群ＬＡ２が、上記切換制御ラインＴＬの他端側（図中、トランスファスイッチ回路１４０の右端側）に設けられた信号入力接点ＮＲ（ＮＲ１～ＮＲ３）に個別に接続された構成を有している。

20

【００６７】

ここで、本実施形態においては、例えば、図６に示すように、配線群ＬＡ１は、ゲートドライバ１２０（スイッチ駆動部ＳＷＤ）とトランスファスイッチ回路１４０間の最短経路となる配線経路を有するように配設され、配線群ＬＡ２は、ソースドライバ１３０の搭載領域の外方（絶縁性基板ＳＵＢの縁辺部側）を迂回する配線経路を有するように配設される。

30

すなわち、スイッチ駆動部ＳＷＤにより生成、出力されたスイッチ切換信号ＳＤは、同一の信号レベルが分岐した２つの信号経路を介して、各切換制御ラインＴＬの両端側から並行して印加されるように構成されている。例えば、スイッチ切換信号ＳＤ１は、配線群ＬＡ１及びＬＡ２を介して並行して伝達され、個別の信号入力接点ＮＬ１及びＮＲ１を介して切換制御ラインＴＬ１の両端側から印加される。

【００６８】

ここで、このような接続配線（配線群）の配設構造を適用する効果について、詳しく説明する。

まず、スイッチ切換信号ＳＤを２つの信号経路に分岐して切換制御ラインＴＬの両端側から並行して印加する接続構造の効果について説明する。

40

図４に示したように、トランスファスイッチ回路１４０は、各データラインＤＬに対応してトランスファゲートＴＧを備えた構成を有し、かつ、複数本（上述した構成例では３本）のデータラインＤＬを一組として、時分割シリアルデータからなる表示信号電圧が供給されるように構成されているため、該一組のデータラインＤＬ群（トランスファゲートＴＧ群）に対応する本数の切換制御ラインＴＬ（ＴＬ１～ＴＬ３）を備えている。

【００６９】

したがって、上述したようなソースドライバ１３０からトランスファスイッチ回路１４０を介して表示パネル１１０に配設された各データラインＤＬに、所定の表示信号電圧を印加する動作においては、上述したように、各切換制御ラインＴＬに接続された複数のトランスファゲートＴＧに、所定のタイミングで単一のスイッチ切換信号ＳＤを印加するよ

50

うに制御される（図5参照）。ここで、各切換制御ラインTLは、各トランスファゲートTGを構成する薄膜トランジスタ（電界効果型トランジスタ）のゲート容量や切換制御ラインの配線容量等の容量成分（負荷容量）、また、切換制御ラインが本来有する配線抵抗等の抵抗成分が接続された構成と等価の状態を有している。

【0070】

そのため、例えば、トランスファスイッチ回路140内に配設された切換制御ラインTLに対して、一端側にのみ信号入力接点を設け（例えば、トランスファスイッチ回路140の左端のみ）、該信号入力接点を介して上記スイッチ切換信号SDを印加した場合では、該切換制御信号ラインTLの信号入力接点からの距離が長くなるほど（信号入力接点から離れるほど）、当該切換制御ラインに付加される抵抗成分及び容量成分が増加して、これらの抵抗成分及び容量成分により規定される時定数（＝抵抗×容量）が次第に増加することになり、スイッチ切換信号SDの信号波形（信号レベル）のなまりが顕著になるという問題を有している。

10

【0071】

そのため、信号入力接点から離れた位置に配置されたトランスファゲートTGほど、動作タイミングが徐々に遅延して、表示データの各表示画素Pxへの書き込み動作に割り当てられる時間（書込時間）が不足して書き込み状態が不十分となり（書き込み不良が発生し）、上記トランスファスイッチ回路140（切換制御ラインTL）の信号入力接点側となる液晶表示パネル110の領域（表示領域）と、該信号入力接点から遠方側となる表示領域との間（すなわち、液晶表示パネル110の左右の表示領域）で、発光輝度に差が生じて表示ムラ等の画質の劣化を招く可能性がある。

20

【0072】

そこで、第1の実施形態に係る液晶表示装置においては、図6に示したように、トランスファスイッチ回路140に対してスイッチ切換信号SDを印加する接続配線（配線群LA1、LA2）を、例えば、スイッチ駆動部SWDの出力端から2つの信号経路を有するように分岐し、各々をトランスファスイッチ回路140の両端に設けられた各信号入力接点NL（NL1～NL3）、NR（NR1～NR3）に接続するとともに、該接続配線のうち、一方の配線群LA1をトランスファスイッチ回路140の一端側の信号入力接点NLに対して、例えば、略最短距離となるように接続し、他方の配線群LA2をトランスファスイッチ回路140の他端側の信号入力接点NRに対して、ソースドライバ130の外方（絶縁性基板の縁辺部側）を迂回させて接続するように配設した構成を有している。

30

【0073】

これにより、トランスファスイッチ回路140内に配設された切換制御ラインTL（TL1～TL3）の各々に対して、両端側から、同一のスイッチ切換信号SD（SD1～SD3）が略同時に印加される。このとき、トランスファスイッチ回路140において、切換制御ラインTLの信号入力接点NL又はNRから、いずれのトランスファゲートTGまでの距離も、切換制御ラインTLの配線長Ltlの1/2以下になり、上述したような切換制御ラインの一端側からのみスイッチ切換信号を印加する場合（最長で切換制御ラインTLの配線長Ltl相当となる）に比較して、半減することになるので、切換制御ラインTLに付加される抵抗成分や容量成分（すなわち、両者の積で規定される時定数）を実質的に低減して、スイッチ切換信号SDの伝達遅延を大幅に抑制することができる。したがって、表示画素Pxへの表示データの書き込み不良の発生を抑制することができ、液晶表示パネル110の左右領域における発光輝度の差を抑制して表示ムラ等の画質の劣化を抑制することができる。

40

【0074】

また、本実施形態においては、スイッチ切換信号SDを印加する2つの信号経路のうち、他方の配線群LA2をソースドライバ130の外方（絶縁性基板SUBの縁辺部側）を迂回するように配設されているので、液晶表示パネル110 - トランスファスイッチ回路140 - ソースドライバ130間の配線と、上記接続配線（配線群LA2）とが電氣的あるいは物理的に干渉する構造を回避することができ、適切な信号レベルを有する表示信号

50

電圧を表示画素 P x に印加して、良好な表示動作を実現することができる。

【0075】

なお、配線群 L A 2 が配設されるソースドライバ 130 の外方の領域においては、ソースドライバ 130 への入力信号線（図 2 に示した水平制御信号や表示データ等が伝達される）や電源線、陽極酸化のための配線等が配設されているため、これらの配線と上記配線群 L A 2 との間で交差構造（図 6 中、A 部）を有することになり、相互の信号レベルへの変動が生じることが考えられるが、ソースドライバ 130 の内方の領域（すなわち、ソースドライバ 130 の液晶表示パネル 110 側の領域）において、ソースドライバ 130 から出力される表示信号電圧が伝達されるトランスファ信号ライン群 V L と上記配線群 L A 2 とが交差する構造に比較すると、表示動作への直接的な影響を大幅に抑制することができる。

10

【0076】

また、本実施形態においては、一方の配線群 L A 1 がスイッチ駆動部 S W D とトランスファスイッチ回路 140 間の略最短となる配線経路を有するように配設されているのに対して、他方の配線群 L A 2 がソースドライバ 130 の外方を迂回するように配設されているため、その配線長が必然的に異なり、スイッチ駆動部 S W D から出力されるスイッチ切換信号 S D の伝達時間が配線経路（配線群 L A 1、L A 2）によって差が生じることが考えられる。

【0077】

そこで、本実施形態においては、接続配線の配線材料としてアルミニウムやアルミニウム合金（例えば、アルミ - チタン合金）等の、低抵抗の金属材料を適用するとともに、配線長が長くなる側の接続配線（配線群 L A 2）の配線幅や配線厚の増加や、配線構造を積層化等を行うことにより、配線抵抗を低減して、スイッチ駆動部 S W D とトランスファスイッチ回路 140 間の 2 つの信号経路で、スイッチ切換信号 S D の伝達遅延の偏りが顕著にならないように設定する。

20

【0078】

なお、本実施形態に係る表示装置を、携帯電話や携帯情報端末等の比較的小型の電子機器に適用する場合には、上記接続配線の配線長が極端に長くなることはなく、2 つの信号経路間でのスイッチ切換信号の伝達遅延の偏りは比較的小さく抑えられるので、上述したような低抵抗の金属材料に限らず、例えば、ポリシリコン等の非金属性の配線材料や I T O（Indium Tin Oxide；インジウムスズ酸化物）等の透明電極材料を適用することもできる。

30

【0079】

< 第 2 の実施形態 >

次に、本発明に係る表示装置の第 2 の実施形態について、図面を参照しながら説明する。

図 7 は、第 2 の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造を示す概略構成図であり、図 8 は、本実施形態に係る液晶表示装置に適用される接続配線の交差構造を示す概略図である。ここで、上述した液晶表示装置、及び、第 1 の実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

40

【0080】

上述した第 1 の実施形態においては、ゲートドライバ 120 に一体的に設けられたスイッチ駆動部 S W D と、トランスファスイッチ回路 140 との間の接続配線の配設構造として、スイッチ駆動部 S W D から分岐して配設された 2 つの信号経路のうち、他方の接続配線（配線群 L A 2）をソースドライバ 130 の外方（絶縁性基板 S U B の縁部側）を迂回させるように配設した場合について説明したが、本実施形態においては、当該接続配線をソースドライバ 130 の内方の領域（具体的に、ソースドライバ 130 とトランスファスイッチ回路 140 間の領域）に配設するようにした構成を有している。

【0081】

50

具体的には、図 7 に示すように、上述した第 1 の実施形態の構成（図 6 参照）において、スイッチ駆動部 SWD とトランスファスイッチ回路 140 間に配設される 2 つの信号経路を有する接続配線のうち、他方の配線群 LA2 がソースドライバ 130 とトランスファスイッチ回路 140 間の領域を通過するように配設され、当該配線群 LA2 と、ソースドライバ 130 とトランスファスイッチ回路 140 間に配設されるトランスファ接続ライン群 VL とが、相互に直交する配線パターンを有する交差構造（図 7 中、B 部）を有するように構成されている。

【0082】

すなわち、本実施形態に適用される交差構造（B 部）においては、図 8（a）に示すように、ソースドライバ 130 とトランスファスイッチ回路 140 間の領域を、ソースドライバ 130 の延在方向（図面左右方向）に並行して配設される配線群 LA2 に対して、上記トランスファ接続ライン群 VL を構成する各信号ライン VL a が、少なくとも該交差部及びその近傍の領域（交差配線領域 ARC）では、配線群 LA2 に対して直交するように配設され、該交差配線領域 ARC よりもトランスファスイッチ回路 140 側の領域（傾斜配線領域 ARS）では、トランスファスイッチ回路 140 の延在方向（図面左右方向）に複数配列された入力端子（図示を省略）の端子間ピッチに対応するように、各信号ライン VL a が上記交差配線領域 ARC の配線方向に対して、所定の角度 α （ α は 0° 以上）を有して、斜め方向に伸延するように配設された配線パターンを有している。

【0083】

このような接続配線の配設構造においては、表示信号電圧が伝達されるトランスファ接続ライン群 VL と配線群 LA2 とを、図 8（a）に示すように、積層構造を適用して交差するように配設することになるが、交差配線領域 ARC において、トランスファ接続ライン群 VL を構成する全ての信号ライン VL a と配線群 LA2 が、相互に直交するように構成されているので、配線相互間に生じる寄生容量を略均一に設定することができる。

【0084】

これに対して、トランスファ接続ライン群 VL と配線群 LA2 が、図 8（b）に示すように、各々異なる所定の傾斜角度を有して交差する場合においては、各交差部における配線相互の交差面積が配線ごとに異なるため、当該交差部に生じる寄生容量にばらつきが生じるうえ、直交方向に対して傾斜角度を有する配線では、製造プロセス上、エッチング不良による電氣的な接続異常や配線パターン異常等が発生しやすいという問題を有している。

【0085】

そこで、このような配設構造の問題点に対処するため、本実施形態においては、上述したように配線群 LA2 とトランスファ接続ライン群 VL との交差構造を、常に直交状態となるように配設することにより、交差部に生じる寄生容量を均一化してトランスファ接続ライン群 VL あるいは配線群 LA2 に付加される配線容量のばらつきを抑制することができるので、各信号ライン VL a に付加される容量成分を略均一化して、トランスファ接続ライン群 VL により伝達される表示信号電圧に及ぼす影響（伝達遅延）を抑制することができるとともに、トランスファ接続ライン群 VL の電氣的な接続状態や配線パターンの異常等を改善することができる。

【0086】

これにより、上述した第 1 の実施形態と同様に、トランスファスイッチ回路 140 内に配設された切換制御ライン TL（TL1～TL3）に対して、該ライン TL の両端側から、同一のスイッチ切換信号 SD（SD1～SD3）が略並行して印加されるので、各トランスファゲート TG（TG1～TG3）へのスイッチ切換信号 SD の伝達遅延を大幅に抑制して、表示画素 Px への表示データの書き込み不良の発生を抑制することができ、液晶表示パネル 110 の左右領域における発光輝度の差を抑制して表示画質の劣化を抑制することができる。

【0087】

また、本実施形態に係る接続配線の配設構造によれば、スイッチ駆動部 SWD とトラン

10

20

30

40

50

スファスイッチ回路 140 間に配設される接続配線（配線群 LA2）を、ソースドライバ 130 の内方、すなわち、ソースドライバ 130 とトランスファスイッチ回路 140 間の領域に配設することができるので、当該接続配線をソースドライバ 130 の外方（絶縁性基板 SUB の縁辺部側）に配設する場合に比較して、回路形成領域を縮小して、液晶表示パネル 110 が搭載された絶縁性基板 SUB の基板サイズの小型化を図ることができる。

【0088】

＜第 3 の実施形態＞

次に、本発明に係る表示装置の第 3 の実施形態について、図面を参照しながら説明する。

図 9 は、第 3 の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の一例を示す概略構成図である。また、図 10 は、本実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の他の例を示す概略構成図である。ここで、上述した液晶表示装置、及び、各実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

【0089】

上述した第 1 及び第 2 の実施形態においては、スイッチ駆動部 SWD を備えたゲートドライバ 120 と、トランスファスイッチ回路 140 及びソースドライバ 130 とを、液晶表示パネル 110 に対して異なる方向に配置した構成（すなわち、ゲートドライバ 120 を X 方向（図面左側）に配置し、トランスファスイッチ回路 140 及びソースドライバ 130 を Y 方向（図面下側）に配置した構成）を示したが、本実施形態においては、上記ゲートドライバ 120（スイッチ駆動部 SWD を含む）がソースドライバ 130 とともに一体的に形成され、1 チップ化された構成を有している。

【0090】

具体的には、図 9 に示すように、本実施形態に係る液晶表示装置は、液晶表示パネル 110 の一方向側（図面下方側）に、上述した各実施形態と同様に、各データライン DL ごとに接続された複数のトランスファゲート TG を備えたトランスファスイッチ回路 140 と、並列的に供給される表示データに基づいて時分割シリアルデータからなる表示信号電圧を生成して上記トランスファスイッチ回路 140 に出力するとともに、各走査ライン SL に対して、引き出し線群 PLA を介して走査信号を印加し、さらに、上記トランスファスイッチ回路 140 にスイッチ切換信号 SD を出力するゲート・ソースドライバ 180 と、該ゲート・ソースドライバ 180 により生成されるスイッチ切換信号 SD を、トランスファスイッチ回路 140 内に配設された切換制御ライン TL の両端に設けられた信号入力接点に出力するための、2 つの信号経路からなる接続配線（配線群 LB1、LB2）と、を備えている。

【0091】

ここで、ゲート・ソースドライバ 180 のスイッチ切換信号 SD の出力接点（図示を省略）とトランスファスイッチ回路 140 間に配設される接続配線のうち、一方の配線群 LB1 が、トランスファスイッチ回路 140 の一端側（図中、トランスファスイッチ回路 140 の左端側）に設けられた信号入力接点 NL（NL1～NL3）に対して、最短経路となる配線経路で接続されるように配設され、他方の配線群 LB2 が、トランスファスイッチ回路 140 の他端側（図中、トランスファスイッチ回路 140 の右端側）に設けられた信号入力接点 NR（NR1～NR3）に対して、ゲート・ソースドライバ 180 の外方（絶縁性基板 SUB の縁辺部側）を迂回する配線経路で接続されるように配設された構成を有している。

【0092】

また、本実施形態に適用されるゲート・ソースドライバ 180 は、上述した第 1 の実施形態（図 6 参照）に示した、スイッチ駆動部 SWD を含むゲートトランジスタ 120 とソースドライバ 130 と、を併存させつつ一体的に形成した構成を有し、例えば、ゲート・ソースドライバ 180 の一方側（図面左方側）に、上記スイッチ駆動部及びゲートドライバと同等の機能を有する回路構成部（図中、点線部で示す）CTG が設けられている。そ

のため、図 9 に示すように、ゲート・ソースドライバ 180 の左方に設けられた、スイッチ切換信号 S D の出力接点から分岐して 2 つの信号経路を有して配設された接続配線（配線群 L B 1、L B 2）が、各々個別にトランスファスイッチ回路 140（切換制御ライン T L）の両端に設けられた各信号入力接点 N L、N R に接続されている。

【0093】

このような構成を有する液晶表示装置によれば、液晶表示パネル 110（画素アレイ P X A）の側方領域（図中、液晶表示パネル 110 の左右領域）にゲートドライバ 120 が配置されていないので、当該領域の幅を狭く設計することができ、本実施形態に係る液晶表示装置を、例えば、携帯電話や携帯情報端末（P D A）等に適用した場合、表示装置の狭額縁化を図ることができる。また、ゲートドライバ（スイッチ駆動部を含む）とソースドライバとを一体的に形成して、1 チップ化することができるので、周辺回路の部品点数を削減して製造プロセスを簡略化することができ、液晶表示装置の製品コストの削減を図ることができる。

10

【0094】

なお、図 9 に示した構成例においては、ゲート・ソースドライバ 180（具体的には、スイッチ切換信号 S D の出力接点）とトランスファスイッチ回路 140 とを接続する 2 つの信号経路のうちの他方側の配線群 L B 2 を、ゲート・ソースドライバ 180 の外方を迂回するように配設した構成を示したが、図 10 に示すように、ゲート・ソースドライバ 180 の内方の領域（具体的には、ゲート・ソースドライバ 180 とトランスファスイッチ回路 140 間の領域）に配線群 L B 2 を配設するようにしてもよい。

20

【0095】

この場合においても、図 8 に示した構成と同様に、ゲート・ソースドライバ 180 とトランスファスイッチ回路 140 との間を接続するトランスファ接続ライン群 V L は、少なくとも上記配線群 L B 2 との交差領域において、相互に直交するように配線パターンが形成されている。

このような回路構成によれば、配線群 L B 2 との交差構造に起因してトランスファ接続ライン群 V L の各信号ライン V L a に付加される容量成分を略均一化して、各表示画素 P x（各データライン D L）に印加される表示信号電圧への影響を抑制することができる。とともに、液晶表示パネル 110 の側方領域及び上下領域を狭額縁化して、製品サイズの小型化を図ることができる。

30

【0096】

< 第 4 の実施形態 >

次に、本発明に係る表示装置の第 4 の実施形態について、図面を参照しながら説明する。

図 11 は、第 4 の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造を示す概略構成図である。ここで、上述した液晶表示装置、及び、各実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

【0097】

上述した第 3 の実施形態においては、ゲートドライバ（スイッチ駆動部を含む）がソースドライバとともに一体的に形成され、ゲート・ソースドライバ 180 として 1 チップ化された構成を有しているものの、スイッチ切換信号 S D の出力接点が、該ゲート・ソースドライバ 180 の一方側（左方側）に偏って配置されている場合について説明したが、本実施形態においては、ゲート・ソースドライバ 180 の内部構造をさらにカスタム化（専用化）して、スイッチ切換信号 S D の出力接点が、トランスファスイッチ回路 140 の両端に設けられた信号入力接点 N L、N R に対応するように配置された構成を有している。

40

【0098】

具体的には、図 11 に示すように、本実施形態に係る液晶表示装置は、ゲートドライバとソースドライバが一体的に形成され、1 チップ化されたゲート・ソースドライバ 180 において、スイッチ切換信号 S D の出力接点が、トランスファスイッチ回路 140 の両端に設けられた信号入力接点の配置位置に対応するように、該ゲート・ソースドライバ 18

50

0の両端部分に設けられた構成されている。この場合、例えば、ゲート・ソースドライバ180内に設けられた、スイッチ切換信号SDを生成する回路構成部(図中、点線部で示す)CTGとゲート・ソースドライバ180の両端部分に設けられた出力接点(図示を省略)とを、内部配線群LC3により接続することにより、スイッチ切換信号SDを、トランスファスイッチ回路140の両端に設けられた信号入力接点NL、NRの近傍に配置された出力接点から出力できるように構成する。

【0099】

これにより、ゲート・ソースドライバ180のスイッチ切換信号SDの出力接点とトランスファスイッチ回路140間に配設される2つの信号経路を有する接続配線(配線群LC1、LC2)のいずれもが、トランスファスイッチ回路140に設けられた各信号入力接点NL、NRに対して、略最短経路となる配線経路で接続された構成を有しているので、ゲート・ソースドライバ180とトランスファスイッチ回路140間の配線長の違いに起因する、スイッチ切換信号SDの信号遅延のばらつきを抑制して表示データの書き込み不良を抑制し、表示画質の向上を図ることができるとともに、接続配線の配線経路の短縮、簡略化に伴う製品サイズの小型化を図ることができる。

10

【0100】

<第5の実施形態>

次に、本発明に係る表示装置の第5の実施形態について、図面を参照しながら説明する。

図12は、第5の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の一例を示す概略構成図である。また、図13は、本実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の他の例を示す概略構成図である。ここで、上述した液晶表示装置、及び、各実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

20

【0101】

上述した第3及び第4の実施形態においては、ゲートドライバ(スイッチ駆動部を含む)がソースドライバとともに一体的に形成され、ゲート・ソースドライバ180として1チップ化された構成を有する場合について説明したが、本実施形態においては、液晶表示パネル110に対して、ソースドライバ130と同一の配置方向(液晶表示パネル110の下方領域)であって、かつ、該ソースドライバ130に隣接するように、ゲートドライバ120を個別に配置した構成を有している。

30

【0102】

具体的には、図12に示すように、本実施形態に係る液晶表示装置は、液晶表示パネル110の一方向側(図面下方側)に、トランスファスイッチ回路140及びソースドライバ130が配置されるとともに、該ソースドライバ130に隣接する領域(例えば、図面左隣)に、液晶表示パネル110に配設された各走査ラインSLに対して、引き出し線群PLAを介して走査信号を印加するとともに、トランスファスイッチ回路140にスイッチ切換信号SDを出力するスイッチ駆動部(図示を省略)を備えたゲートドライバ120が配置された構成を有し、スイッチ駆動部において生成されたスイッチ切換信号SDが、ゲートドライバ120に設けられた出力接点(図示を省略)から、並行する2つの信号経路からなる接続配線(配線群LD1、LD2)を介して、トランスファスイッチ回路140の両端に設けられた信号入力接点NL、NRに入力されるように構成されている。

40

【0103】

ここで、ゲートドライバ120のスイッチ切換信号SDの出力接点(図示を省略)とトランスファスイッチ回路140間に配設される接続配線のうち、一方の配線群LD1が、トランスファスイッチ回路140の一端側(図中、トランスファスイッチ回路140の左端側)に設けられた信号入力接点NL(NL1~NL3)に対して、略最短経路となる配線経路で接続されるように配設され、他方の配線群LD2が、トランスファスイッチ回路140の他端側(図中、トランスファスイッチ回路140の右端側)に設けられた信号入力接点NR(NR1~NR3)に対して、ソースドライバ130の外方(絶縁性基板SU

50

Bの縁辺部側)を迂回する配線経路で接続されるように配設された構成を有している。

このような構成を有する表示装置によれば、上述した第3及び第4の実施形態に示した場合と同様に、液晶表示パネル110(画素アレイPXA)の側方領域(液晶表示パネル110の左右領域)にゲートドライバ120が配置されていないので、当該領域を狭く設計して、表示装置の狭額縁化を図ることができる。

【0104】

なお、図12に示した構成例においては、ゲートドライバ120とトランスファスイッチ回路140とを接続する2つの信号経路のうちの他方側の配線群LD2を、ソースドライバ130の外方を迂回するように配設した構成を示したが、図13に示すように、ソースドライバ130の内方の領域(すなわち、ソースドライバ130とトランスファスイッチ回路140間の領域)に配線群LD2を配設するようにしてもよい。

10

【0105】

この場合においても、図8に示したように、ソースドライバ130とトランスファスイッチ回路140との間を接続するトランスファ接続ライン群VLは、少なくとも上記配線群LD2との交差領域において、相互に直交するように配線パターンが形成されている。

このような回路構成によれば、配線群LB2との交差構造に起因して生じる容量成分を均一化して表示信号電圧への影響を抑制することができるとともに、液晶表示パネル110の側方領域及び上下領域を狭額縁化して、製品サイズの小型化を図ることができる。

【0106】

<第6の実施形態>

20

次に、本発明に係る表示装置の第6の実施形態について、図面を参照しながら説明する。

図14は、第6の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の一例を示す概略構成図である。また、図15は、本実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の他の例を示す概略構成図である。ここで、上述した液晶表示装置、及び、各実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

【0107】

上述した第5の実施形態においては、液晶表示パネル110に対して、ソースドライバ130と同一の配置方向(液晶表示パネル110の下方領域)であって、かつ、ソースドライバ130に隣接するように、唯一のゲートドライバ120を配置した構成を有する場合について説明したが、本実施形態においては、ゲートドライバ(スイッチ駆動部を含む)を液晶表示パネル110に配設された走査ラインSLに対応して2分割化し、上記ソースドライバ130の両側方の領域に個別に配置した構成を有している。

30

【0108】

具体的には、図14に示すように、本実施形態に係る液晶表示装置は、液晶表示パネル110の一方向側(図面下方側)に、トランスファスイッチ回路140及びソースドライバ130が配置されるとともに、該ソースドライバ130の両側方の隣接する領域(図面左隣及び右隣)に、液晶表示パネル110の所定の領域に配設された走査ライン群に対して、各々引き出し線群PLL、PLRを介して走査信号を印加するとともに、トランスファスイッチ回路140の両端に設けられた信号入力接点NL、NRにスイッチ切換信号SDを個別に出力するスイッチ駆動部(図示を省略)を備えた、2分割化された(一对の)ゲートドライバ120L、120Rが各々配置された構成を有している。

40

【0109】

ここで、ソースドライバ130の右側方の領域に設けられたゲートドライバ120Rは、引き出し線群PLRを介して、例えば、液晶表示パネル110の上半分(前半)の表示領域に配設された走査ラインSLに接続され、一方、ソースドライバ130の左側方の領域に設けられたゲートドライバ120Lは、引き出し線群PLLを介して、液晶表示パネル110の下半分(後半)の表示領域に配設された走査ラインSLに接続されている。

【0110】

50

したがって、液晶表示パネル 110 の駆動制御動作において、表示期間の前半においては、ゲートドライバ 120 R から出力される走査信号が、液晶表示パネル 110 の最上部の走査ラインから略中央部の走査ライン（液晶表示パネル 110 の上半分の表示領域の最下部となる走査ライン）まで、下方に向かって順次印加されて各行の表示画素 P x に表示信号電圧（表示データ）が書き込まれ、次いで、表示期間の後半においては、ゲートドライバ 120 L から出力される走査信号が、液晶表示パネル 110 の略中央部の走査ライン（液晶表示パネル 110 の下半分の表示領域の最上部となる走査ライン）から最下部の走査ラインまで、下方に向かって順次印加されて各行の表示画素 P x に表示信号電圧（表示データ）が書き込まれる動作が、連続的に実行されることにより、所望の画像情報が表示される。

10

【0111】

また、ゲートドライバ 120 L のスイッチ切換信号 S D の出力接点（図示を省略）と、トランスファスイッチ回路 140 の一端側（図中、トランスファスイッチ回路 140 の左端側）に設けられた信号入力接点 N L（N L 1 ~ N L 3）との間には、例えば、略最短経路となる配線経路を有するように接続された配線群 L E 1 が接続され、ゲートドライバ 120 R のスイッチ切換信号 S D の出力接点（図示を省略）と、トランスファスイッチ回路 140 の他端側（図中、トランスファスイッチ回路 140 の右端側）に設けられた信号入力接点 N R（N R 1 ~ N R 3）との間にも、例えば、略最短経路となる配線経路を有するように接続された配線群 L E 2 が接続されている。

20

【0112】

ここで、配線群 L E 1 及び L E 2 は、同一又は同等の配線長を有するように構成されていることが望ましい。また、ゲートドライバ 120 L 及び 120 R において生成されるスイッチ切換信号 S D（S D 1 ~ S D 3）は、対応する個別の信号相互（例えば、ゲートドライバ 120 L 及び 120 R において個別に生成されるスイッチ切換信号 S D 1 相互）が同期し、かつ、同一の信号レベルを有するように設定されている。

【0113】

このような構成を有する表示装置によれば、各ゲートドライバ 120 L、120 R とトランスファスイッチ回路 140 間に配設される接続配線（配線群 L E 1、L E 2）の配線長を均一化することができるとともに、短くすることができるので、該接続配線に付加される抵抗成分及び容量成分に起因する信号遅延や信号レベルの劣化を抑制して、トランスファスイッチ回路 140 内に配設された切換制御ライン T L（T L 1 ~ T L 3）の両端からスイッチ切換信号 S D を供給することができ、一層の表示画質の向上を図ることができる。また、表示装置の配線経路を簡略化することができるとともに、表示装置の狭額縁化を図ることができ、表示装置の小型化や製品コストの削減を図ることができる。

30

【0114】

なお、図 14 に示した構成例においては、ソースドライバ 130 の両側方に配置された各ゲートドライバ 120 R、120 L により、液晶表示パネル 110 の上方又は下方の表示領域ごとに配列された表示画素 P x に、順次表示信号電圧を書き込むように、走査ライン S L の引き出し配線群 P L R、P L L が接続された構成を示したが、図 15 に示すように、ソースドライバ 130 の両側方に配置された各ゲートドライバ 120 R、120 L により、液晶表示パネル 110 の奇数番目の走査ライン（奇数ライン）又は偶数番目の走査ライン（偶数ライン）に接続された表示画素 P x に、順次表示信号電圧を書き込むように、引き出し配線群 P L R がゲートドライバ 120 R と奇数ライン間に接続され、引き出し配線群 P L L がゲートドライバ 120 L と偶数ライン間に接続された構成を適用するものであってもよい。

40

【0115】

< 第 7 の実施形態 >

次に、本発明に係る表示装置の第 7 の実施形態について、図面を参照しながら説明する。

図 16 は、第 7 の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線

50

の配設構造を示す概略構成図である。ここで、上述した液晶表示装置、及び、各実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

【0116】

上述した第6の実施形態においては、液晶表示パネル110に対して、ソースドライバ130と同一の配置方向（液晶表示パネル110の下方領域）であって、かつ、ソースドライバ130の両側方に隣接するように、2分割されたゲートドライバ（スイッチ駆動部を含む）120R、120Lを個別に配置した構成を示したが、本実施形態においては、上記2つのゲートドライバがソースドライバとともに一体的に形成され、1チップ化された構成を有している。

【0117】

具体的には、図16に示すように、本実施形態に係る液晶表示装置は、液晶表示パネル110の一方側（図面下方側）に、トランスファスイッチ回路140が配置されるとともに、時分割シリアルデータからなる表示信号電圧を生成して上記トランスファスイッチ回路140に出力するとともに、液晶表示パネル110の所定の領域に配設された走査ラインSL群に対して、各々引き出し線群PLL、PLRを介して走査信号を印加するとともに、トランスファスイッチ回路140の両端に設けられた信号入力接点NL、NRにスイッチ切換信号SDを個別に出力するゲート・ソースドライバ190が配置された構成を有している。

【0118】

ここで、ゲート・ソースドライバ190は、上述した第6の実施形態（図14参照）に示した、ゲートトランジスタ120L、120Rとソースドライバ130と、を併存させつつ一体的に形成した構成を有し、例えば、トランスファスイッチ回路140（切換制御ラインTL）の両端に設けられた各信号入力接点NL、NRに対応するように、ゲート・ソースドライバ190の一方側（図面左方側）には、上記ゲートドライバ120Lと同等の機能を有する回路構成部（図中、点線部で示す）CTLが設けられ、他方側（図面右方側）には、上記ゲートドライバ120Rと同等の機能を有する回路構成部（図中、点線部で示す）CTRが設けられている。

【0119】

そのため、図16に示すように、ゲート・ソースドライバ190の一方側に設けられたスイッチ切換信号SDの出力接点とトランスファスイッチ回路140（切換制御ラインTL）の一端側に設けられた信号入力接点NLとの間には、例えば、略最短経路となる配線経路を有するように接続された配線群LF1が接続され、ゲート・ソースドライバ190の他方側に設けられたスイッチ切換信号SDの出力接点とトランスファスイッチ回路140の他端側に設けられた信号入力接点NRとの間にも、例えば、略最短経路となる配線経路を有するように接続された配線群LF1が接続されている。

【0120】

ここで、配線群LF1及びLF2は、同一又は同等の配線長を有するように構成されていることが望ましい。また、ゲート・ソースドライバ190の左方及び右方から出力されるスイッチ切換信号SD（SD1～SD3）は、対応する個別の信号相互が同期し、かつ、同一の信号レベルを有するように設定されている。

なお、液晶表示パネル110の上半分（前半）の表示領域に配設された走査ラインSLは、引き出し線群PLRを介して、例えば、ゲート・ソースドライバ190の右方の回路構成部CTRに接続され、一方、液晶表示パネル110の下半分（後半）の表示領域に配設された走査ラインは、引き出し線群PLLを介して、ゲート・ソースドライバ190の左方の回路構成部CTLに接続されている。

【0121】

このような構成を有する表示装置によれば、ゲート・ソースドライバ190とトランスファスイッチ回路140間に配設される接続配線（配線群LF1、LF2）の配線長を均一化することができるとともに、短くすることができるので、該接続配線に付加される抵抗成分及び容量成分に起因する信号遅延や信号レベルの劣化を抑制して、一層の表示画質

10

20

30

40

50

の向上を図ることができる。また、表示装置の配線経路を簡略化することができるとともに、液晶表示パネル 110 の側方領域を狭く設計して、表示装置の狭額縁化を図ることができる。さらに、ゲートドライバ（スイッチ駆動部を含む）とソースドライバとを一体的に形成して、1チップ化することができるので、周辺回路の部品点数を削減して表示装置の小型化や製品コストの削減を図ることができる。

【0122】

なお、上述した各実施形態においては、本発明に係る表示装置を液晶表示装置に適用した場合について説明したが、本発明はこれに限定されるものではなく、表示画質の高精細化に伴って表示パネルのデータライン数が増加し、端子間ピッチが狭くなることにより、製造プロセス上、支障が生じる場合等に、本発明の技術思想を良好に適用することができる。したがって、例えば、液晶表示パネルに限らず、有機 EL パネル等の他の表示パネルに適用することができることはいうまでもない。さらに、アクティブマトリクス型の駆動方式に対応した表示パネルに適用する場合にあっては、ゲートドライバとスイッチ駆動部とを一体的に構成することができるので、回路構成及び駆動制御方法（制御信号の処理等）の両面において共通化を図ることができる。

10

【図面の簡単な説明】

【0123】

【図1】本発明に係る表示装置を適用した液晶表示装置の全体構成を示す概略ブロック図である。

【図2】本発明に係る表示装置を適用した液晶表示装置の要部構成例を示す概略構成図である。

20

【図3】本構成例に係る液晶表示装置に適用されるゲートドライバ及びスイッチ駆動部の一具体例を示す概略構成図である。

【図4】本構成例に係る液晶表示装置に適用されるソースドライバ及びトランスファスイッチ回路の一具体例を示す概略構成図である。

【図5】本構成例に係る液晶表示装置の駆動制御動作を示すタイミングチャートである。

【図6】第1の実施形態に係る液晶表示装置に適用される周辺回路（ゲートドライバ、ソースドライバ及びトランスファスイッチ回路）の配置と接続配線の配設構造を示す概略構成図である。

【図7】第2の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造を示す概略構成図である。

30

【図8】本実施形態に係る液晶表示装置に適用される接続配線の交差構造を示す概略図である。

【図9】第3の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の一例を示す概略構成図である。

【図10】本実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の他の例を示す概略構成図である。

【図11】第4の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造を示す概略構成図である。

【図12】第5の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の一例を示す概略構成図である。

40

【図13】本実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の他の例を示す概略構成図である。

【図14】第6の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の一例を示す概略構成図である。

【図15】本実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造の他の例を示す概略構成図である。

【図16】第7の実施形態に係る液晶表示装置に適用される周辺回路の配置と接続配線の配設構造を示す概略構成図である。

【図17】従来技術における薄膜トランジスタ（TFT）型の表示画素を備えた液晶表示

50

装置の概略構成を示すブロック図である。

【図 18】従来技術における液晶表示パネルの要部構成の一例を示す等価回路図である。

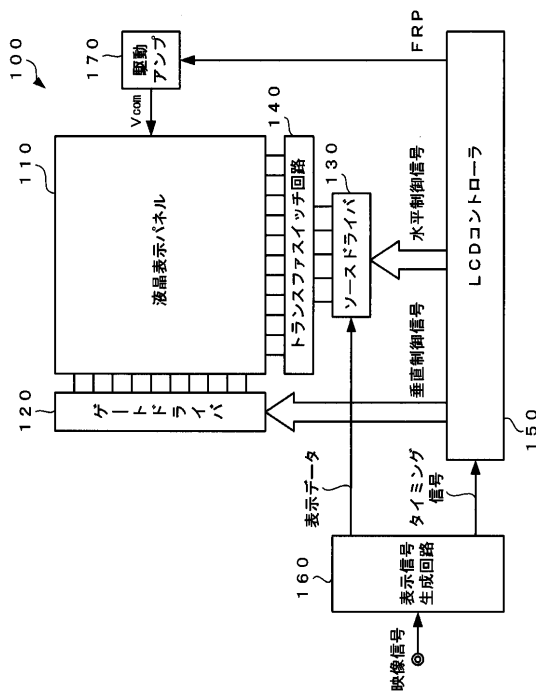
【符号の説明】

【 0 1 2 4 】

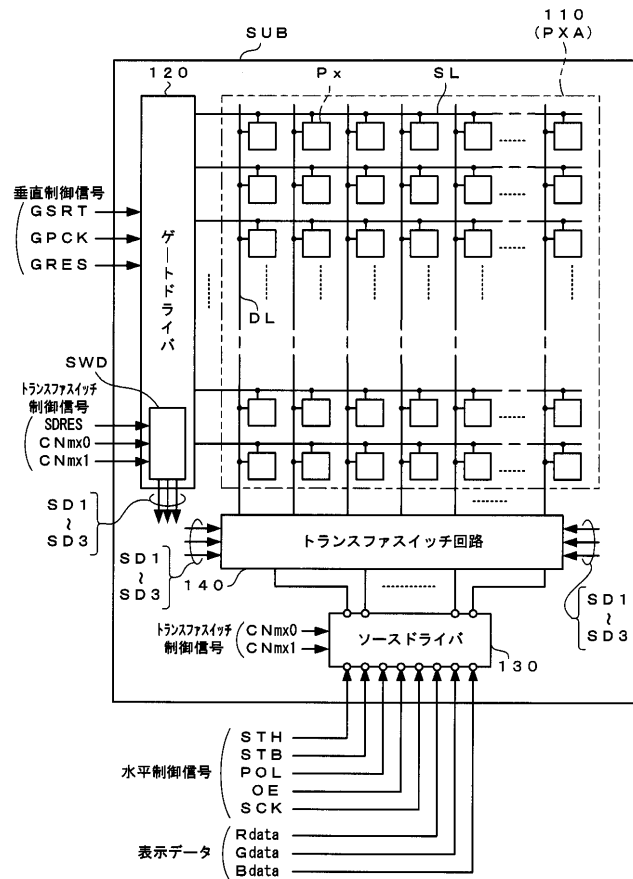
1 0 0	液晶表示装置
1 1 0	液晶表示パネル
1 2 0	ゲートドライバ
1 3 0	ソースドライバ
1 4 0	トランスファスイッチ回路
1 5 0	L C D コントローラ
1 8 0、1 9 0	ゲート・ソースドライバ
S W D	スイッチ駆動部

10

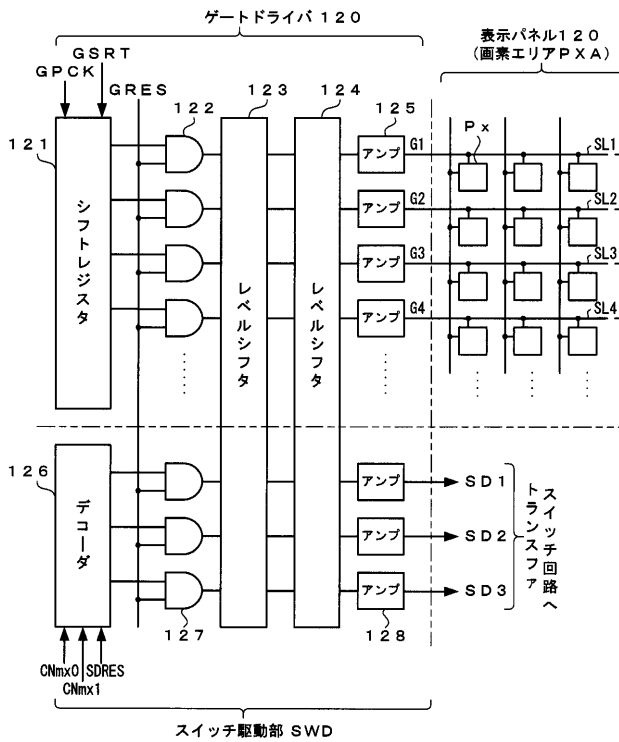
【図 1】



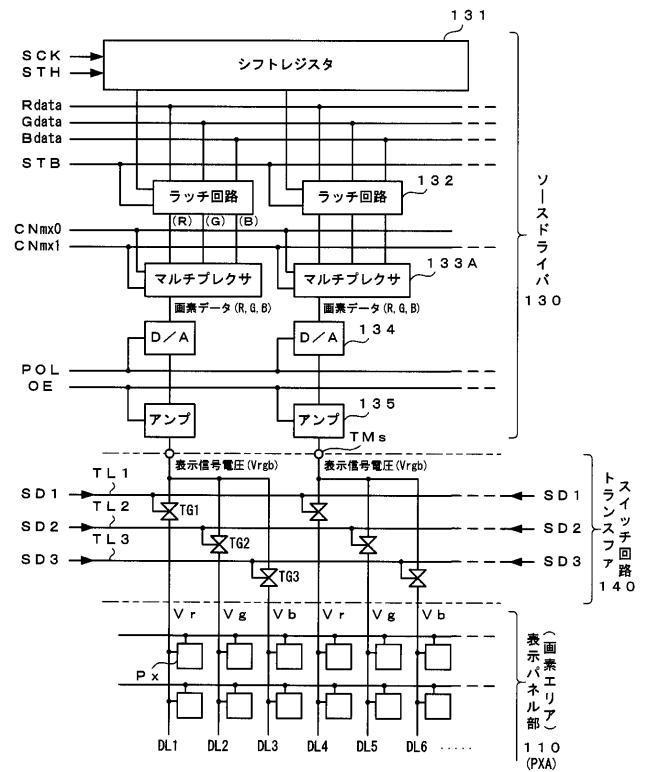
【図 2】



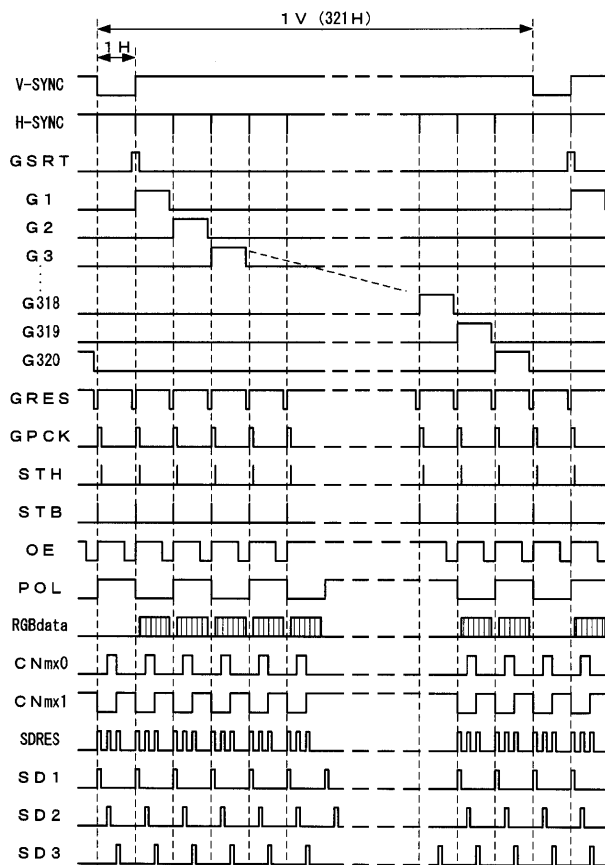
【図 3】



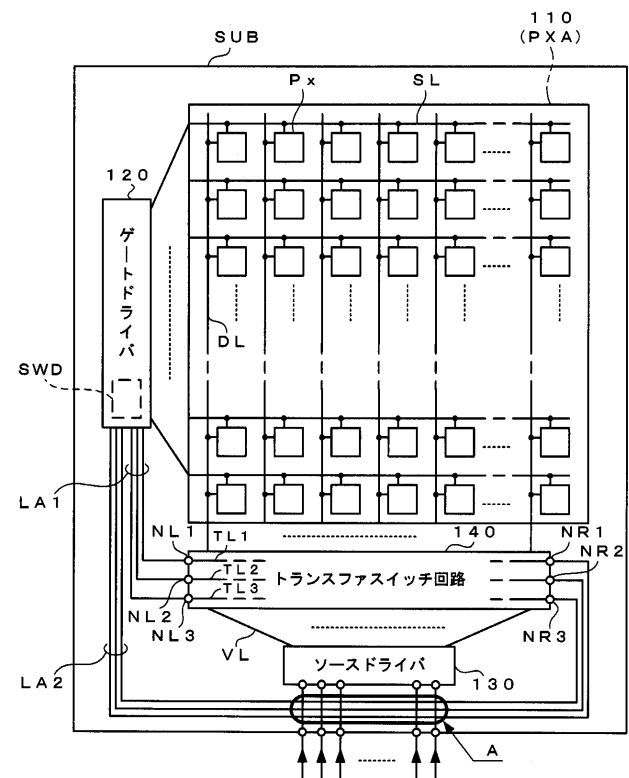
【図 4】



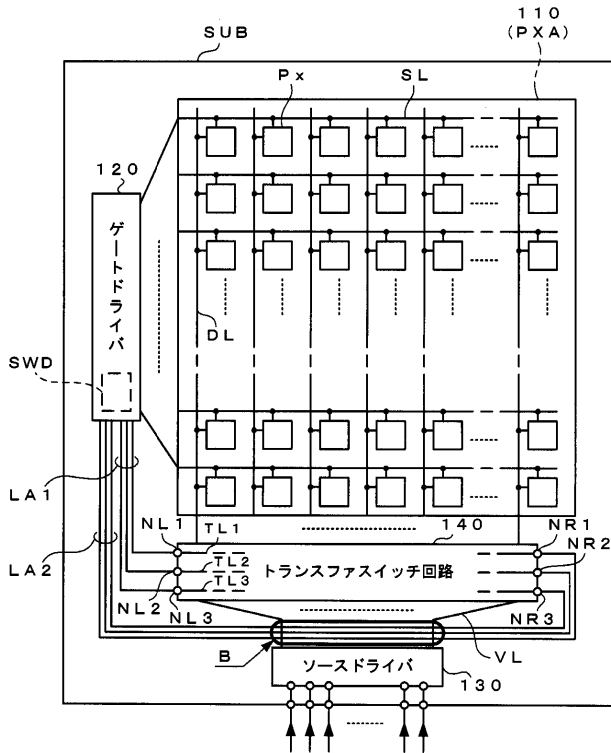
【図 5】



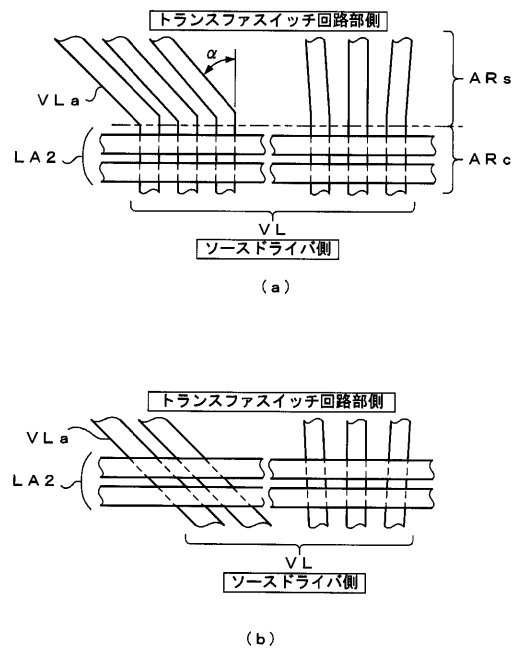
【図 6】



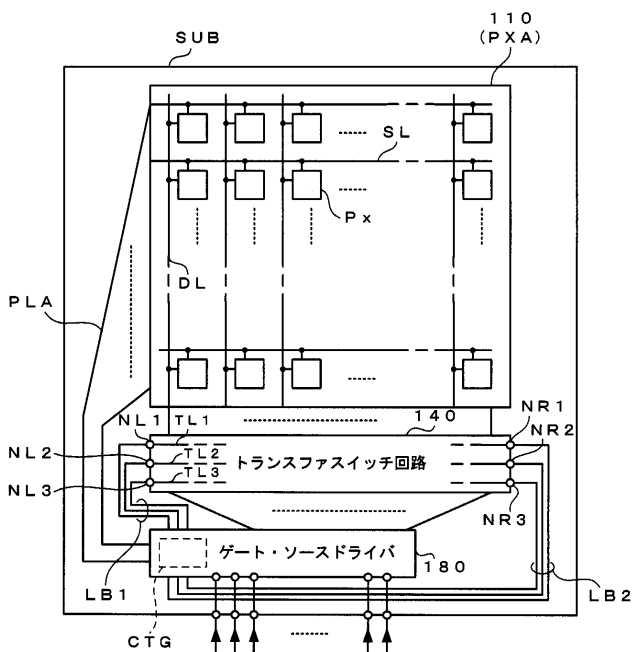
【図 7】



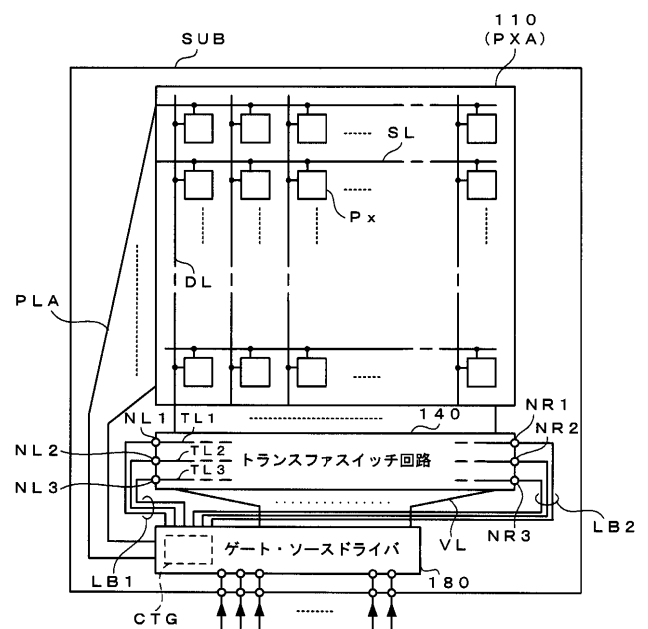
【図 8】



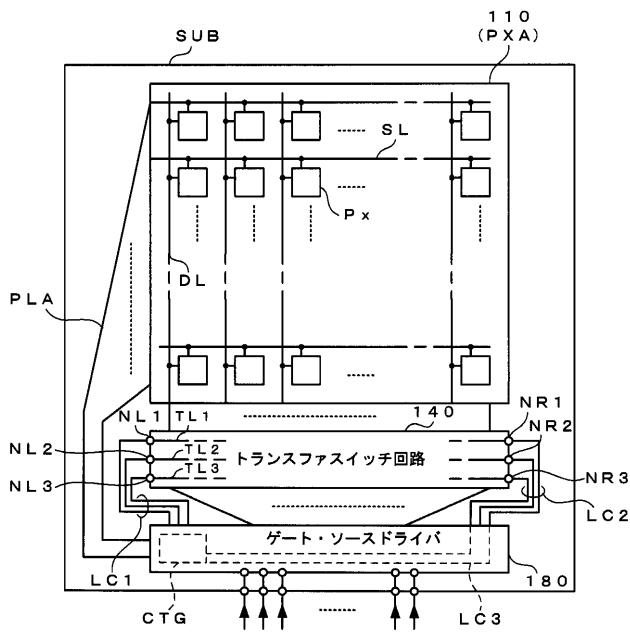
【図 9】



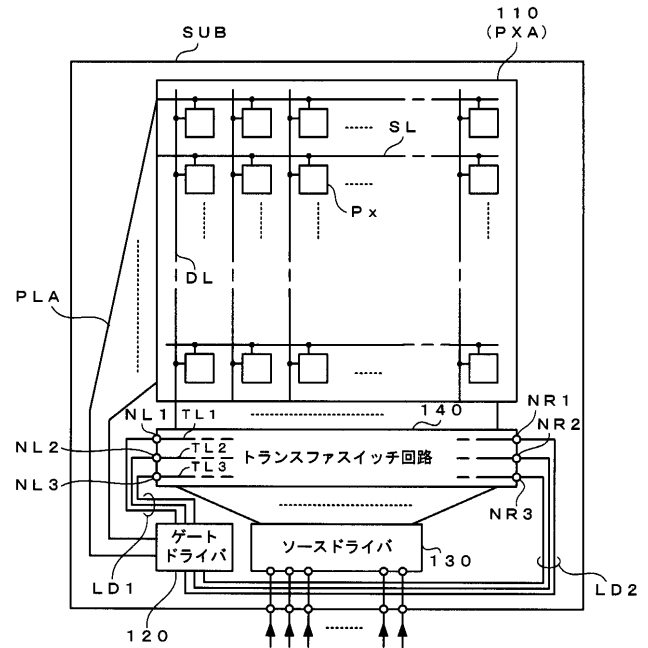
【図 10】



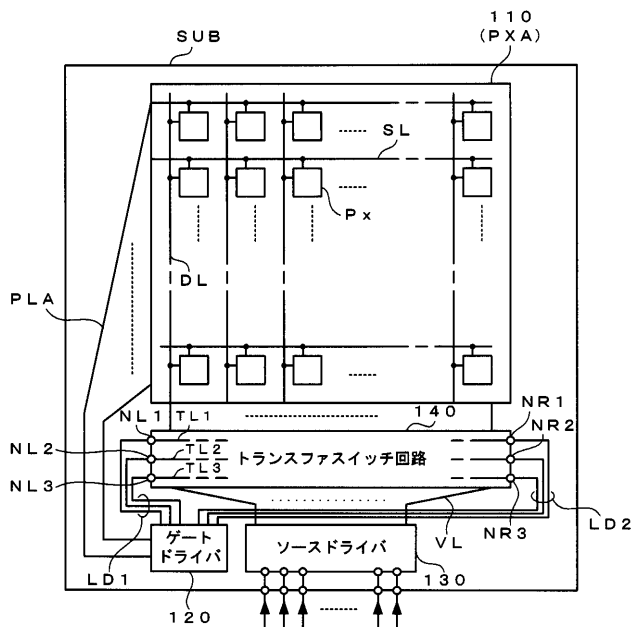
【図 11】



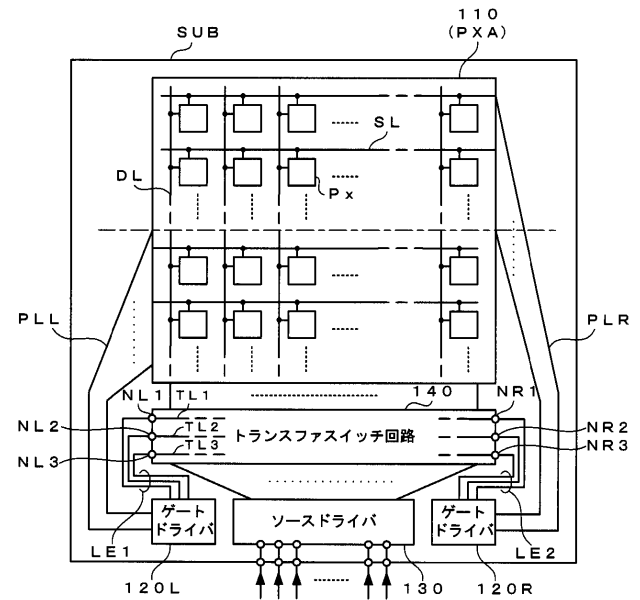
【図 12】



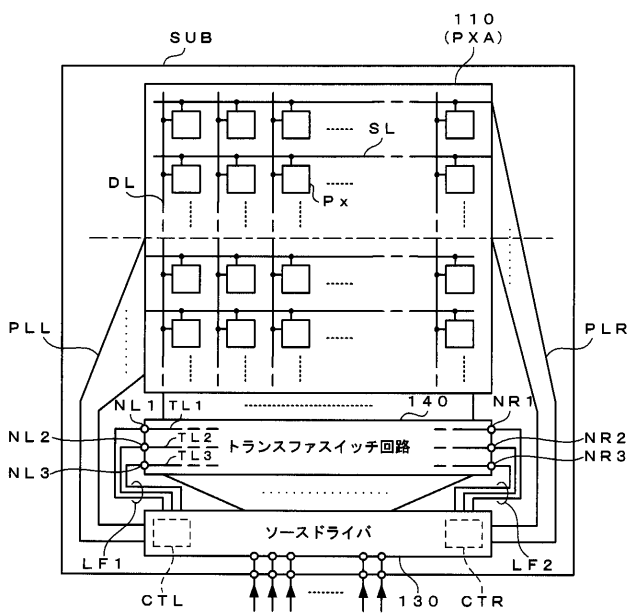
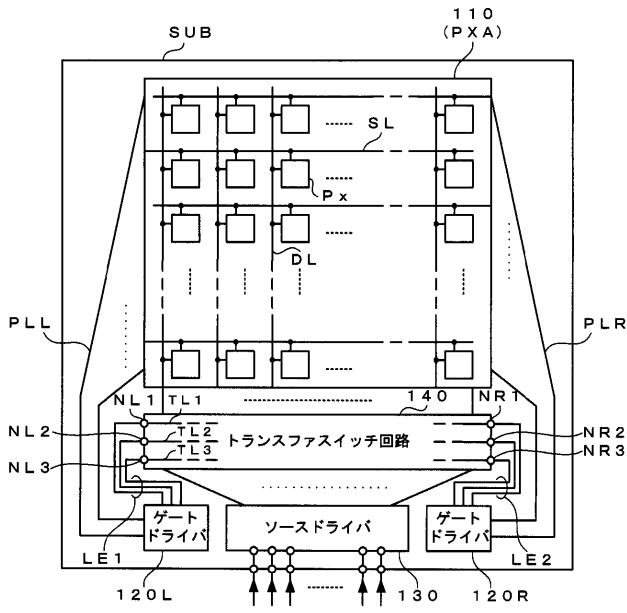
【図 13】



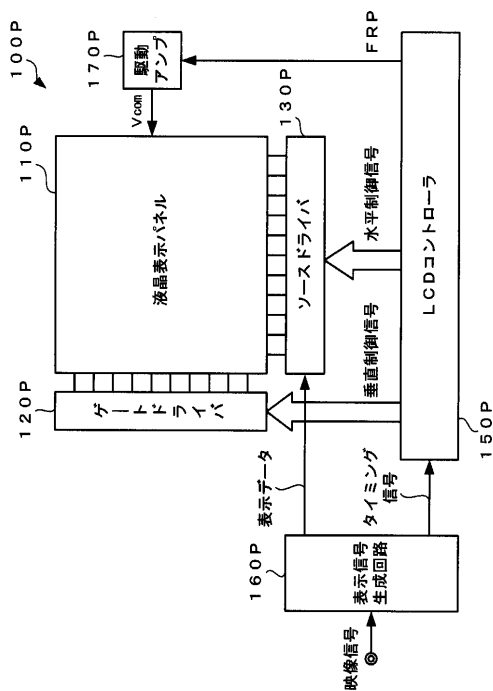
【図 14】



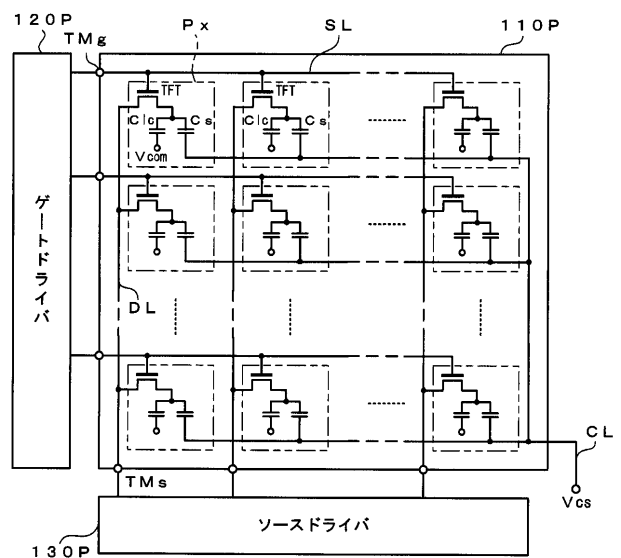
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



 フロントページの続き
(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 J
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 8 0 G

F ターム(参考) 5C006 AA16 AA22 AC27 AF25 AF42 AF43 AF50 AF71 AF83 BB14
 BB16 BC03 BC12 BC20 BC22 BC23 BF03 BF04 BF24 BF25
 BF26 EB05 FA21 FA37 FA42 FA43 FA47 FA51 FA56
 5C080 AA10 BB06 CC03 DD03 DD23 DD25 DD26 DD28 EE29 FF11
 FF13 JJ02 JJ03 JJ04 KK07

专利名称(译)	表示装置		
公开(公告)号	JP2005107382A	公开(公告)日	2005-04-21
申请号	JP2003343151	申请日	2003-10-01
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	山内慎吾		
发明人	山内 慎吾		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.M G09G3/20.622.L G09G3/20.622.M G09G3/20.623.G G09G3/20.623.J G09G3/20.623.R G09G3/20.623.X G09G3/20.641.C G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NC12 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC34 2H093/NC49 2H093/ND05 2H093/ND09 2H093/ND42 2H093/ND49 2H093/ND50 2H093/ND54 2H093/NE03 5C006/AA16 5C006/AA22 5C006/AC27 5C006/AF25 5C006/AF42 5C006/AF43 5C006/AF50 5C006/AF71 5C006/AF83 5C006/BB14 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF25 5C006/BF26 5C006/EB05 5C006/FA21 5C006/FA37 5C006/FA42 5C006/FA43 5C006/FA47 5C006/FA51 5C006/FA56 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD03 5C080/DD23 5C080/DD25 5C080/DD26 5C080/DD28 5C080/EE29 5C080/FF11 5C080/FF13 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 2H193/ZA04 2H193/ZD32 2H193/ZD34 2H193/ZF36 2H193/ZP03		
其他公开文献	JP4538712B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在不增加显示面板和外围电路的连接过程中的步骤数并且要求高连接精度和操作特性的情况下，以相对较低的制造成本来减小安装面积（装置尺寸）。提供一种能够改善（显示特性）的显示装置。由开关驱动单元SWD产生和输出的开关信号SD具有分支成两个信号路径的连接线，以及设置在传输开关电路140的两端的信号输入触点NL和NR。提供给设置在内部的每个开关控制信号线TL的两端。结果，由源极驱动器130输出的由串行数据组成的显示信号电压根据开关切换信号SD被分配并施加到布置在液晶显示面板110中的每条数据线DL。[选择图]图2

