

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247533

(P2004-247533A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int.Cl.⁷

H01L 29/786

G02F 1/1345

G09F 9/30

H01L 21/3205

F I

H01L 29/78 612C

G02F 1/1345

G09F 9/30 338

H01L 29/78 617N

H01L 21/88 B

テーマコード (参考)

2H092

5C094

5F033

5F110

審査請求 未請求 請求項の数 15 O L (全 20 頁)

(21) 出願番号 特願2003-36123 (P2003-36123)

(22) 出願日 平成15年2月14日 (2003.2.14)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100073221

弁理士 花輪 義男

(72) 発明者 尾中 栄一

東京都八王子市石川町2951番地の5

カシオ計算機株式

会社八王子研究所内

Fターム(参考) 2H092 GA33 GA37 GA43 GA44 GA60

HA04 HA06 JA24 LA01 NA11

NA14 NA17 RA10

5C094 AA31 BA03 BA43 CA19 DA09

DB02 EA07 FB02

最終頁に続く

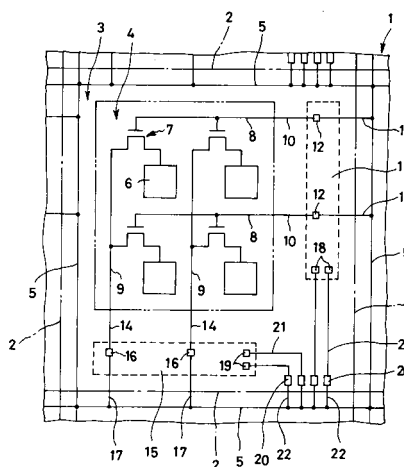
(54) 【発明の名称】 アクティブマトリックスパネル

(57) 【要約】

【課題】 薄膜トランジスタを備えた液晶表示装置において、ガラス基板の端面に露出された引き出し線の腐食を防止する。

【解決手段】 液晶表示装置複数個分に対応する大きさのガラス基板1は、最終的には一点鎖線で示すカットライン2に沿って切断されることにより、各単体に分断される。そして、例えば、薄膜トランジスタ7のゲート電極に接続されたゲートライン8の右端部は、引き出し線10、ゲートドライバ搭載領域11内の接続パッド12および引き出し線13を介して、カットライン2の外側に配置された静電気対策用の共通ライン5に接続されている。この場合、引き出し線13は、ITOからなる画素電極6と同一の材料によって同時に形成されている。そして、ITOは腐食しにくい材料のため、ガラス基板1切断後に、ガラス基板1の端面に露出される引き出し線13の腐食を防止することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に、該基板上にマトリックス状に配置された複数のアクティブ素子に少なくとも一部が接続された配線が設けられ、該配線から引き出された引き出し線の端面が前記基板の端面から露出されているアクティブマトリックスパネルにおいて、前記引き出し線の少なくともその端面側は腐食しにくい導電材料によって形成されていることを特徴とするアクティブマトリックスパネル。

【請求項 2】

請求項 1 に記載の発明において、前記引き出し線は酸化物系透明導電材料によって形成されていることを特徴とするアクティブマトリックスパネル。

10

【請求項 3】

請求項 1 に記載の発明において、前記引き出し線はITOによって形成されていることを特徴とするアクティブマトリックスパネル。

【請求項 4】

請求項 1 に記載の発明において、前記アクティブ素子は薄膜トランジスタであり、前記配線は該薄膜トランジスタに接続されるゲートラインであることを特徴とするアクティブマトリックスパネル。

【請求項 5】

請求項 1 に記載の発明において、前記アクティブ素子は薄膜トランジスタであり、前記配線は該薄膜トランジスタに接続されるドレインラインであることを特徴とするアクティブマトリックスパネル。

20

【請求項 6】

請求項 1 に記載の発明において、前記配線はドライバが搭載される接続パッドに接続され、前記引き出し線は該接続パッドに接続されていることを特徴とするアクティブマトリックスパネル。

【請求項 7】

請求項 6 に記載の発明において、前記接続パッドは、前記配線に連続して設けられた第 1 のパッド部と、該第 1 のパッド部上に前記引き出し線に連続して設けられた第 2 のパッド部とを少なくとも有することを特徴とするアクティブマトリックスパネル。

【請求項 8】

請求項 6 に記載の発明において、前記引き出し線は、前記接続パッドに連続して設けられた第 1 の引き出し線と、該第 1 の引き出し線に接続された腐食しにくい導電材料からなる第 2 の引き出し線とを有することを特徴とするアクティブマトリックスパネル。

30

【請求項 9】

請求項 1 に記載の発明において、前記配線はドライバが搭載される接続パッドに接続され、前記引き出し線は該接続パッド側とは反対側の前記配線に接続されていることを特徴とするアクティブマトリックスパネル。

【請求項 10】

請求項 1 に記載の発明において、前記アクティブ素子はスイッチング素子としての薄膜トランジスタであることを特徴とするアクティブマトリックスパネル。

40

【請求項 11】

請求項 10 に記載の発明において、前記薄膜トランジスタに画素電極が接続されていることを特徴とするアクティブマトリックスパネル。

【請求項 12】

請求項 11 に記載の発明において、前記引き出し線の少なくともその端面側は同一の平面上に設けられた前記画素電極と同一の材料によって形成されていることを特徴とするアクティブマトリックスパネル。

【請求項 13】

請求項 1 に記載の発明において、前記アクティブ素子は光電変換素子としての薄膜トランジスタであることを特徴とするアクティブマトリックスパネル。

50

【請求項 1 4】

請求項 1 3 に記載の発明において、前記薄膜トランジスタは、光源側に配置された遮光性材料からなる第 1 のゲート電極と、光源側とは反対側に配置された透光性材料からなる第 2 のゲート電極との 2 つのゲート電極を備えていることを特徴とするアクティブマトリックスパネル。

【請求項 1 5】

請求項 1 4 に記載の発明において、前記引き出し線の少なくともその端面側は同一の平面上に設けられた前記第 2 のゲート電極と同一の材料によって形成されていることを特徴とするアクティブマトリックスパネル。

【発明の詳細な説明】

10

【0001】**【発明の属する技術分野】**

この発明はアクティブマトリックスパネルに関し、例えば、アクティブ素子として薄膜トランジスタを備えたアクティブマトリックスパネルに関する。

【0002】**【従来の技術】**

アクティブ素子として薄膜トランジスタを備えたアクティブマトリックスパネルでは、基板上に互いに交差して設けられたそれぞれ複数ずつのゲートラインとドレインラインとの各交点近傍に薄膜トランジスタが両ラインに接続されて設けられている。ところで、このようなアクティブマトリックスパネルを製造するとき、製造工程中の静電気に起因して両ライン間に電位差が生じると、薄膜トランジスタの特性が変化したり破壊したりするおそれがあるため、静電気対策を施している。

20

【0003】

従来のこのようなアクティブマトリックスパネルには、薄膜トランジスタ等が設けられた本来の基板に連続して設けられた外部基板上に共通ラインを設け、この共通ラインにゲートラインおよびドレインラインをドライバ搭載用接続パッドおよび該接続パッドから引き出された引き出し線を介して接続し、静電気を帯びたとき、共通ラインを介してすべてのゲートラインおよびドレインラインが同電位となることにより、両ライン間に電位差が生じるのを防止し、そして最終的には本来の基板と外部基板との間で切断するようにしたものがある（例えば、特許文献 1 参照）。この場合、ドライバ搭載用接続パッドおよび引き出し線は、加工性や低抵抗値の要請から、これらに接続されたゲートラインまたはドレインラインと同一の材料例えばアルミニウムやアルミニウム合金からなるアルミニウム系金属あるいはクロムやモリブデン等の高融点金属によって形成されている。

30

【0004】**【特許文献 1】**

特開平 6 - 2 0 2 1 5 2 号公報

【0005】**【発明が解決しようとする課題】**

しかしながら、本来の基板と外部基板との間で切断すると、本来の基板上に残存する引き出し線が絶縁膜で覆われていても、腐食しやすい上記金属材料からなる引き出し線の端面が本来の基板の端面から露出されるため、この露出部分の汚染等に起因して、当該露出部分が腐食するおそれがある。そして、引き出し線の露出側からドライバ搭載用接続パッド側への腐食が進行し、ついにはドライバ搭載用接続パッドが腐食すると、ドライバとの電氣的接続が断たれ、故障してしまう。

40

そこで、この発明は、基板の端面に露出された引き出し線の腐食を防止することができるアクティブマトリックスパネルを提供することを目的とする。

【0006】**【課題を解決するための手段】**

請求項 1 に記載の発明は、基板上に、該基板上にマトリックス状に配置された複数のアクティブ素子に少なくとも一部が接続された配線が設けられ、該配線から引き出された引き

50

出し線の端面が前記基板の端面から露出されているアクティブマトリックスパネルにおいて、前記引き出し線の少なくともその端面側は腐食しにくい導電材料によって形成されていることを特徴とするものである。

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記引き出し線は酸化物系透明導電材料によって形成されていることを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 に記載の発明において、前記引き出し線は ITO によって形成されていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 1 に記載の発明において、前記アクティブ素子は薄膜トランジスタであり、前記配線は該薄膜トランジスタに接続されるゲートラインであることを特徴とするものである。

10

請求項 5 に記載の発明は、請求項 1 に記載の発明において、前記アクティブ素子は薄膜トランジスタであり、前記配線は該薄膜トランジスタに接続されるドレインラインであることを特徴とするものである。

請求項 6 に記載の発明は、請求項 1 に記載の発明において、前記配線はドライバが搭載される接続パッドに接続され、前記引き出し線は該接続パッドに接続されていることを特徴とするものである。

請求項 7 に記載の発明は、請求項 6 に記載の発明において、前記接続パッドは、前記配線に連続して設けられた第 1 のパッド部と、該第 1 のパッド部に前記引き出し線に連続して設けられた第 2 のパッド部とを少なくとも有することを特徴とするものである。

請求項 8 に記載の発明は、請求項 6 に記載の発明において、前記引き出し線は、前記接続パッドに連続して設けられた第 1 の引き出し線と、該第 1 の引き出し線に接続された腐食しにくい導電材料からなる第 2 の引き出し線とを有することを特徴とするものである。

20

請求項 9 に記載の発明は、請求項 1 に記載の発明において、前記配線はドライバが搭載される接続パッドに接続され、前記引き出し線は該接続パッド側とは反対側の前記配線に接続されていることを特徴とするものである。

請求項 10 に記載の発明は、請求項 1 に記載の発明において、前記アクティブ素子はスイッチング素子としての薄膜トランジスタであることを特徴とするものである。

請求項 11 に記載の発明は、請求項 10 に記載の発明において、前記薄膜トランジスタに画素電極が接続されていることを特徴とするものである。

請求項 12 に記載の発明は、請求項 11 に記載の発明において、前記引き出し線の少なくともその端面側は同一の平面上に設けられた前記画素電極と同一の材料によって形成されていることを特徴とするものである。

30

請求項 13 に記載の発明は、請求項 1 に記載の発明において、前記アクティブ素子は光電変換素子としての薄膜トランジスタであることを特徴とするものである。

請求項 14 に記載の発明は、請求項 13 に記載の発明において、前記薄膜トランジスタは、光源側に配置された遮光性材料からなる第 1 のゲート電極と、光源側とは反対側に配置された透光性材料からなる第 2 のゲート電極との 2 つのゲート電極を備えていることを特徴とするものである。

請求項 15 に記載の発明は、請求項 14 に記載の発明において、前記引き出し線の少なくともその端面側は同一の平面上に設けられた前記第 2 のゲート電極と同一の材料によって形成されていることを特徴とするものである。

40

そして、この発明によれば、引き出し線の少なくともその端面側を腐食しにくい導電材料によって形成しているので、基板の端面に露出された引き出し線の腐食を防止することができる。

【 0 0 0 7 】

【発明の実施の形態】

(第 1 実施形態)

図 1 はこの発明の第 1 実施形態としての液晶表示装置を説明するために示すもので、液晶表示装置複数個分に対応する大きさのガラス基板上にスイッチング素子(アクティブ素子)としての薄膜トランジスタ等が形成された状態における等価回路的平面図を示したもの

50

である。

【0008】

液晶表示装置複数個分に対応する大きさのガラス基板1は、最終的には一点鎖線で示すカットライン2に沿って切断されることにより、カットライン2で囲まれた単体形成領域3からなる各単体に分断されるようになっている。単体形成領域3において二点鎖線で囲まれた領域は表示領域4となっている。ガラス基板1上の各単体形成領域3の右辺外側、下辺外側、左辺内側および上辺内側には共通ライン5が格子状に設けられている。

【0009】

表示領域4には、マトリックス状に配置された複数の画素電極6と、これらの画素電極6にそれぞれ接続されたスイッチング素子としての複数の薄膜トランジスタ7と、行方向に配置され、薄膜トランジスタ7にゲート信号を供給する複数のゲートライン8と、列方向に配置され、薄膜トランジスタ7にドレイン信号を供給する複数のドレインライン9とが設けられている。

10

【0010】

各ゲートライン8の右端部は、ガラス基板1上において表示領域4の右側に設けられた引き回し線10、その右側の点線で示すゲートドライバ搭載領域11内に設けられた出力側の接続パッド12およびその右側に設けられた引き出し線13を介して、その右側の共通ライン5に接続されている。

【0011】

各ドレインライン9の下端部は、ガラス基板1上において表示領域4の下側に設けられた引き回し線14、その下側の点線で示すドレインドライバ搭載領域15内に設けられた出力側の接続パッド16およびその下側に設けられた引き出し線17を介して、その下側の共通ライン5に接続されている。

20

【0012】

各ドライバ搭載領域11、15内にそれぞれ設けられた入力側の接続パッド18、19は、ガラス基板1上においてドレインドライバ搭載領域15の右下側の各所定の箇所に設けられた外部接続端子20に引き回し線21を介して接続されている。各外部接続端子20は、その下側に設けられた引き出し線22を介して、その下側の共通ライン5に接続されている。

【0013】

次に、図1に示す液晶表示装置の一部の具体的な構造の一例について、図2を参照して説明する。この場合、図2は薄膜トランジスタ7の部分および各出力側の接続パッド12、16の部分の断面図を示す。

30

【0014】

まず、薄膜トランジスタ7の部分について説明する。ガラス基板1の上面の所定の箇所にはアルミニウム系金属、クロム系金属、モリブデン系金属等(以下、クロム等という。)からなるゲート電極23が設けられている。ゲート電極23を含むガラス基板1の上面には窒化シリコンからなるゲート絶縁膜24が設けられている。ゲート電極23上におけるゲート絶縁膜24の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜25が設けられている。

40

【0015】

半導体薄膜25の上面の所定の箇所には窒化シリコンからなるチャネル保護膜26が設けられている。チャネル保護膜26の上面両側およびその両側における半導体薄膜25の上面にはn型アモルファスシリコンからなるコンタクト層27、28が設けられている。各コンタクト層27、28の上面にはクロム等からなるドレイン電極29およびソース電極30が設けられている。

【0016】

そして、ゲート電極23、ゲート絶縁膜24、半導体薄膜25、チャネル保護膜26、コンタクト層27、28、ドレイン電極29およびソース電極により、薄膜トランジスタ7が構成されている。

50

【 0 0 1 7 】

ドレイン電極 2 9 およびソース電極 3 0 等を含むゲート絶縁膜 2 4 の上面には窒化シリコンからなるオーバーコート膜 3 1 が設けられている。オーバーコート膜 3 1 の上面の所定の箇所には I T O (酸化物系透明導電材料) からなる画素電極 6 が設けられている。画素電極 6 は、オーバーコート膜 3 1 に設けられた開口部 3 2 を介してソース電極 3 0 に接続されている。

【 0 0 1 8 】

次に、ゲートドライバ搭載領域 1 1 内の出力側の接続パッド 1 2 について説明する。接続パッド 1 2 は、ガラス基板 1 の上面の所定の箇所に設けられたクロム等からなる第 1 のパッド部 1 2 a と、その上のオーバーコート膜 3 1 の上面に設けられた I T O からなる第 2 のパッド部 1 2 b とからなっている。この場合、第 2 のパッド部 1 2 b は、オーバーコート膜 3 1 およびゲート絶縁膜 2 4 に設けられた開口部 3 3 を介して第 1 のパッド部 1 2 a に接続されている。 10

【 0 0 1 9 】

次に、ドレインドライバ搭載領域 1 5 内の出力側の接続パッド 1 6 について説明する。接続パッド 1 6 は、ゲート絶縁膜 2 4 の上面の所定の箇所に設けられたクロム等からなる第 1 のパッド部 1 6 a と、その上のオーバーコート膜 3 1 の上面に設けられた I T O からなる第 2 のパッド部 1 6 b とからなっている。この場合、第 2 のパッド部 1 6 b は、オーバーコート膜 3 1 に設けられた開口部 3 4 を介して第 1 のパッド部 1 6 a に接続されている。 20

【 0 0 2 0 】

次に、代表として、ゲートドライバ搭載領域 1 1 内の出力側の接続パッド 1 2 およびその近傍の共通ライン 5 の部分について、図 3 および図 4 を参照して説明する。この場合、図 3 は接続パッド 1 2 およびその近傍の共通ライン 5 の部分の平面図を示し、図 4 はその I V - I V 線に沿う断面図を示す。

【 0 0 2 1 】

引き出し線 1 0 は、ガラス基板 1 の上面にゲートライン 8 に連続して設けられたクロム等からなり、その右端部は方形状の接続パッド 1 2 のクロム等からなる第 1 のパッド部 1 2 a の左辺中央部に連続されている。引き出し線 1 3 は、オーバーコート膜 3 1 の上面に設けられた I T O からなり、その左端部は方形状の接続パッド 1 2 の I T O からなる第 2 のパッド部 1 2 b の右辺中央部に連続され、その右端部は、その右側におけるオーバーコート膜 3 1 の上面に設けられた I T O からなる共通ライン 5 に連続されている。この場合、共通ライン 5 の全体は、オーバーコート膜 3 1 の上面に設けられた I T O のみからなっている。 30

【 0 0 2 2 】

そして、図 3 および図 4 において、ガラス基板 1 をカットライン 2 に沿って切断すると、引き出し線 1 3 の切断面がガラス基板 1 の切断面から露出される。しかし、引き出し線 1 3 は、腐食しにくい I T O (酸化物系透明導電材料) からなるため、切断面のみならず、全体が露出していても、腐食することはない。したがって、接続パッド 1 2 の I T O からなる第 2 のパッド部 1 2 b も腐食することはない。また、接続パッド 1 2 のクロム等からなる第 1 のパッド部 1 2 a も、その上の第 2 のパッド部 1 2 b によって覆われているので腐食することはない。 40

【 0 0 2 3 】

このように、出力側の接続パッド 1 2 が腐食することはないので、その上に搭載されるゲートドライバとの電氣的接続を長期間に亘って安定良く維持することができる。このようなことは、図 2 に示すドレインドライバ搭載領域 1 5 内の出力側の接続パッド 1 6 についても同様である。また、図 1 に示す外部接続端子 2 0 は、出力側の接続パッド 1 2 、 1 6 のいずれかと同様の構造にすると、腐食しにくいようにすることができる。

【 0 0 2 4 】

ここで、ゲートドライバ搭載領域 1 1 内の出力側の接続パッド 1 2 の第 1 のパッド部 1 2 50

a は、ガラス基板 1 の上面にゲート電極 2 3 を含むゲートライン 8 および引き回し線 1 0 をクロム等によって形成するとき、同時に形成する。ドレインドライバ搭載領域 1 5 内の出力側の接続パッド 1 6 の第 1 のパッド部 1 6 a は、ゲート絶縁膜 2 4 の上面にドレイン電極 2 9 およびソース電極 3 0 を含むドレインライン 9 および引き回し線 1 4 をクロム等によって形成するとき、同時に形成する。

【0025】

また、ゲートドライバ搭載領域 1 1 内の出力側の接続パッド 1 2 の第 2 のパッド部 1 2 b、引き出し線 1 3、ドレインドライバ搭載領域 1 5 内の出力側の接続パッド 1 6 の第 2 のパッド部 1 6 b、引き出し線 1 7 および共通ライン 5 は、オーバーコート膜 3 1 の上面に画素電極 6 を I T O によって形成するとき、同時に形成する。したがって、工程数が増加することはない。 10

【0026】

なお、上記実施形態では、図 4 に示すように、接続パッド 1 2 をクロム等からなる第 1 のパッド部 1 2 a 上に I T O からなる第 2 のパッド部 1 2 b を設けた 2 層構造とした場合について説明したが、これに限定されるものではない。例えば、図 5 に示す第 1 の変形例のように、接続パッド 1 2 をクロム等、例えばクロム系金属からなる第 1 のパッド部 1 2 a 上にクロム等、例えばアルミニウム系金属からなる第 2 のパッド部 1 2 b および I T O からなる第 3 のパッド部 1 2 c を設けた 3 層構造としてもよい。この場合、第 2 のパッド部 1 2 b は、ドレインライン 9 等をクロム等、例えばアルミニウム系金属によって形成するとき、同時に形成する。また、接続パッド 1 6 および外部接続端子 2 0 も上記のような 3 20 層構造としてもよい。

【0027】

また、上記実施形態では、図 4 に示すように、共通ライン 5 を I T O のみからなる単層構造とした場合について説明したが、これに限定されるものではない。例えば、図 6 に示す第 2 の変形例のように、共通ライン 5 をクロム等、例えばクロム軽金属からなる第 1 のライン層 5 a、クロム等、例えばアルミニウム系金属からなる第 2 のライン層 5 b および I T O からなる第 3 のライン層 5 c の 3 層構造としてもよい。また、共通ライン 5 を第 1 のライン層 5 a および第 3 のライン層 5 c の 2 層構造としてもよく、また第 2 のライン層 5 b および第 3 のライン層 5 c の 2 層構造としてもよい。

【0028】

また、共通ライン 5 を I T O からなるライン層を有しない構造としてもよい。例えば、図 7 に示す第 3 の変形例のように、共通ライン 5 を、図 6 に示すクロム等、例えばクロム系金属からなる第 1 のライン層 5 a およびクロム等、例えばアルミニウム系金属からなる第 2 のライン層 5 b の 2 層構造とし、I T O からなる引き出し線 1 3 の右端部 1 3 a をオーバーコート膜 3 1 に設けられた開口部 3 5 を介して共通ライン 5 (第 2 のライン層 5 b) に接続するようにしてもよい。上記において、共通ライン 5 を第 2 のライン層 5 b のみとし、これに引き出し線 1 3 の右端部 1 3 a をオーバーコート膜 3 1 に設けられた開口部 3 5 を介して接続するようにしてもよい。また、共通ライン 5 を第 1 のライン層 5 a のみとし、これに引き出し線 1 3 の右端部 1 3 a をオーバーコート膜 3 1 およびゲート絶縁膜 2 4 に設けられた開口部 3 5 を介して接続するようにしてもよい。 30 40

【0029】

(第 2 実施形態)

図 8 はこの発明の第 2 実施形態としての液晶表示装置を説明するために示す図 1 同様の等価回路的平面図を示し、図 9 はそのうちのゲートドライバ搭載領域内の出力側の接続パッドおよびその近傍の共通ラインの部分の断面図を示したものである。

【0030】

この液晶表示装置において、図 1 および図 4 に示す場合と異なる点は、出力側の接続パッド 1 2 がドライバ搭載用パッド部 1 2 d および引き出し線接続用パッド部 1 2 e を有する長さとした点である。つまり、オーバーコート膜 3 1 およびゲート絶縁膜 2 4 に、クロム等の単層からなる接続パッド 1 2 を露出する開口部 3 3 および 3 6 を設け、該接続パッド 50

12の開口部33から露出する部分をドライバチップの電極にボンディングされるドライバ搭載用パッド部12dとし、接続パッド12の開口部36から露出する部分を引き出し線接続用パッド部12eとしている。この場合、該引き出し線接続用パッド部12eは、開口部36を介してオーバーコート膜31上に設けられた引き出し線13に接続される。上記において、ドライバ搭載用パッド部12dおよび引き出し線接続用パッド部12eを離間せずに連続して設け、オーバーコート膜31およびゲート絶縁膜24に形成する開口部を1つとすることも可能である。すなわち、開口部から露出される接続パッド12の一部に引き出し線13を接続し、該接続パッド12の残部をドライバチップのボンディング用パッド部とすることができる。

【0031】

10

この場合、出力側の接続パッド16および外部接続端子20も同様な構造とすることができる。すなわち、図8に図示されるように、接続パッド16にドライバ搭載用パッド部16dおよび引き出し線接続用パッド部16eを設け、ITOからなる引き出し線17を開口部37を介して引き出し線接続用パッド部16eに接続する。また、外部接続端子20に、ドライバ搭載用パッド部20dおよび引き出し線接続用パッド部20eを設け、ITOからなる引き出し線22を開口部38を介して引き出し線接続用パッド部20eに接続する。

【0032】

20

このようにした場合には、図9を参照して説明すると、接続パッド12がクロム等、例えばクロム系金属からなる単層構造であるため、図4に示す場合と比較して、クロム等からなる第1のパッド部12aとITOからなる第2のパッド部12bとの間のコンタクト抵抗が存在しない。この結果、ドライバチップをボンディングする際、表面抵抗を小さくすることができるので、高速駆動に対応することが可能となる。

【0033】

(第3実施形態)

図8および図9に示す場合には、接続パッド12、16を含むドライバ搭載領域11、15とカットライン2との間に開口部36、37等を設けるため、額縁の幅が図1および図4に示す場合よりも大きくなってしまふ。そこで、図10に示すこの発明の第3実施形態としての液晶表示装置のように、ゲートライン8のドライバ搭載領域11の対向側である左側に開口部36を含む引き出し線13を設け、この引き出し線13の左端部をその左側の共通ライン5に接続し、またドレインライン9のドライバ搭載領域15の対向側である上側に開口部37を含む引き出し線17を設け、この引き出し線17の上端部をその上側の共通ライン5に接続すると、額縁の幅を小さくすることができる。

30

【0034】

この場合、表示領域4の周囲にはシール部があり、このシール部およびシール部の内側の数mmの範囲は配向不良領域となって非表示領域とされるため、ドライバ搭載領域11、15の対向側にITOからなる引き出し線13、17を設ければ、該引き出し線13、17をこのような非表示領域の全体或いは一部の領域に配置することが可能となるので、この非表示領域に配置された引き出し線13、17の長さ分だけ液晶表示装置の額縁の幅を小さくすることができる。なお、外部接続端子20の場合には、その配置領域にある程度の余裕があるため、その近傍に開口部38等を設けても、額縁の幅が大きくなることはない。

40

【0035】

(第4実施形態)

図1に示す液晶表示装置では、製造工程中の静電気対策について効果があるが、カットライン2で各単体に切断した後では、静電気対策について効果がない。そこで、次に、カットライン2で各単体に切断した後でも静電気対策について効果があるこの発明の第4実施形態としての液晶表示装置について、図1同様の等価回路的平面図である図11を参照して説明する。

【0036】

50

この液晶表示装置において、図 1 に示す場合と異なる点は、ガラス基板 1 上の表示領域 4 の外側にリング状の短絡ライン 4 1 を設け、短絡ライン 4 1 の右辺とゲートドライバ搭載領域 1 1 との間に複数の静電保護素子 4 2 を短絡ライン 4 1 の右辺およびゲートライン 8 の引き回し線 1 0 に接続されて設け、短絡ライン 4 1 の下辺とドレインドライバ搭載領域 1 5 との間に複数の静電保護素子 4 3 を短絡ライン 4 1 の下辺およびドレインライン 9 の引き回し線 1 4 に接続されて設けたことである。

【 0 0 3 7 】

この液晶表示装置では、静電保護素子 4 2、4 3 を備えているため、カットライン 2 で各単体に切断した後も静電気対策について効果がある。次に、この場合の静電気対策について簡単に説明する。例えば、カットライン 2 で各単体に切断した後のガラス基板 1 の右端面あるいは下端面に外部から静電気が帯電すると、静電保護素子 4 2、4 3 が導通し、短絡ライン 4 1、全てのゲートライン 8 および全てのドレインライン 9 が同電位となり、これにより薄膜トランジスタ 7 の特性が変化したり破壊したりしないようにすることができる。

10

【 0 0 3 8 】

ここで、図 1 1 に示す液晶表示装置では、短絡ライン 4 1 の右辺がゲートライン 8 の引き回し線 1 0 と交差し、短絡ライン 4 1 の下辺がドレインライン 9 の引き回し線 1 4 と交差する。そこで、短絡ライン 4 1 の左辺、上辺、下辺はゲートライン 8 および引き回し線 1 0 等と同時に形成し、短絡ライン 4 1 の右辺はドレインライン 9 および引き回し線 1 4 等と同時に形成する。

20

【 0 0 3 9 】

(第 5 実施形態)

図 2 および図 4 に示す液晶表示装置では、画素電極 6、引き出し線 1 3 および共通ライン 5 をオーバーコート膜 3 1 の上面に設けているが、これに限定されるものではない。例えば、図 1 2 および図 1 3 に示すこの発明の第 5 実施形態としての液晶表示装置のように、ゲート絶縁膜 2 4 の上面に画素電極 6、引き出し線 1 3 および共通ライン 5 を設けるようにしてもよい。この場合、画素電極 6 の一部はソース電極 3 0 の上面の所定の箇所に設けられている。また、接続パッド 1 2 の第 2 のパッド部 1 2 b は、ゲート絶縁膜 2 4 の上面にゲート絶縁膜 2 4 に設けられた開口部 3 3 a を介して第 1 のパッド部 1 2 a に接続されて設けられている。さらに、接続パッド 1 6 の第 2 のパッド部 1 6 b は第 1 のパッド部 1 6 a の上面に設けられている。

30

【 0 0 4 0 】

なお、上記各実施形態において、ゲートライン 8 とドレインライン 9 とのうちのいずれか一方のみを共通ライン 5 に接続するようにしてもよい。また、ガラス基板 1 上にドライバ搭載領域 1 1、1 5 等を設けずに、T C P (テープキャリアパッケージ) や C O F (チップオンフィルム) 等と呼ばれる半導体装置を用いるようにしてもよい。

【 0 0 4 1 】

(第 6 実施形態)

この発明は、液晶表示装置に限らず、他の装置、例えば図 1 4 に示すような指紋読取装置にも適用することができる。すなわち、図 1 4 はこの発明の第 6 実施形態としての指紋読取装置を説明するために示すもので、指紋読取装置複数個分に対応する大きさのガラス基板上に光電変換素子 (アクティブ素子) としての薄膜トランジスタ等が形成された状態における等価回路的平面図を示したものである。

40

【 0 0 4 2 】

この場合の光電変換素子としての薄膜トランジスタは、後で詳述するが、光源側に配置された遮光性材料からなる第 1 のゲート電極と、光源側とは反対側に配置された透光性材料からなる第 2 のゲート電極との 2 つのゲート電極を備えている。

【 0 0 4 3 】

さて、図 1 4 に示すように、指紋読取装置複数個分に対応する大きさのガラス基板 5 1 は、最終的には一点鎖線で示す格子状のカットライン 5 2 に沿って切断されることにより、

50

カットライン 5 2 で囲まれた単体形成領域 5 3 からなる各単体に分断されるようになって
いる。ガラス基板 5 1 上において、行方向に延びるカットライン 5 2 の下側には第 1 の共
通ライン 5 4 が設けられ、列方向に延びるカットライン 5 2 の左側および右側には第 2 お
よび第 3 の共通ライン 5 5、5 6 が設けられている。

【0044】

単体形成領域 5 3 のほぼ中央部には光電変換素子としての複数の薄膜トランジスタ 5 7 が
マトリックス状に配置されている。薄膜トランジスタ 5 7 は、その具体的な構造について
は後で説明するが、トップゲート電極 5 8、ボトムゲート電極 5 9、ドレイン電極 6 0 お
よびソース電極 6 1 を備えている。

【0045】

単体形成領域 5 3 のほぼ中央部には、行方向に配置され、薄膜トランジスタ 5 7 のトップ
ゲート電極 5 8 に接続された複数のトップゲートライン 6 2 と、行方向に配置され、薄膜
トランジスタ 5 7 のボトムゲート電極 5 9 に接続された複数のボトムゲートライン 6 3 と
、列方向に配置され、薄膜トランジスタ 5 7 のドレイン電極 6 0 に接続された複数のドレ
インライン 6 4 と、列方向に配置され、薄膜トランジスタ 5 7 のソース電極 6 1 に接続さ
れた複数のソースライン 6 5 とが設けられている。

【0046】

薄膜トランジスタ 5 7、トップゲートライン 6 2、ボトムゲートライン 6 3、ドレインラ
イン 6 4 およびソースライン 6 5 が配置された指搭載領域の最上層には透明導電層 6 6 (
図 1 5 参照) が設けられている。透明導電層 6 6 は、この上に指紋読み取りのために接触
された指が静電気を帯びているとき、この静電気を逃がすためのものである。

【0047】

各トップゲートライン 6 2 の左端部は、ガラス基板 5 1 上において透明導電層 6 6 の左側
に設けられた引き回し線 6 7、その左側の点線で示すトップゲートドライバ搭載領域 6 8
内に設けられた出力側の接続パッド 6 9 およびその左側に設けられた引き出し線 7 0 を介
して、その左側のカットライン 5 2 の外側の第 2 の共通ライン 5 5 に接続されている。

【0048】

各ボトムゲートライン 6 3 の右端部は、ガラス基板 5 1 上において透明導電層 6 6 の右側
に設けられた引き回し線 7 1、その右側の点線で示すボトムゲートドライバ搭載領域 7 2
内に設けられた出力側の接続パッド 7 3 およびその右側に設けられた引き出し線 7 4 を介
して、その左側のカットライン 5 2 の外側の第 3 の共通ライン 5 6 に接続されている。

【0049】

各ドレインライン 6 4 の下端部は、ガラス基板 5 1 上において透明導電層 6 6 の下側に設
けられた引き回し線 7 5、その下側の点線で示すドレインドライバ搭載領域 7 6 内に設け
られた出力側の接続パッド 7 7 およびその下側に設けられた引き出し線 7 8 を介して、そ
の下側のカットライン 5 2 の外側の第 1 の共通ライン 5 4 に接続されている。

【0050】

各ドライバ搭載領域 6 8、7 2、7 6 内にそれぞれ設けられた入力側の接続パッド 7 9、
8 0、8 1 は、ガラス基板 5 1 上においてドレインドライバ搭載領域 7 6 の下側の各所定
の箇所に設けられた外部接続端子 8 2 に引き回し線 8 3 を介して接続されている。各ソー
スライン 6 5 は、共通引き回し線 8 4 を介して 1 つの外部接続端子 8 2 に接続されている
。

【0051】

透明導電層 6 6 の所定の 2 箇所は、引き回し線 8 5 を介して 2 つの外部接続端子 8 2 に接
続されている。各外部接続端子 8 2 は、その下側に設けられた引き出し線 8 6 を介して、
その下側のカットライン 5 2 の外側の第 1 の共通ライン 5 4 に接続されている。

【0052】

次に、図 1 4 に示す指紋読取装置の一部の具体的な構造の一例について、図 1 5 を参照し
て説明する。この場合、図 1 5 は薄膜トランジスタ 5 7 の部分および各出力側の接続パッ
ド 6 9、7 3、7 7 の部分の断面図を示す。

10

20

30

40

50

【 0 0 5 3 】

まず、薄膜トランジスタ 5 7 の部分について説明する。ガラス基板 5 1 の上面の所定の箇所にはクロム等からなるボトムゲート電極 5 9 が設けられている。ボトムゲート電極 5 9 を含むガラス基板 5 1 の上面には窒化シリコンからなるボトムゲート絶縁膜 8 7 が設けられている。ボトムゲート電極 5 9 上におけるボトムゲート絶縁膜 8 7 の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜 8 8 が設けられている。

【 0 0 5 4 】

半導体薄膜 8 8 の上面の所定の箇所には窒化シリコンからなるチャネル保護膜 8 9 が設けられている。チャネル保護膜 8 9 の上面両側およびその両側における半導体薄膜 8 8 の上面には n 型アモルファスシリコンからなるコンタクト層 9 0、9 1 が設けられている。各コンタクト層 9 0、9 1 の上面にはクロム等からなるドレイン電極 6 0 およびソース電極 6 1 が設けられている。

10

【 0 0 5 5 】

ドレイン電極 6 0 およびソース電極 6 1 等を含むボトムゲート絶縁膜 8 7 の上面には窒化シリコンからなるトップゲート絶縁膜 9 2 が設けられている。半導体薄膜 8 8 上におけるトップゲート絶縁膜 9 2 の上面の所定の箇所には I T O (酸化物系透明導電材料) からなるトップゲート電極 5 8 が設けられている。トップゲート電極 5 8 を含むトップゲート絶縁膜 9 2 の上面には窒化シリコンからなるオーバーコート膜 9 3 が設けられている。オーバーコート膜 9 3 の上面の所定の箇所には I T O からなる透明導電層 6 6 が設けられている。

20

【 0 0 5 6 】

そして、ボトムゲート電極 5 9、ボトムゲート絶縁膜 8 7、半導体薄膜 8 8、チャネル保護膜 8 9、コンタクト層 9 0、9 1、ドレイン電極 6 0、ソース電極 6 1、トップゲート絶縁膜 9 2 およびトップゲート電極 5 8 により、薄膜トランジスタ 5 7 が構成されている。

【 0 0 5 7 】

次に、トップゲートドライバ搭載領域 6 8 内の出力側の接続パッド 6 9 について説明する。接続パッド 6 9 は、トップゲート絶縁膜 9 2 の上面の所定の箇所に設けられた I T O からなる第 1 のパッド部 6 9 a と、その上のオーバーコート膜 9 3 の上面に設けられた I T O からなる第 2 のパッド部 6 9 b とからなっている。この場合、第 2 のパッド部 6 9 b は、オーバーコート膜 9 3 に設けられた開口部 9 4 を介して第 1 のパッド部 6 9 a に接続されている。

30

【 0 0 5 8 】

次に、ボトムゲートドライバ搭載領域 7 2 内の出力側の接続パッド 7 3 について説明する。接続パッド 7 3 は、ガラス基板 5 1 の上面の所定の箇所に設けられたクロム等からなる第 1 のパッド部 7 3 a と、その上のボトムゲート絶縁膜 8 7 の上面に設けられたクロム等からなる第 2 のパッド部 7 3 b と、その上のトップゲート絶縁膜 9 2 の上面に設けられた I T O からなる第 3 のパッド部 7 3 c と、その上のオーバーコート膜 9 3 の上面に設けられた I T O からなる第 4 のパッド部 7 3 d とからなっている。

【 0 0 5 9 】

この場合、第 2 のパッド部 7 3 b は、ボトムゲート絶縁膜 8 7 に設けられた開口部 9 5 を介して第 1 のパッド部 7 3 a に接続されている。第 3 のパッド部 7 3 c は、トップゲート絶縁膜 9 2 に設けられた開口部 9 6 を介して第 2 のパッド部 7 3 b に接続されている。第 4 のパッド部 7 3 d は、オーバーコート膜 9 3 に設けられた開口部 9 7 を介して第 3 のパッド部 7 3 c に接続されている。

40

【 0 0 6 0 】

次に、ドレインドライバ搭載領域 7 6 内の出力側の接続パッド 7 7 について説明する。接続パッド 7 7 は、ボトムゲート絶縁膜 8 7 の上面の所定の箇所に設けられたクロム等からなる第 1 のパッド部 7 7 a と、その上のトップゲート絶縁膜 9 2 の上面に設けられた I T O からなる第 2 のパッド部 7 7 b と、その上のオーバーコート膜 9 3 の上面に設けられた

50

ITOからなる第3のパッド部77cとからなっている。

【0061】

この場合、第2のパッド部77bは、トップゲート絶縁膜92に設けられた開口部98を介して第1のパッド部77aに接続されている。第3のパッド部77cは、オーバーコート膜93に設けられた開口部99を介して第2のパッド部77bに接続されている。

【0062】

次に、代表として、ボトムゲートドライバ搭載領域72内の出力側の接続パッド73およびその近傍の第2、第3の共通ライン55、56の部分について、図16および図17を参照して説明する。この場合、図16は接続パッド73およびその近傍の第2、第3の共通ライン55、56の部分の平面図を示し、図17はそのA-A線に沿う断面図を示す。

10

【0063】

引き出し線71は、ガラス基板1の上面に設けられたクロム等からなり、その右端部は方形形状の接続パッド73のクロム等からなる第1のパッド部73aの左辺中央部に連続されている。引き出し線74は、オーバーコート膜93の上面に設けられたITOからなり、その左端部は方形形状の接続パッド73のITOからなる第4のパッド部73dの右辺中央部に接続され、その右端部は、オーバーコート膜93の上面に設けられたITOからなる第3の共通ライン56に連続されている。第1の共通ライン56は、オーバーコート膜93の上面に設けられたITOからなっている。

【0064】

第2の共通ライン55は、ガラス基板51の上面の所定の箇所に設けられたクロム等からなる第1のライン層55aと、ボトムゲート絶縁膜87の上面に設けられたクロム等からなる第2のライン層55bと、その上のトップゲート絶縁膜92の上面に設けられたITOからなる第3のライン層55cとからなっている。

20

【0065】

この場合、第2のライン層55bは、ボトムゲート絶縁膜87に設けられた開口部100を介して第1のライン層55aに接続されている。第3のライン層55cは、トップゲート絶縁膜92に設けられた開口部101を介して第2のライン層55bに接続されている。なお、第2の共通ライン55は、第1～第3のライン層55a、55b、55cのうちのいずれかの1層または2層によって構成するようにしてもよい。

【0066】

ここで、図14に示すように、第2の共通ライン55と引き出し線74とは互いに交差しているが、図17に示すように、その間にオーバーコート膜93が介在するため、短絡することはない。一方、図14に示すように、第3の共通ライン56と引き出し線70とは互いに交差しているが、引き出し線70を第2の共通ライン55と同じ積層構造とすると、短絡することはない。

30

【0067】

そして、図16および図17において、ガラス基板51をカットライン52に沿って切断すると、引き出し線74の切断面がガラス基板51の切断面から露出される。しかし、引き出し線74は、腐食しにくいITO（酸化物系透明導電材料）からなるため、切断面のみならず、全体が露出していても、腐食することはない。したがって、接続パッド73のITOからなる第4のパッド部73dおよび第3のパッド部73cも腐食することはない。また、接続パッド73のクロム等からなる第1のパッド部73aおよび第2のパッド部73bも、その上の第3、第4のパッド部73c、73dによって覆われているので腐食することはない。

40

【0068】

このように、出力側の接続パッド73が腐食することはないので、その上に搭載されるボトムゲートドライバとの電氣的接続を長期間に亘って安定良く維持することができる。このようなことは、図14に示すトップゲートドライバ搭載領域68内の出力側の接続パッド69およびドレインドライバ搭載領域76内の出力側の接続パッド77についても同様である。また、図14に示す外部接続端子82は、例えばボトムゲートドライバ搭載領域

50

72内の出力側の接続パッド73と同様の構造にすると、腐食しにくいようにすることができる。

【0069】

ここで、図15および図16を参照して簡単に説明すると、パッド部73aおよびライン層55aは、ボトムゲート電極59および引き出し線71等をクロム等によって形成するとき、同時に形成する。パッド部73b、77aおよびライン層55bは、ドレイン電極60およびソース電極61等をクロム等によって形成するとき、同時に形成する。パッド部69a、73c、77bおよびライン層55cは、トップゲート電極58等をITOによって形成するとき、同時に形成する。パッド部69b、73d、77c、引き出し線74および第3の共通ライン56は、透明導電層66等をITOによって形成するとき、同時に形成する。したがって、工程数が増加することはない。

10

【0070】

さらに、この発明は、アクティブマトリクス型の有機ELにも適用することが可能である。アクティブマトリクス型の有機ELの場合、各画素は、有機ELと、アドレスラインおよびデータラインに接続され有機ELに対して画像データ取込および遮断のスイッチング機能をなす薄膜トランジスタと、画像データ書き込み用、有機EL駆動用等の数個の薄膜トランジスタにより形成されるが、これらの薄膜トランジスタに接続されるアドレスライン、データライン、有機EL駆動用の電源ライン、制御信号用ライン等に接続される引き出し線をITOによって形成する構成とすることができる。

20

【0071】

【発明の効果】

以上説明したように、この発明によれば、引き出し線の少なくともその端面側を腐食しにくい導電材料によって形成しているので、基板の端面に露出された引き出し線の腐食を防止することができる。

【図面の簡単な説明】

【図1】この発明の第1実施形態としての液晶表示装置を説明するために示すもので、液晶表示装置複数個分に対応する大きさのガラス基板上にスイッチング素子としての薄膜トランジスタ等が形成された状態における等価回路的平面図。

【図2】図1に示す液晶表示装置のうちの薄膜トランジスタの部分および各出力側の接続パッドの部分の断面図。

30

【図3】図1に示す液晶表示装置のうちのゲートドライバ搭載領域内の出力側の接続パッドおよびその近傍の共通ラインの部分の平面図。

【図4】図3のIV-IV線に沿う断面図。

【図5】第1の変形例を説明するために示す図4同様の断面図。

【図6】第2の変形例を説明するために示す図4同様の断面図。

【図7】第3の変形例を説明するために示す図3同様の平面図。

【図8】この発明の第2実施形態としての液晶表示装置を説明するために示す図1同様の等価回路的平面図。

【図9】図8に示す液晶表示装置のうちのゲートドライバ搭載領域内の出力側の接続パッドおよびその近傍の共通ラインの部分の断面図。

40

【図10】この発明の第3実施形態としての液晶表示装置を説明するために示す図1同様の等価回路的平面図。

【図11】この発明の第4実施形態としての液晶表示装置を説明するために示す図1同様の等価回路的平面図。

【図12】この発明の第5実施形態としての液晶表示装置を説明するために示す図2同様の断面図。

【図13】同第5実施形態としての液晶表示装置を説明するために示す図4同様の断面図。

【図14】この発明の第6実施形態としての指紋読取装置を説明するために示すもので、指紋読取装置複数個分に対応する大きさのガラス基板上に光電変換素子としての薄膜ト

50

ンジスタ等が形成された状態における等価回路的平面図。

【図 1 5】図 1 4 に示す指紋読取装置のうちの薄膜トランジスタの部分および各出力側の接続パッドの部分の断面図。

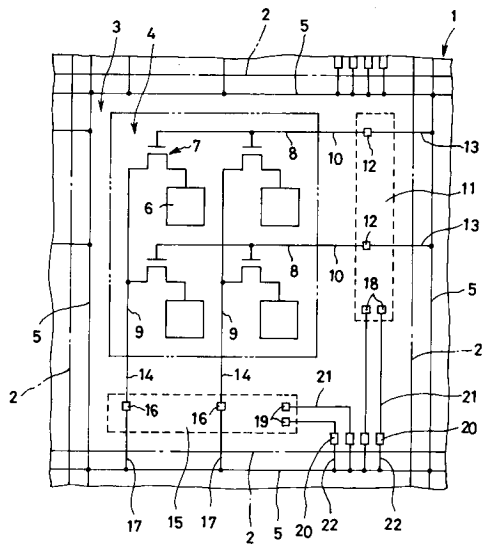
【図 1 6】図 1 4 に示す指紋読取装置のうちのボトムゲートドライバ搭載領域内の出力側の接続パッドおよびその近傍の第 2、第 3 の共通ラインの部分の平面図。

【図 1 7】図 1 6 の A - A 線に沿う断面図。

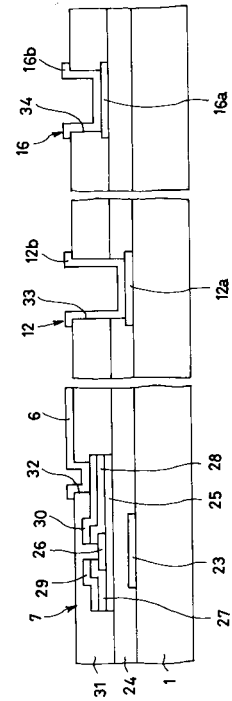
【符号の説明】

- | | | |
|-------|--------------|----|
| 1 | ガラス基板 | |
| 2 | カットライン | |
| 3 | 単体形成領域 | 10 |
| 4 | 表示領域 | |
| 5 | 共通ライン | |
| 6 | 画素電極 | |
| 7 | 薄膜トランジスタ | |
| 8 | ゲートライン | |
| 9 | ドレインライン | |
| 10 | 引き回し線 | |
| 11 | ゲートドライバ搭載領域 | |
| 13 | 出力側の接続パッド | |
| 14 | 引き出し線 | 20 |
| 15 | ドレインドライバ搭載領域 | |
| 16 | 出力側の接続パッド | |
| 17 | 引き出し線 | |
| 18、19 | 入力側の接続パッド | |
| 20 | 外部接続端子 | |
| 21 | 引き回し線 | |
| 22 | 引き出し線 | |

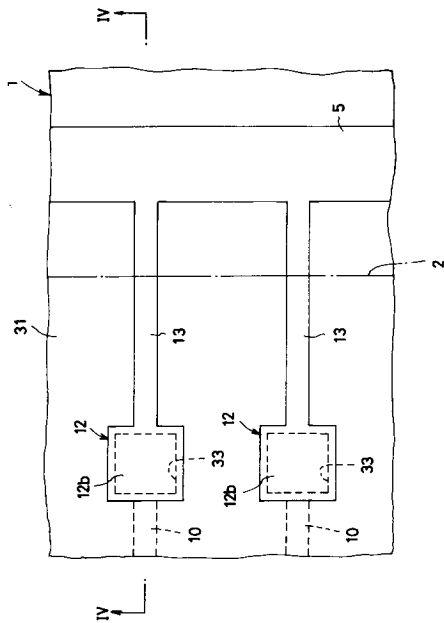
【図 1】



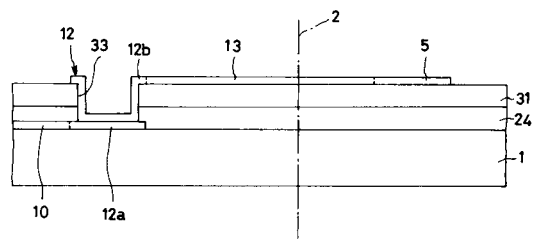
【図 2】



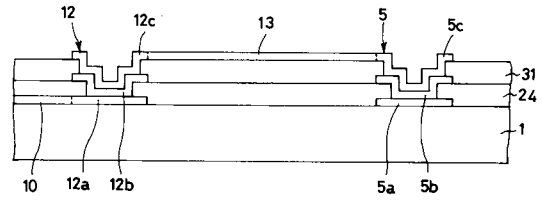
【図 3】



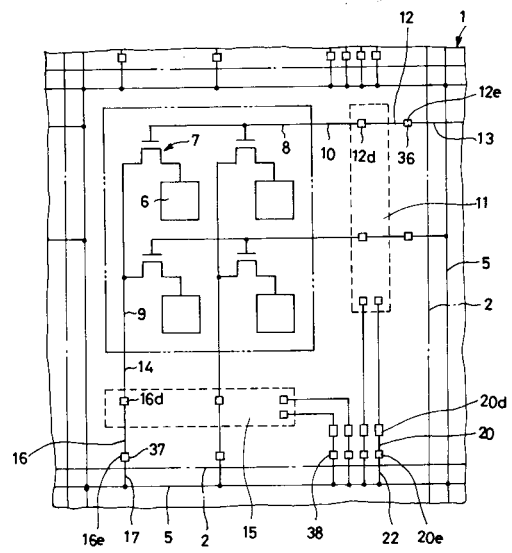
【図 4】



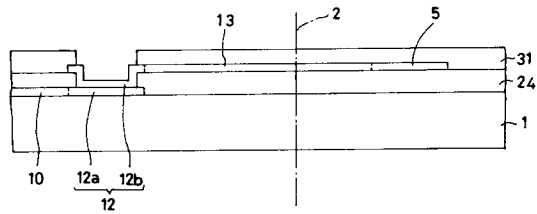
【 図 6 】



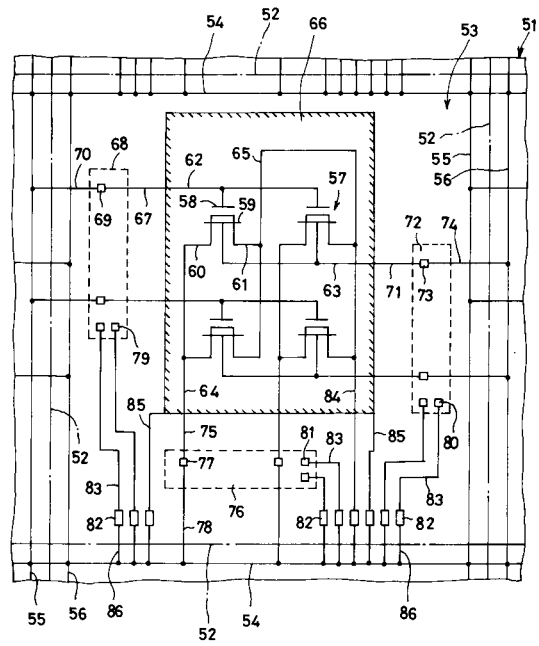
【 図 8 】



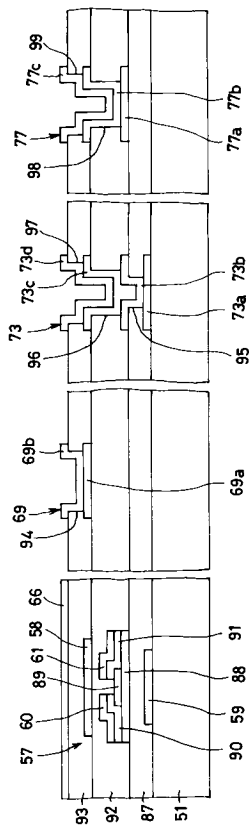
【図 13】



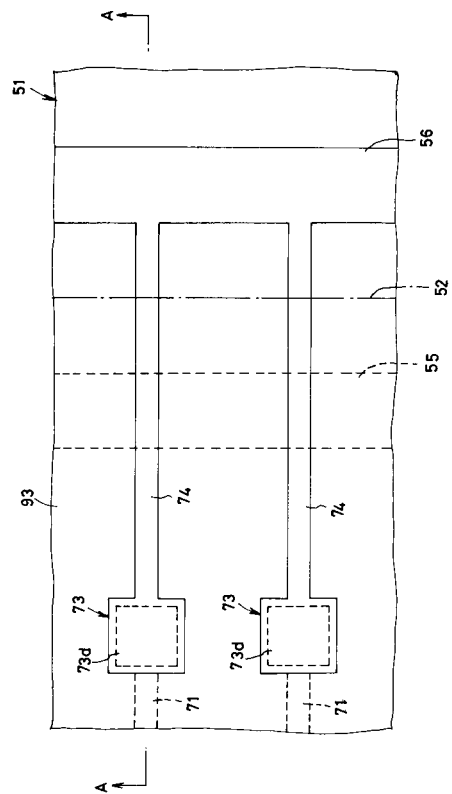
【図 14】



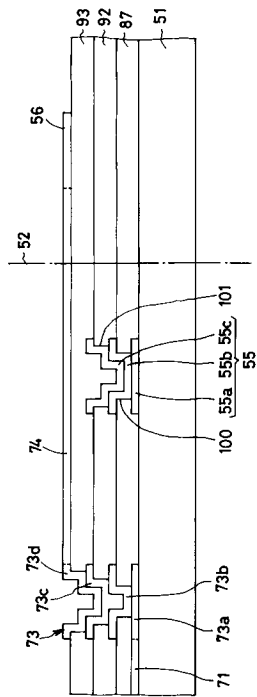
【図 15】



【図 16】



【図 17】



フロントページの続き

F ターム(参考)	5F033	GG04	HH08	HH09	HH17	HH20	HH38	JJ01	JJ08	JJ09	JJ38
		KK17	KK38	MM01	MM05	MM08	MM12	NN37	NN38	QQ09	QQ37
		RR06	VV15	XX18							
	5F110	AA22	AA26	BB01	BB10	CC07	DD02	EE03	EE04	EE06	EE07
		EE30	EE37	FF03	GG02	GG15	GG35	HK04	HK06	HK07	HK09
		HK16	HK21	HK22	HL07	HM19	NN02	NN12	NN24	NN71	NN72

专利名称(译)	有源矩阵面板		
公开(公告)号	JP2004247533A	公开(公告)日	2004-09-02
申请号	JP2003036123	申请日	2003-02-14
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	尾中 荣一		
发明人	尾中 荣一		
IPC分类号	G02F1/1345 G09F9/30 H01L21/3205 H01L29/786		
FI分类号	H01L29/78.612.C G02F1/1345 G09F9/30.338 H01L29/78.617.N H01L21/88.B H01L29/78.623.A		
F-TERM分类号	2H092/GA33 2H092/GA37 2H092/GA43 2H092/GA44 2H092/GA60 2H092/HA04 2H092/HA06 2H092/JA24 2H092/LA01 2H092/NA11 2H092/NA14 2H092/NA17 2H092/RA10 5C094/AA31 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DB02 5C094/EA07 5C094/FB02 5F033/GG04 5F033/HH08 5F033/HH09 5F033/HH17 5F033/HH20 5F033/HH38 5F033/JJ01 5F033/JJ08 5F033/JJ09 5F033/JJ38 5F033/KK17 5F033/KK38 5F033/MM01 5F033/MM05 5F033/MM08 5F033/MM12 5F033/NN37 5F033/NN38 5F033/QQ09 5F033/QQ37 5F033/RR06 5F033/VV15 5F033/XX18 5F110/AA22 5F110/AA26 5F110/BB01 5F110/BB10 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE30 5F110/EE37 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG35 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HL07 5F110/HM19 5F110/NN02 5F110/NN12 5F110/NN24 5F110/NN71 5F110/NN72		
外部链接	Espacenet		

摘要(译)

解决的问题：为了防止在配备有薄膜晶体管的液晶显示装置中暴露在玻璃基板的端面上的引线的腐蚀。 解决方案：最后，沿着切割线2切割玻璃基板1，该玻璃基板1的尺寸与多个液晶显示设备相对应，该切割线2由长短交替的虚线表示，以分成各个单元。 然后，例如，连接至薄膜晶体管7的栅电极的栅极线8的右端部经由布线10，栅极驱动器安装区域11中的连接焊盘12和引出线13布置在切割线2的外部。 它连接到公共线路5上以进行静电保护。 在这种情况下，引线13同时由与由ITO制成的像素电极6相同的材料形成。 此外，由于ITO不易腐蚀，因此可以防止在切割玻璃基板1之后露出在玻璃基板1的端面上的引线13的腐蚀。 [选型图]图1

