

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-219682

(P2004-219682A)

(43) 公開日 平成16年8月5日(2004.8.5)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G02F 1/1345
G02F 1/1368
G09G 3/20

F I

G09G 3/36
G02F 1/133 550
G02F 1/1345
G02F 1/1368
G09G 3/20 621M

テーマコード (参考)

2H092
2H093
5C006
5C080

審査請求 未請求 請求項の数 4 O L (全 19 頁) 最終頁に続く

(21) 出願番号

特願2003-6605 (P2003-6605)

(22) 出願日

平成15年1月15日 (2003.1.15)

(71) 出願人

502356528

株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地

(71) 出願人

000233088

日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(74) 代理人

100083552

弁理士 秋田 収喜

(72) 発明者

渡邊 明洋

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72) 発明者

前田 敏夫

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

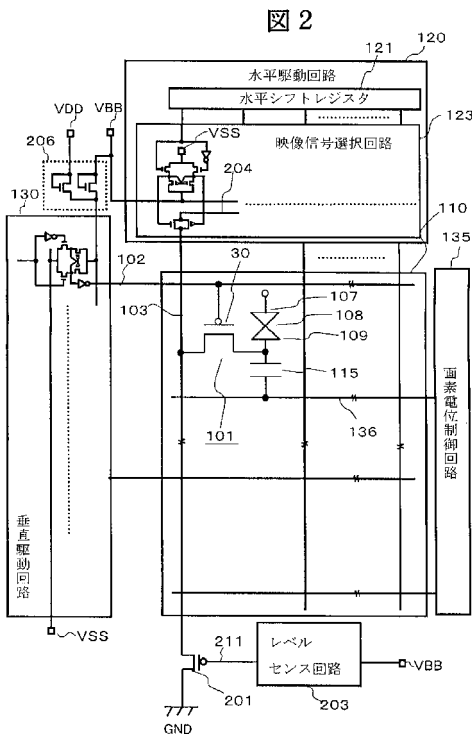
(57) 【要約】

【課題】 液晶表示装置の電源をオフにする時に、外部からのオフシーケンス制御を簡略化し、画素容量に蓄積された電荷を速やかに放電することが可能な液晶表示装置を提供する。

【解決手段】 液晶表示装置の電源がオフとなる時に、複数の映像信号線を接地電位となす接地電位印加手段を有し、走査信号線駆動手段が、液晶表示装置の電源がオフとなる時に、少なくとも1フレーム期間、複数の走査信号線に対して、順次1水平走査ライン毎に、各アクティブ素子をオンとする走査信号電圧を供給する。接地電位印加手段は、複数の映像信号線と接地電位との間に設けられる複数のスイッチング素子と、液晶表示装置の電源電圧が所定の電圧以下の電圧となった時に、複数のスイッチング素子をオンとする制御手段とを有する。

【選択図】

図2



【特許請求の範囲】

【請求項 1】

それぞれアクティブ素子を有する複数の画素と、複数の映像信号線と、複数の走査信号線とを有する液晶表示パネルと、

前記複数の映像信号線に対して映像信号電圧を供給する映像信号線駆動手段と、

前記複数の走査信号線に対して走査信号電圧を供給する走査信号線駆動手段とを備える液晶表示装置であって、

液晶表示装置の電源がオフとなるときに、前記複数の映像信号線を接地電位となす接地電位印加手段を有し、

前記走査信号線駆動手段は、液晶表示装置の電源がオフとなるときに、少なくとも 1 フレーム期間、前記複数の走査信号線に対して、水平走査ライン毎に、順次前記各アクティブ素子をオンとする走査信号電圧を供給することを特徴とする液晶表示装置。 10

【請求項 2】

前記接地電位印加手段は、前記複数の映像信号線と接地電位との間に設けられる複数のスイッチング素子と、

液晶表示装置の電源電圧が所定の電圧以下の電圧となった時に、前記複数のスイッチング素子をオンとする制御手段とを有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

液晶表示装置の電源がオフとなるときに、前記走査信号線駆動手段には、外部から少なくとも 1 フレーム期間、クロック信号と、クロック信号駆動用のクロック駆動用電源電圧が供給され、 20

前記走査信号線駆動手段は、前記クロック信号と、前記クロック駆動用電源電圧とに基づき、液晶表示装置の電源がオフとなるときに、少なくとも 1 フレーム期間、前記複数の走査信号線に対して、水平走査ライン毎に、順次前記各アクティブ素子をオンとする走査信号電圧を供給することを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】

前記液晶表示パネルは、第 1 の基板と、

第 2 の基板と、

前記第 1 の基板と前記第 2 の基板とに挟まれた液晶組成物とを有し、

前記第 1 の基板はシリコン基板であり、 30

前記各アクティブ素子、前記映像信号線駆動手段、前記走査信号線駆動手段、および前記接地電位印加手段は、前記シリコン基板上に設けられていることを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係わり、特に、液晶表示装置の電源がオフになる時に、各画素容量に蓄積された電荷を速やかに放電するようにした液晶表示装置に関する。

【0002】

【従来の技術】 40

液晶表示装置は、小型表示装置から所謂 OA 機器等の表示端末用に広く普及している。特に、画素毎にアクティブ素子（例えば、薄膜トランジスタ）を有し、このアクティブ素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。

また、アクティブマトリクス型液晶表示装置の中で画素電極を形成した基板上に、画素電極を駆動する駆動回路をも形成する所謂駆動回路一体型液晶表示装置が知られている（例えば、特許文献参照）。

このアクティブマトリクス型液晶表示装置は、少なくとも一方が透明なガラス板やプラスチック基板等からなる一対の絶縁基板の間に液晶組成物の層（液晶層）を挟持して所謂液晶表示パネル（液晶表示素子または液晶セルとも言う）を構成し、この液晶表示パネルの 50

絶縁基板に、画素形成用の各種電極と、画素選択用のアクティブ素子を形成し、このアクティブ素子を選択することにより、当該アクティブ素子に接続した画素電極と基準電極の間にある画素の液晶分子の配向方向を変化させて画像を表示する。

【0003】

即ち、アクティブマトリクス型液晶表示装置は、走査信号線から、水平走査ライン毎に、1水平走査時間、順次アクティブ素子をオンとする走査信号電圧を供給してアクティブ素子をオンとなし、かつ、映像信号線から、オンとされたアクティブ素子を介して画素電極に映像信号電圧を供給し、画素電極と基準電極の間の画素容量を所定の電圧に充電し、この充電電圧に基づき、画素の液晶分子の配向方向を変化させて画像を表示する。

一般に、液晶は、直流電圧が印加されると、寿命が短くなる。そのため、これら液晶表示装置において、液晶に印加する電圧の極性を周期的に反転させる交流化駆動が行われている。

この交流化駆動を行う一つの方法として、基準電極に定電圧を印加し、画素電極に正極性、負極性の信号電圧を印加する方法がある。

【0004】

なお、本願発明に関連する先行技術文献情報としては以下のものがある。

【特許文献】

特開2002-278517号公報

【0005】

【発明が解決しようとする課題】

液晶表示装置の電源がオフとなるときには、各電極に印加されていた信号電圧は消滅し、アクティブ素子もオフとなる。そのため、画素容量に蓄積されている電荷は、放電路が遮断されるため長時間保持される。

この電荷は、自己放電によって次第に減少するが、画素容量に長時間電荷が保持されると、液晶表示パネルに残像が残り、表示品質を著しく損なうばかりか、画素容量に長時間電荷が保持される状態は、液晶に直流電圧を印加状態した状態と等価であるので、最悪の場合、液晶分子の傾きが固定化され、液晶の寿命を縮めることになる。

前述した問題点を解消するために、前述の特許文献に記載された液晶表示装置では、液晶表示装置がオフとなるときに、クロック駆動、そのクロック駆動用電源、電源電圧を、所望の電圧波形となるように制御し（以下、オフシーケンス処理という）、全てのアクティブ素子を走査し画素容量の電荷を放電させるようにしている。

【0006】

しかしながら、このオフシーケンス処理は、複雑な制御が必要であり、かつ、オフシーケンス処理は、例えば、約数百msの時間もかかり、オフシーケンス処理にかかる時間が長いという問題点があった。

本発明は前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、液晶表示装置の電源をオフにする時に、外部からのオフシーケンス制御を簡単化し、画素容量に蓄積された電荷を速やかに放電することが可能となる技術を提供することにある。

本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

即ち、本発明は、それぞれアクティブ素子を有する複数の画素と、複数の映像信号線と、複数の走査信号線とを有する液晶表示パネルと、前記複数の映像信号線に対して映像信号電圧を供給する映像信号線駆動手段と、前記複数の走査信号線に対して走査信号電圧を供給する走査信号線駆動手段とを備える液晶表示装置であって、液晶表示装置の電源がオフとなるときに、前記複数の映像信号線を接地電位となす接地電位印加手段を有し、前記走査信号線駆動手段が、液晶表示装置の電源がオフとなるときに、少なくとも1フレーム期

10

20

30

40

50

間、前記複数の走査信号線に対して、水平走査ライン毎に、順次前記各アクティブ素子をオンとする走査信号電圧を供給することを特徴とする。

これにより、本発明では、液晶表示装置がオフとなるときに、画素容量に蓄積された電荷を速やかに放電することができ、かつ、外部からのオフシーケンス制御が不要とすることが可能となる。

【0008】

また、本発明では、前記接地電位印加手段が、複数の映像信号線と接地電位との間に設けられる複数のスイッチング素子と、液晶表示装置の電源電圧が所定の電圧以下の電圧となった時に、前記複数のスイッチング素子をオンとする制御手段とを有する。

また、本発明では、液晶表示装置の電源がオフとなるときに、前記走査信号線駆動手段には、外部から少なくとも1フレーム期間、クロック信号と、クロック信号駆動用のクロック駆動用電源電圧が供給され、前記走査信号線駆動手段は、前記クロック信号と、前記クロック駆動用電源電圧とに基づき、液晶表示装置の電源がオフとなるときに、少なくとも1フレーム期間、前記複数の走査信号線に対して、水平走査ライン毎に、順次前記各アクティブ素子をオンとする走査信号電圧を供給する。

【0009】

【発明の実施の形態】

以下、本発明実施の形態について図面を参照して説明する。

なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図1は、本発明の実施の形態の液晶表示装置の概略構成を示すブロック図である。

本実施の形態の液晶表示装置は、反射型液晶表示装置(Liquid Crystal on Silicon)であり、図1に示すように、液晶表示パネル100と、表示制御装置111とを備える。

液晶表示パネル100は、表示部110と、水平駆動回路(映像信号線駆動回路)120と、垂直駆動回路(走査信号線駆動回路)130と、画素電位制御回路135と、接地電位印加手段150とを有する。

表示部110は、マトリクス状に設けられる画素部101を有する。また、表示部110と、水平駆動回路120と、垂直駆動回路130と、画素電位制御回路135と、接地電位印加手段150とは同一基板(シリコン基板)上に設けられている。

【0010】

表示制御装置111には、外部制御信号線401を介して、外部装置(例えば、パーソナルコンピュータなど)からクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号等の制御信号が入力される。

表示制御装置111は、外部から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号等の制御信号に基づき、水平駆動回路120、および、垂直駆動回路130、並びに、画素電位制御回路135を制御する。

また、表示制御装置111は、液晶パネル駆動制御回路400を有し、この液晶パネル駆動制御回路400には、外部映像信号線402を介して、外部装置から表示信号(本実施の形態では、アナログの映像信号)が送信される。

液晶パネル駆動制御回路400は、外部装置から送信される表示信号に基づき、表示部110に表示すべき表示信号を水平駆動回路120に供給する。

なお、図1において、131は表示制御装置111から出力する制御信号線であり、132は表示信号線である。

また、制御信号線は、実際は複数本の制御信号線から構成されるが、図1では、図示の簡略化のために、制御信号線131は、1本の線で表している。

同様に、表示信号線も、実際は複数相に展開しており、複数本の表示信号線132から構成されるが、図1では、図示の簡略化のために、表示信号線132は、1本の線で表している。

【0011】

10

20

30

40

50

水平駆動回路 120 からは垂直方向（図中 Y 方向）に、複数本の映像信号線（ドレイン信号線または垂直信号線ともいう）103 が延びており、この複数本の映像信号線 103 は水平方向（X 方向）に並んで設けられる。

垂直駆動回路 130 からは水平方向（X 方向）に複数本の走査信号線（ゲート信号線または水平信号線ともいう）102 が延びており、この複数本の走査信号線 102 は垂直方向（Y 方向）に並んで設けられる。

画素電位制御回路 135 からは水平方向（X 方向）に、複数本の画素電位制御線 136 が延びており、この複数本の画素電位制御線 136 は垂直方向（Y 方向）に並んで設けられる。

水平駆動回路 120 は、水平シフトレジスタ 121 と、電圧選択回路（映像信号選択回路）123 とから構成される。 10

表示制御装置 111 から制御信号線 131 や表示信号線 132 が水平シフトレジスタ 121 と電圧選択回路 123 とに接続され、制御信号や表示信号が送信されている。

なお、本実施の形態では、表示信号は、アナログ信号であるが、デジタル信号の場合も利用可能である。さらに、各回路の電源電圧線については表示を省略したが、必要な電圧が供給されているものとする。

【0012】

表示制御装置 111 は、外部から垂直同期信号入力後に、第 1 番目のディスプレイタイミング信号が入力されると、制御信号線 131 を介して垂直駆動回路 130 にスタートパルス 20

次に、表示制御装置 111 は水平同期信号に基づいて、1 水平走査時間（以下 1 h と示す）毎に、走査信号線 102 を順次選択するようにシフトクロックを垂直駆動回路 130 に出力する。

垂直駆動回路 130 は、シフトクロックに従い走査信号線 102 を選択し、走査信号線 102 に走査信号電圧を出力する。すなわち、垂直駆動回路 130 は図 1 中上から順番に 1 水平走査時間 1 h の間、走査信号線 102 を選択する信号を出力する。

また、表示制御装置 111 は、ディスプレイタイミング信号が入力されると、これを表示開始と判断し、表示信号を水平駆動回路 120 に出力する。

【0013】

表示制御装置 111 から表示信号は順次出力されるが、水平シフトレジスタ 121 は表示制御装置 111 から送られてくるシフトクロックに従いタイミング信号を出力する。 30

タイミング信号は、電圧選択回路 123 が各映像信号線 103 に出力すべき表示信号を取り込むタイミングを示している。

本実施の形態のように、表示信号がアナログの映像信号である場合は、電圧選択回路 123 はサンプルホールド回路（図示せず）を有し、電圧選択回路 123 は、タイミング信号に従いアナログの映像信号の中から一定の電圧を表示データ（階調電圧）としてサンプルホールド回路に取り込み、該取り込んだ階調電圧を映像信号として映像信号線 103 に出力する。

【0014】

表示信号がデジタル信号の場合には、電圧選択回路 123 はラッチ回路と、デコーダ回路 40 を有し、電圧選択回路 123 は、タイミング信号に従い表示信号をラッチ回路に取り込み、デコーダ回路により表示信号（デジタルデータ）に従い階調電圧を選択（デコード）して映像信号線 103 に出力する。

映像信号線 103 に出力された階調電圧は、映像信号として垂直駆動回路 130 からの走査信号電圧が出力されるタイミングに従い画素部 101 の画素電極に書き込まれる。

画素電位制御回路 135 は、表示制御装置 111 からの制御信号にもとづき、画素電極に書き込まれた映像信号の電圧を制御する。

映像信号線 103 から画素電極に書き込まれた階調電圧は、対向電極の基準電圧（V_{com}）に対してある電位差を有している。

画素電位制御回路 135 は画素部 101 に制御信号を供給して画素電極と対向電極との間 50

の電位差を変化させる。なお、画素電位制御回路 1 3 5 と、接地電位印加手段 1 5 0 については後述する。

【 0 0 1 5 】

次に、図 2 を用いて、本実施の形態の液晶表示パネル 1 0 0 の画素部 1 0 1 について説明する。

図 2 は、本実施の形態の液晶表示パネル 1 0 0 の画素部 1 0 1 の等価回路を示す回路図である。この図 2 において、2 0 4 は、表示信号線 1 3 2 に接続され、表示信号線 1 3 2 から表示信号（アナログの映像信号）が供給される内部表示信号線であり、この内部表示信号線 2 0 4 も、実際は複数本設けられるが、図 2 では 1 本の内部表示信号線 2 0 4 で表している。

10

なお、図 2 に示すトランスファゲート回路と、映像信号線 1 0 3 の分布容量で前述したサンプルホールド回路を構成する。

また、V B B は電源電圧、V S S および G N D は接地電位（グランド電位）、V D D は走査クロック駆動用の電源電圧（即ち、走査クロックで駆動される回路の電源電圧）、V c o m は、対向電極 1 0 7 の電位である。

図 2 に示すように、画素部 1 0 1 は、表示部 1 1 0 の隣接する 2 本の走査信号線 1 0 2 と、隣接する 2 本の映像信号線 1 0 3 との交差領域（4 本の信号線で囲まれた領域）にマトリクス状に配置される。ただし、図 2 では図を簡略化するため 1 つの画素部だけを示している。

【 0 0 1 6 】

20

各画素部 1 0 1 は、アクティブ素子 3 0 と画素電極 1 0 9 を有し、また、画素電極 1 0 9 には画素容量 1 1 5 が接続されている。

画素容量 1 1 5 の一方の電極は画素電極 1 0 9 に接続され、他方の電極は画素電位制御線 1 3 6 に接続されている。さらに、画素電位制御線 1 3 6 は画素電位制御回路 1 3 5 に接続されている。なお、図 2 では、アクティブ素子 3 0 は p - M O S トランジスタで示している。

前述したように、走査信号線 1 0 2 には垂直駆動回路 1 3 0 から走査信号電圧が出力される。この走査信号電圧によりアクティブ素子 3 0 のオン・オフが制御される。映像信号線 1 0 3 には映像信号として階調電圧が供給されており、アクティブ素子 3 0 がオンになると、映像信号線 1 0 3 から画素電極 1 0 9 に階調電圧が供給される。

30

画素電極 1 0 9 に対向するように対向電極 1 0 7（コモン電極）が配置されており、画素電極 1 0 9 と対向電極 1 0 7 との間には液晶層（図示せず）が設けられている。なお、図 2 に示す回路図上では画素電極 1 0 9 と対向電極 1 0 7 との間は等価的に液晶容量 1 0 8 が接続されているように表示した。

画素電極 1 0 9 と対向電極 1 0 7 との間に電圧を印加することにより、液晶分子の配向方向等が変化し、それに伴い液晶層の光に対する性質が変化することを利用して表示が行われる。

【 0 0 1 7 】

液晶表示装置の駆動方法としては、前述したように液晶層に直流電流が印加されないように交流化駆動が行われる。

40

交流化駆動を行うためには、対向電極 1 0 7 の電位（V c o m）を基準電位とした場合に、電圧選択回路 1 2 3 からは基準電位に対して正極性と負極性の電圧が階調電圧として出力する。

しかしながら、電圧選択回路 1 2 3 を正極性と負極性の電位差に耐えるような高耐圧な回路とすると、アクティブ素子 3 0 をはじめとし回路規模が大きくなるという問題や、動作速度が遅くなるといった問題が生じる。

そこで、電圧選択回路 1 2 3 から画素電極 1 0 9 に供給する映像信号は、基準電位に対して同極性の信号を用いながらも交流化駆動を行うことを検討した。

【 0 0 1 8 】

例えば、電圧選択回路 1 2 3 から出力する階調電圧は、基準電位に対し正極性の電圧を用

50

い、基準電位に対し正極性の電圧を画素電極に書き込んだ後に、画素電位制御回路 135 から画素容量 115 の電極に印加している画素電位制御信号の電圧を引き下げることにより、画素電極 109 の電圧も降下させて、基準電位に対して負極性の電圧を生じることができる。

このような駆動方法を用いると、電圧選択回路 123 が出力する最大値と最小値との差が小さいため、電圧選択回路 123 は低耐圧の回路とすることが可能となる。

なお、1例として、画素電極 109 に正極性の電圧を書き込んで画素電位制御回路 135 により負極性の電圧を生じさせる場合について説明したが、負極性の電圧を書き込んで正極性の電圧を生じさせるには、画素電位制御信号の電圧を引き上げることにより可能である。

10

【0019】

次に、図3を用いて、画素電極 109 の電圧を変動させる方法について説明する。

図3では、説明のため、液晶容量 108 を第1のコンデンサ 53 で、画素容量 115 を第2のコンデンサ 54 で表わし、アクティブ素子 30 をスイッチ 104 で示している。

また、画素容量 115 の画素電極 109 に接続される電極を電極 56 とし、画素容量 115 の画素電位制御線 136 に接続される電極を電極 57 とする。

さらに、画素電極 109 と電極 56 とが接続された点を節点 58 で示す。

ここでは説明のため、他の寄生容量は無視できるものとして、第1のコンデンサ 53 の容量は C_L で、第2のコンデンサ 54 の容量は C_C とする。

まず、図3(a)に示すように、第2のコンデンサ 54 の電極 57 には外部から電圧 V_1 を印加する。

20

次に、走査信号電圧によりスイッチ 104 がオンになると、映像信号線 103 から電圧が画素電極 109 及び電極 56 に供給される。ここで、節点 58 に供給された電圧を V_2 とする。

【0020】

次に、図3(b)に示すように、スイッチ 104 がオフになった時点で、電極 57 に供給している電圧(画素電位制御信号)を V_1 から V_3 に降下させる。

このとき、第1のコンデンサ 53 と第2のコンデンサ 54 とに充電された電荷の総量は変化しないことから、節点 58 の電圧が変化して、節点 58 の電圧は、 $V_2 - \{C_C / (C_L + C_C)\} \times (V_1 - V_3)$ となる。

30

ここで、第1のコンデンサ 53 の容量 C_L が第2のコンデンサ 54 の容量 C_C に比べて充分小さい場合($C_L \ll C_C$)は、 $C_C / (C_L + C_C) \approx 1$ となり節点 58 の電圧は $V_2 - V_1 + V_3$ となる。ここで $V_2 = 0$ 、 $V_3 = 0$ とすると、節点 58 の電圧は $-V_1$ となる。

前述した方法によれば、画素電極 109 に映像信号線 103 から供給する電圧は対向電極 107 の基準電位に対し正極性にして、負極性の信号は電極 57 に印加する電圧(画素電位制御信号)を制御することにより作り出すことができる。このような方法で負極性の信号を作り出すと、電圧選択回路 123 からは負極性の信号を供給する必要がなくなり、周辺回路を低耐圧の素子で形成することが可能となる。

【0021】

40

次に、図4を用いて、図2に示す回路の動作タイミングについて説明する。

図4において、 ϕ_1 は映像信号線 103 に供給される階調電圧を示す。同様に、 ϕ_2 は走査信号線 102 に供給される走査信号電圧、 ϕ_3 は画素電位制御線 136 に供給される画素電位制御信号(降圧信号)、 ϕ_4 は画素電極 109 の電位を示している。なお、画素電位制御信号 ϕ_3 は図3で示した電圧 V_3 と V_1 で振幅する信号である。

図4を説明するあたり、 ϕ_1 は正極性用入力信号 ϕ_1A と、負極性用入力信号 ϕ_1B を示している。

ここで、負極性用とは画素電極に印加された電圧が画素電位制御信号により変動して、基準電位(V_{com})に対して負極性となる場合の信号のことである。本実施の形態では、映像信号 ϕ_1 として正極性用入力信号 ϕ_1A と負極性用入力信号 ϕ_1B 共に、対向電極 1

50

07に印加された基準電位 (V_{com}) に対して電位が正極性となるような電圧が供給される場合を説明する。

【0022】

図4において、期間 t_0 から t_2 の間では、階調電圧 ϕ_1 が正極性用入力信号 ϕ_1A の場合を示している。

まず、 t_0 において画素制御信号 ϕ_3 として電圧 V_1 を出力する。次に、時刻 t_1 において走査信号電圧 ϕ_2 が選択され Low レベル (以下、 L レベルという) になると、図2に示すアクティブ素子 ($p-MOS$ トランジスタ) 30がオン状態となり、映像信号線103に供給されている正極性用入力信号 ϕ_1A が、画素電極109に書き込まれる。

画素電極109に書き込まれる信号は図4では ϕ_4 で示している。また、図4において t_2 で、画素電極109に書き込まれた電圧は V_2A で示している。 10

次に、走査信号電圧 ϕ_2 が非選択状態となり、 $High$ レベル (以下、 H レベルという) になると、アクティブ素子30はオフ状態となり、画素電極109は電圧を供給する映像信号線103から切り離された状態になる。液晶表示装置は画素電極109に書き込まれた電圧 V_2A に従った階調を表示する。

次に、期間 t_2 から t_4 の間で階調電圧 ϕ_1 が負極性用入力信号 ϕ_1B の場合を説明する。

【0023】

負極性用入力信号 ϕ_1B の場合、時刻 t_2 において走査信号電圧 ϕ_2 が選択され、画素電極109には、 ϕ_4 に示すような電圧 V_2B が書き込まれる。 20

その後、アクティブ素子30をオフ状態とし、時刻 t_2 から $2h$ (2 水平走査時間) 後の時刻 t_3 において、画素容量115に供給している電圧を、画素電位制御信号 ϕ_3 に示すように V_1 から V_3 に降圧する。

画素電位制御信号 ϕ_3 を V_1 から V_3 に変動させると画素容量115が結合容量の役割を果たし、画素電位制御信号 ϕ_3 の振幅に従い、画素電極の電位を下げるができる。これにより基準電位 (V_{com}) に対して負極性の電圧 V_2C を画素内に作り出すことができる。

前述した方法で、負極性の信号を作り出すと、周辺回路を低耐圧の素子で形成することが可能となる。

すなわち、電圧選択回路123から出力する信号は正極性側の狭い振幅の信号であるため、電圧選択回路123は低耐圧の回路とすることが可能となる。さらに電圧選択回路123が低電圧で駆動可能であれば、他の周辺回路である、水平シフトレジスタ120、表示制御装置111等は低耐圧の回路であるため、液晶表示装置全体として低耐圧の回路による構成が可能となる。 30

【0024】

次に、図5を用いて、画素電位制御回路135の回路構成を示す。

SR は双方向シフトレジスタであり、上下双方向に信号をシフトすることが可能である。双方向シフトレジスタ SR は、クロックインバータ61、62、65、66で構成されている。67はレベルシフタで、69は出力回路である。双方向シフトレジスタ SR 等は電源電圧 VDD で動作している。 40

レベルシフタ67は双方向シフトレジスタ SR から出力する信号の電圧レベルを変換する。レベルシフタ67からは電源電圧 VDD より高電位である VBB と VSS との間の振幅を有する信号が出力される。

出力回路69には、電源電圧 VPP と電源電圧 VSS が供給されており、レベルシフタ67からの信号に従い、電圧 VPP と電圧 VSS とを画素電位制御線136に出力する。

図4にて説明した画素電位制御信号 ϕ_3 の電圧 V_1 が電源電圧 VPP で、電圧 V_3 が電源電圧 VSS となる。

【0025】

なお、図5では出力回路69を p 型トランジスタと n 型トランジスタからなるインバータで示している。 p 型トランジスタに供給する電源電圧 VPP と n 型トランジスタに供給す 50

る電源電圧 V_{SS} の値を選ぶことで、電圧 V_{PP} と V_{SS} とを画素電位制御信号 $\phi 3$ として出力することが可能である。

26はスタート信号入力端子で、制御信号の一つであるスタート信号を画素電位制御回路135に供給する。

図5に示す双方向シフトレジスタ SR_1 から SR_n は、スタート信号が入力すると外部から供給されるクロック信号のタイミングに従い、順番にタイミング信号を出力する。

レベルシフタ67はタイミング信号に従い電圧 V_{SS} と電圧 V_{BB} を出力する。出力回路69はレベルシフタ67の出力に従い電圧 V_{PP} と電圧 V_{SS} を画素電位制御線136に出力する。

【0026】

10

図4の画素電位制御信号 $\phi 3$ に示すタイミングとなるように、スタート信号およびクロック信号を双方向シフトレジスタ SR に供給することで、画素電位制御回路135から希望するタイミングで画素電位制御信号 $\phi 3$ を出力することが可能である。なお25はリセット信号入力端子である。

画素電位制御回路135を双方向シフトレジスタ SR で構成することで、画素電位制御信号 $\phi 3$ を双方向に走査することが可能である。

すなわち、垂直駆動回路130も同様の双方向シフトレジスタにより構成されており、本実施の形態の液晶表示装置は上下双方向の走査が可能である。

そのため、表示する像を上下逆転する場合などに、走査方向を反転して図中下から上に走査する。そこで、垂直駆動回路130が下から上に走査する場合には、画素電位制御回路135も設定を変更することにより、下から上に走査するよう対応する。なお、水平シフトレジスタ121も同様の双方向シフトレジスタにより構成されている。

20

【0027】

次に、図2を用いて、図1に示す接地電位印加手段150について説明する。図1に示す接地電位印加手段150は、映像信号線103と接地電位 GND との間に接続される $P-MOS$ トランジスタ（本発明のスイッチング素子）201と、電源電圧 V_{BB} が所定の電圧以下の電圧になったときに、 $P-MOS$ トランジスタ201をオンとするレベルセンス回路（本発明の制御手段）203とを有する。

なお、 $P-MOS$ トランジスタ201は、各映像信号線103毎に設けられるが、図2では簡略化のために、1つの $P-MOS$ トランジスタ201のみを図示している。また、レベルセンス回路203は、複数の $P-MOS$ トランジスタ201に対して1個設けられる。

30

前述の図3(a)、図3(b)の状態、液晶表示装置がオフとなり電源電圧 V_{BB} がオフすると、交流化駆動が停止し、映像信号線103に映像信号の電位が残り、逆に、画素電位制御信号136は電位が下がってしまう。

そのため、スイッチ104を構成するアクティブ素子（ $P-MOS$ トランジスタ）30のゲート側である走査信号線102の電位は、節点58の電位 V_2 または $-V_1$ と、アクティブ素子30のしきい値電圧の和よりも高くなり、アクティブ素子30はオフ状態になる。

これにより、液晶容量108を表す第1のコンデンサ53と、画素容量115を表す第2のコンデンサ54に電荷が保持されたままになり、その直流電圧が液晶に印加されることにより、液晶が著しく劣化してしまう。

40

【0028】

図6は、本実施の形態の液晶表示装置のオフシーケンス処理を説明するため図である。

図6に示すように、本実施の形態では、液晶表示装置がオフとなる場合、 V_{BB} の電源電圧、 V_{PP} の電源電圧、映像信号電圧、 V_{com} の電源電圧は、速やかにオフとなるのに対して、 V_{DD} の電源電圧と、クロックは、1フレーム期間の後にオフとなる。

本実施の形態では、図6に示すように、電源電圧 V_{BB} が低下し、所定の電圧以下の電圧となると、レベルセンス回路203の出力が L レベルとなり、 $P-MOS$ トランジスタ201をオンにする。これにより、映像信号線103の電位が GND レベルまで引き下げら

50

れる。

この状態で、ダイオード 206 によって、クロック駆動用の電源電圧 (V_{DD}) を、垂直駆動回路 130 に供給し、図 6 に示すように、走査信号線 102 に走査信号電圧を供給することにより、1 h 時間の間、アクティブ素子 30 がオンとなるので、画素容量 115 の電荷が、アクティブ素子 30 を介して放電させることができる。

なお、図 2 では、ダイオード 206 は、ダイオード接続された MOS トランジスタで構成されている。

P-MOS トランジスタ 201 が高利得であれば、映像信号線 103 の放電時間は短くなり、図 6 に示すように、少なくとも 1 フレーム ($1/120 = \text{約 } 8.3 \text{ ms}$) 期間分だけクロック駆動させれば全ての画素の電位を接地電位 (GND) まで下げることが可能となる。

10

【0029】

次に、図 7 を用いて、レベルセンス回路 203 の一例の回路構成を説明する。

図 7 において、 n -MOS トランジスタ 207 は高抵抗である。

ダイオード接続の n -MOS トランジスタ 208 の一個の電圧降下分を 0.5 V 、P-MOS トランジスタ 210 のしきい値電圧を 0.5 V とすると、節点 209 の電位が、($V_{DD} + 0.5$) > ($V_{BB} - 0.5n$) であれば、 p -MOS トランジスタ 210 はオフ状態になる。そのため、バッファ 212 を挿んだ節点 211 は L レベルとなる。

つまり、 V_{BB} の電源電圧が、 $V_{BB} < (V_{DD} + 0.5 - 0.5n)$ になるとレベルセンス回路 203 は L レベルを出力し、図 2 に示す P-MOS トランジスタスイッチ 201

20

はオンとなり、映像信号線 103 を GND レベルまで引き下げる。
逆に、通常動作である時、節点 209 の電位は、($V_{DD} + 0.5$) ($V_{BB} - 0.5n$) となり、レベルセンス回路 203 は H レベルを出力する。

【0030】

次に、本実施の形態の効果をより一層明確にするために、前述の特許文献に開示されているオフシーケンス処理を、図 8 を用いて説明する。

前述の特許文献に記載の液晶表示装置では、液晶表示装置のオフとするオフシーケンスにおいて、 V_{BB} の電源電圧、 V_{PP} の電源電圧、 V_{COM} の基準電圧、クロック、および、 V_{DD} の電源電圧を、表示制御装置 111 において、図 8 に示す曲線となるようにコントロールし、これらの電源電圧およびクロックを映像信号選択回路 123、垂直駆動回路

30

130 に供給して、液晶表示装置をオフとしている。
そして、これらのオフシーケンス処理は、図 8 に示すように、約数百 ms の時間が必要であった。

これに対して、本実施の形態では、前述したように、オフシーケンス処理が、少なくとも 1 フレーム期間で済み、オフシーケンス処理を短くすることができる。

また、接地電位印加手段 150 を液晶表示パネル内に設けることで、表示制御装置 111 は、クロックと、クロック駆動用電源電圧 (V_{DD}) のみを、少なくとも 1 フレーム期間、垂直駆動回路 130 に供給すればよく、前述の特許文献に記載されているように、オフシーケンス処理時に、 V_{BB} の電源電圧、 V_{PP} の電源電圧、および、 V_{COM} の基準電圧を所定の曲線となるようにコントロールする必要がないので、表示制御装置 111 の回路構成を簡略化することが可能となる。

40

【0031】

次に、図 9 を用いて、本実施の形態の液晶表示装置の画素部を説明する。

図 9 において、100 は液晶表示パネル、1 は第 1 の基板である駆動回路基板、2 は第 2 の基板である透明基板、3 は液晶組成物、4 はスペーサである。

スペーサ 4 は、駆動回路基板 1 と透明基板 2 との間に一定の間隔であるセルギャップ ($cell \text{ gap}$) d を形成している。このセルギャップ d に液晶組成物 3 が挟持されている。

5 は反射電極 (画素電極) で駆動回路基板 1 に形成されている。6 は対向電極で反射電極 5 との間で液晶組成物 3 に電圧を印加する。7、8 は配向膜で液晶分子を一定方向に配向

50

させる。

30はアクティブ素子で反射電極5に階調電圧を供給する。34はアクティブ素子30のソース領域、35はドレイン領域、36はゲート電極である。

38は絶縁膜、31は画素容量を形成する第1の電極で、40は画素容量を形成する第2の電極である。絶縁膜38を介し第1の電極31と第2の電極40とは容量を形成する。

【0032】

図9では、第1の電極31と第2の電極40とを画素容量を形成する代表的な電極として示しており、他にも画素電極と電氣的に接続した導体層と画素電位制御線と電氣的に接続した導体層とが、誘電体層を挟んで対向していれば画素容量を形成することが可能である。

10

41は第1の層間膜、42は第1の導電膜である。第1の導電膜42はドレイン領域35から第2の電極40とを電氣的に接続している。43は第2の層間膜、44は第1の遮光膜、45は第3の層間膜、46は第2の遮光膜である。第2の層間膜43と第3の層間膜45にはスルーホール42CHが形成され、第1の導電膜42と第2の遮光膜46が電氣的に接続されている。47は第4の層間膜、48は反射電極5を形成する第2の導電膜である。アクティブ素子30のドレイン領域35から第1の導電膜42、スルーホール42CH、第2の遮光膜46を介して階調電圧は反射電極5に伝えられる。

【0033】

本実施の形態の液晶表示装置は反射型であり、大量の光が液晶表示パネル100に照射される。遮光膜は駆動回路基板の半導体層に光が入射しないよう遮光している。反射型液晶表示装置において、液晶表示パネル100に照射された光は、透明基板2側(図9中上側)から入射し、液晶組成物3を透過し反射電極5で反射し再度液晶組成物3、透明基板2を透過して液晶表示パネル100から出射する。

20

しかしながら、液晶表示パネル100に照射される光の一部は、反射電極5の隙間から駆動回路基板側に漏れ込む。第1の遮光膜44と第2の遮光膜46はアクティブ素子30に光が入射しないように設けられている。

本実施の形態では、この遮光膜を導電層で形成し、第2の遮光膜46を反射電極5に電氣的に接続し、第1の遮光膜44に画素電位制御信号を供給することで、遮光膜を画素容量の一部としても機能するようにしている。

なお、第1の遮光層44に画素電位制御信号を供給すると、階調電圧が供給される第2の遮光膜46と映像信号線103を形成する第1の導電層42や走査信号線102を形成する導電層(ゲート電極36と同層の導電層)との間に電氣的シールド層として第1の遮光膜44を設けることができる。

30

【0034】

このため、第1の導電層42やゲート電極36等と第2の遮光膜46や反射電極5との間の寄生容量成分が減少する。前述したように液晶容量CLに対して画素容量CCは充分大きくする必要があるが、第1の遮光膜44を電氣的シールド層として設けると、液晶容量LCと並列に接続される寄生容量も小さくなりより効率的である。さらに信号線からの雑音の飛び込みを減少することも可能となる。

また、液晶表示素子を反射型とし、駆動回路基板1の液晶組成物3側の面に反射電極5を形成した場合、駆動回路基板1として不透明なシリコン基板等を用いることが可能である。また、アクティブ素子30や配線を反射電極5の下に設けることができ、画素となる反射電極5を広くし、所謂高開口率を実現することができる利点がある。また、液晶表示パネル100に照射される光による熱を駆動回路基板1の裏面から放熱できるといった利点もある。

40

【0035】

次に、遮光膜を画素容量の一部として利用することについて説明する。

第1の遮光膜44と第2の遮光膜46とは第3の層間膜45を介して対向しており、画素容量の一部を形成している。

49は画素電位制御線136の一部を形成する導電層である。導電層49により第1の電

50

極 3 1 と第 1 の遮光膜 4 4 とは電氣的に接続されている。また、導電層 4 9 を用いて画素電位制御回路 1 3 5 から画素容量までの配線を形成することが可能である。ただし、本実施の形態では第 1 の遮光膜 4 4 を配線として利用した。

図 1 0 に第 1 の遮光膜 4 4 を画素電位制御線 1 3 6 として利用する構成について示す。図 1 0 は、第 1 の遮光膜 4 4 の配置を示す平面図である。

同図において、4 6 は第 2 の遮光膜であるが、位置を示すために点線で示している。4 2 C H はスルーホールで、第 1 の導電膜 4 2 と第 2 の遮光膜 4 6 とを接続している。なお、図 1 0 は第 1 の遮光膜 4 4 を解り易く示すために、他の構成は省略している。

【 0 0 3 6 】

第 1 の遮光膜 4 4 は、画素電位制御線 1 3 6 の機能を有しており図中 X 方向に連続して形成されている。第 1 の遮光膜 4 4 は遮光膜として機能するために表示領域全面を覆うように形成されているが、画素電位制御線 1 3 6 の機能も持たせるために、X 方向に延在し（走査信号線 1 0 2 と並列の方向）、Y 方向に並んでライン状に形成され、画素電位制御回路 1 3 5 に接続される。

また、画素容量の電極としても働くために、第 2 の遮光膜 4 6 となるべく広い面積で重なるように形成されている。さらに、遮光膜として漏れる光が少なくなるように、隣接する第 1 の遮光膜 4 4 の間隔はなるべく狭くなるよう形成されている。

【 0 0 3 7 】

次に、反射型液晶表示装置について説明する。反射型液晶表示素子の一つとして電界制御複屈折モード（ELECTRICALLY CONTROLLED BIRIEFRINGENCE MODE）が知られている。

電界制御複屈折モードでは、反射電極と対向電極との間に電圧を印加し液晶組成物の分子配列を変化させ、その結果として液晶表示パネル中の複屈折率を変化させる。電界制御複屈折モードは、この複屈折率の変化を光透過率の変化として利用し像を形成するものである。

さらに、図 1 1 を用いて、電界制御複屈折モードの 1 つである単偏光板ツイストネマティックモード（SPTN）について説明する。

同図において、9 は偏光ビームスプリッタで光源（図示せず）からの入射光 L 1 を 2 つの偏光に分割し、直線偏光となった光 L 2 を出射する。

図 1 1 では、液晶表示パネル 1 0 0 に入射させる光に、偏光ビームスプリッタ 9 を透過した光（P 波）を用いる場合を示しているが、偏光ビームスプリッタ 9 で反射した光（S 波）を用いることも可能である。液晶組成物 3 は液晶分子長軸が駆動回路基板 1 と透明基板 2 に対して平行に配列し、誘電異方性が正のネマティック液晶を用いる。また、液晶分子は配向膜 7、8 により約 9 0 度ねじれた状態で配向している。

【 0 0 3 8 】

まず、図 1 1（a）に電圧が印加されていない場合を示す。

液晶表示パネル 1 0 0 に入射した光は液晶組成物 3 の複屈折性により楕円偏光となり反射電極 5 面では円偏光となる。反射電極 5 で反射した光は再度液晶組成物 3 中を通過し再び楕円偏光となり出射時には直線偏光に戻り、入射光 L 2 に対して 9 0 度位相が回転した光 L 3（S 波）として出射する。

出射光 L 3 は再び偏光ビームスプリッタ 9 に入射するが、偏光面で反射され出射光 L 4 となる。この出射光 L 4 をスクリーン等に照射して表示を行う。この場合、電圧を印加していない場合に光が出射する所謂ノーマリーホワイト（ノーマリオープン）と呼ばれる表示方式となる。

対して、図 1 1（b）に液晶組成物 3 に電圧が印加されている場合を示す。

液晶組成物 3 に電圧が印加されると、液晶分子が電界方向に配列するため、液晶内で複屈折が起こらない。

そのため、直線偏光で液晶表示パネル 1 0 0 に入射した光 L 2 はそのまま反射電極 5 で反射され入射光 L 2 と同じ偏光方向の光 L 5 として出射する。

出射光 L 5 は偏光ビームスプリッタ 9 を透過し光源に戻る。そのため、スクリーン等に光

が照射されないため、黒表示となる。

【0039】

単偏光板ツイストネマティックモードでは、液晶の配向方向が基板と平行であるため、一般的な配向方法を用いることができ、プロセス安定性が良い。

またノーマリーホワイトで使用するため、低電圧側でおこる表示不良に対して裕度を持たせることができる。

すなわち、ノーマリーホワイト方式では、暗レベル（黒表示）が高電圧を印加した状態で得られる。この高電圧の場合には液晶分子のほとんどが基板面に垂直な電界方向に揃っているため、暗レベルの表示は、低電圧時の初期配向状態にあまり依存しない。

さらに、人間の目は、輝度ムラを輝度の相対的な比率として認識し、かつ、輝度に対し対数スケールに近い反応を有する。

そのため、人間の目は暗レベルの変動には敏感である。こうした理由から、ノーマリーホワイト方式は、初期配向状態による輝度ムラに対して有利な表示方式である。

【0040】

次に、図12に駆動回路基板1に透明基板2を重ね合わせた図を示す。

駆動回路基板1の周辺部には、周辺枠11が形成されており、液晶組成物3は周辺枠11と駆動回路基板1と透明基板2とに囲まれた中に保持される。

重ね合わされた駆動回路基板1と透明基板2との間で周辺枠11の外側には、シール材12が塗布される。シール材12により駆動回路基板1と透明基板2とが接着固定され液晶表示パネル100が形成される。13, 14は外部接続端子である。

次に、図13に示すように、液晶表示パネル100に外部からの信号を供給するフレキシブルプリント配線板80が外部接続端子(13, 14)に接続される。フレキシブルプリント配線板80の両外側の端子は他の端子に比較して長く形成され、透明基板2に形成された対向電極5に接続され、対向電極用端子81を形成している。

すなわち、フレキシブルプリント配線板80は、駆動回路基板1と透明基板2の両方に接続されている。

従来の対向電極5への配線は駆動回路基板1に設けられた外部接続端子にフレキシブルプリント配線板が接続され、駆動回路基板1を経由して対向電極5に接続されるものであった。

【0041】

本実施の形態の透明基板2にはフレキシブルプリント配線板80との接続部82が設けられ、フレキシブルプリント配線板80と対向電極5とが直接接続される。すなわち、液晶表示パネル100は透明基板2と駆動回路基板1とが重ね合わされて形成されるが、透明基板2の一部は駆動回路基板1より外側に出て接続部82を形成しており、この透明基板2の外側に出た部分でフレキシブルプリント配線板80と接続されている。

図14、図15に液晶表示装置200の構成を示す。図14は液晶表示装置200を構成する各構成物の分解組立て図である。また、図15は液晶表示装置200の平面図である。

図14に示すように、フレキシブルプリント配線板80が接続された液晶表示パネル100は、クッション材71を間に挟んで、放熱板72に配置される。

クッション材71は高熱伝導性であり、放熱板72と液晶表示パネル100との隙間を埋めて、液晶表示パネル100の熱が放熱板72に伝わり易くする役目を持つ。73はモールドで、放熱板72に接着固定されている。

【0042】

また、図15に示すように、フレキシブルプリント配線板80はモールド73と放熱板72との間を通りをモールド73の外側に取り出されている。

75は遮光板で、光源からの光が液晶表示装置200を構成する他の部材にあたることを防いでいる。76は遮光枠で液晶表示装置200の表示領域の外枠を表示する。

なお、前述の説明では、本発明を反射型液晶表示装置に適用した実施の形態について説明したが、本発明はこれに限定されるものではなく、本発明はアクティブ素子（例えば、T

10

20

30

40

50

F T)を備えるアクティブマトリクス型液晶表示装置に適用可能である。

以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0043】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、オフシーケンス処理を簡単化でき、外部駆動回路の簡略化が可能となり、更に、液晶表示装置の信頼性を向上させることが可能となる。

10

【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示装置の概略構成を示すブロック図である。

【図2】本発明の実施の形態の液晶表示パネルの画素部の等価回路を示す回路図である。

【図3】本発明の実施の形態の液晶表示パネルの画素電位を制御する方法を説明する概略回路図である。

【図4】本発明の実施の形態の液晶表示装置の駆動方法を説明するためのタイミングチャートである。

【図5】図1に示す画素電位制御回路の回路構成を示す回路図である。

【図6】本発明の実施の形態の液晶表示装置のオフシーケンス処理を説明するための電圧波形図である。

20

【図7】図2に示すレベルセンス回路の一例の回路構成を示す回路図である。

【図8】従来の液晶表示装置のオフシーケンス処理を説明する電圧波形図である。

【図9】本発明の実施の形態の液晶表示装置の画素部を示す要部断面図である。

【図10】遮光膜を用いて画素電位制御線を形成する場合の構成を示す平面図である。

【図11】単偏光板ツイストネマティックモード(SPTN)を説明するための図である。

【図12】本発明の実施の形態の液晶表示装置の液晶表示パネルを示す斜視図である。

【図13】図12に示す液晶表示パネルにフレキシブルプリント配線基板を接続した状態を示す図である。

【図14】本発明の液晶表示装置を示す分解組み立て図である。

【図15】本発明の液晶表示装置の平面図である。

30

【符号の説明】

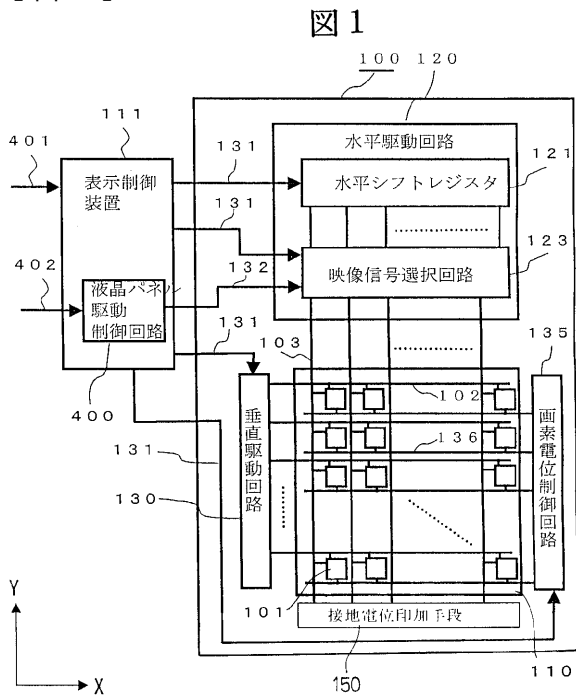
1...駆動回路基板、2...透明基板、3...液晶組成物、4...スペーサ、5...反射電極、6...対向電極、7, 8...配向膜、11...周辺枠、12...シール材、13, 14...外部接続端子、25...リセット信号入力端子、26...スタート信号入力端子、30...アクティブ素子、31...第1の電極、34...ソース領域、35...ドレイン領域、36...ゲート領域、38...絶縁膜、40...第2の電極電極、41...第1の層間膜、42...第1の導電膜、43...第2の層間膜、44...第1の遮光膜、45...第3の層間膜、46...第2の遮光膜、42CH...スルーホール、47...第4の層間膜、48...第2の導電膜、53, 54...コンデンサ、56, 57...電極、58, 211...節点、61, 62, 65, 66...クロックインバータ、67...レベルシフタ、69...出力回路、71...クッション材、72...放熱板、73...モールド、75...遮光板、76...遮光枠、80...フレキシブルプリント配線基板、81...対向電極用端子、82...接続部、100...液晶表示パネル、101...画素部、102...走査信号線、103...映像信号線、104...スイッチング素子、107...対向電極、108...液晶容量、109...画素電極、110...表示部、111...表示制御装置、120...水平駆動回路、121...水平シフトレジスタ、123...電圧選択回路、130...垂直駆動回路、131...制御信号線、132...表示信号線、135...画素電位制御回路、136...画素電位制御線、150...接地電位印加手段、200...液晶表示装置、201...P-MOSトランジスタ、203...レベルセンス回路、204...内部映像信号線、206...ダイオード、207...n-MOSトランジスタ、208...ダイオード接続のn-MOSトランジスタ、209...節点2、210...p-MOSトランジスタ、212...バッファ、400...液晶表

40

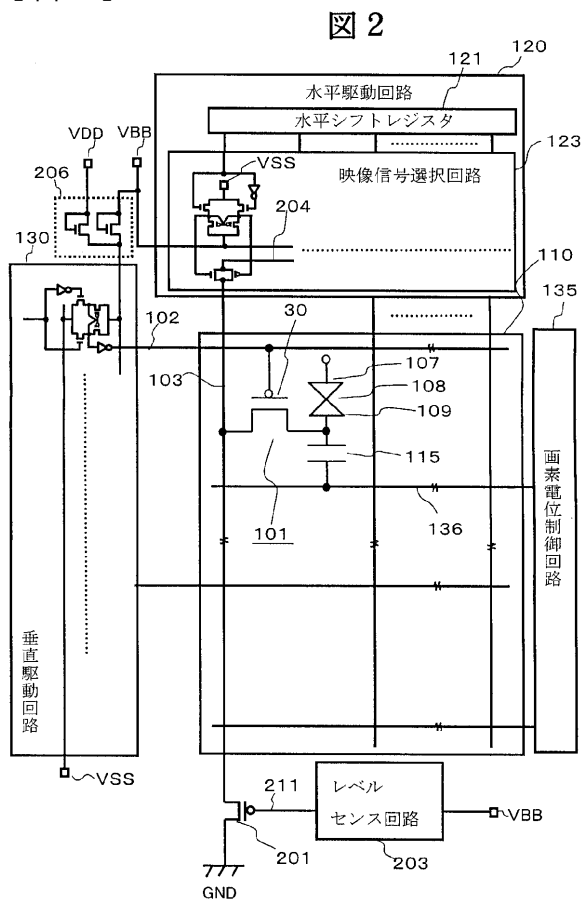
50

示パネル駆動制御回路、401...外部制御信号線、402...外部映像信号線、SR...双向シフトレジスタ。

【図1】

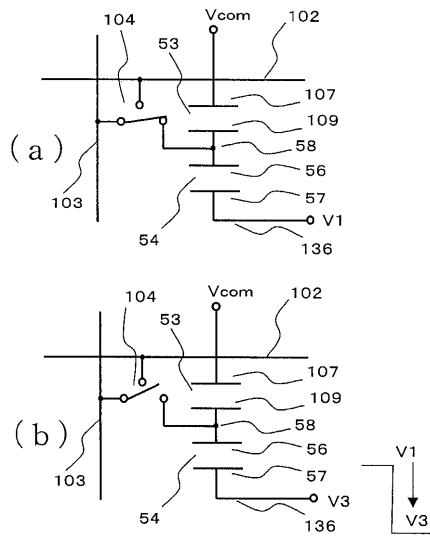


【図2】



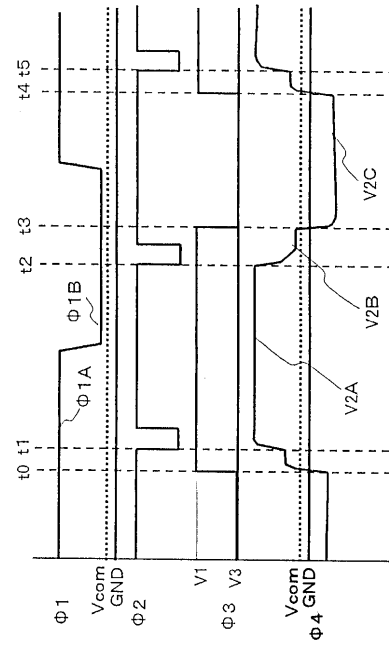
【図 3】

図 3



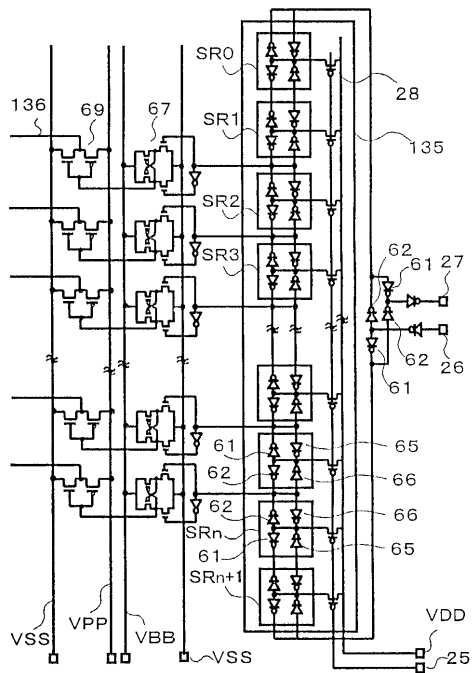
【図 4】

図 4



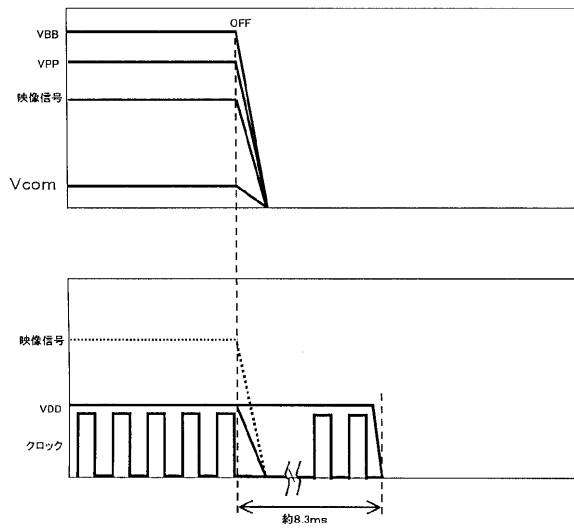
【図 5】

図 5



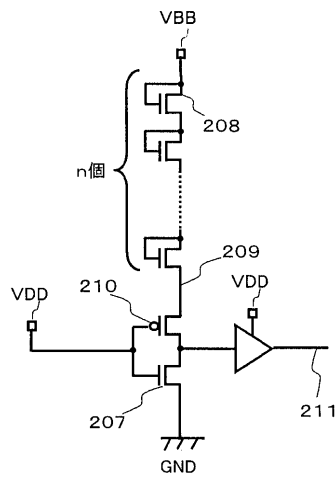
【図 6】

図 6



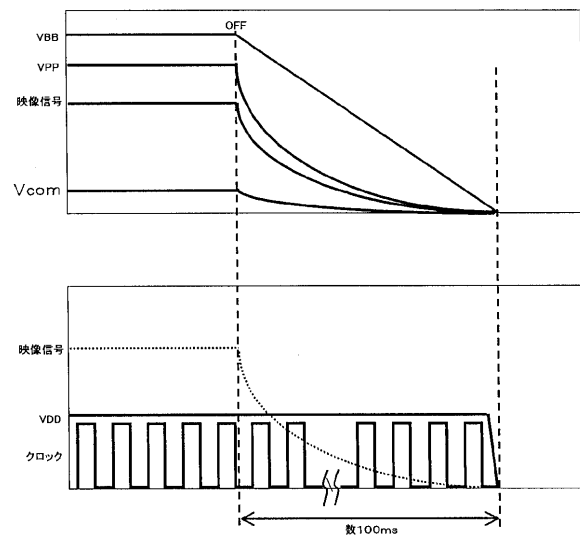
【図 7】

図 7



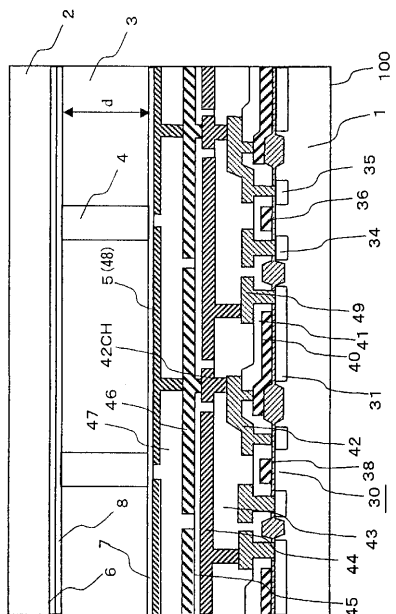
【図 8】

図 8



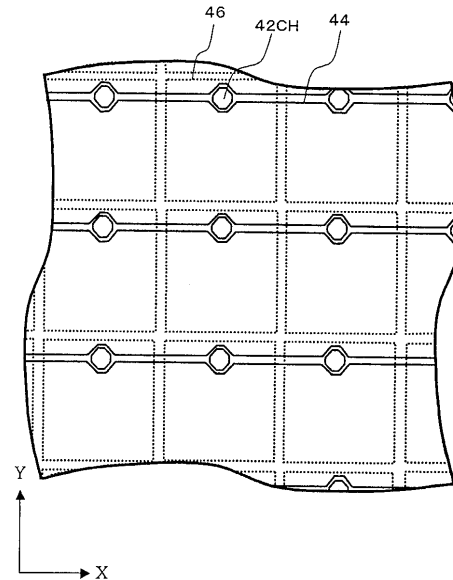
【図 9】

図 9



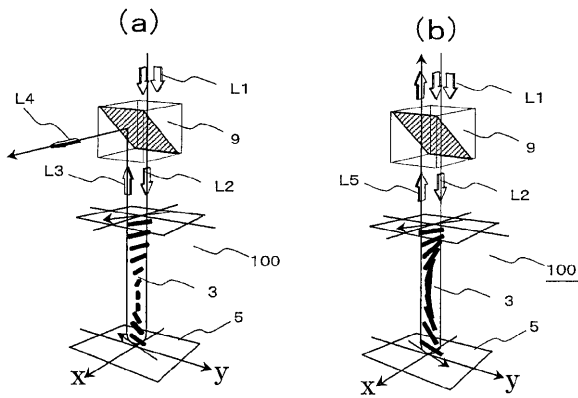
【図 10】

図 10



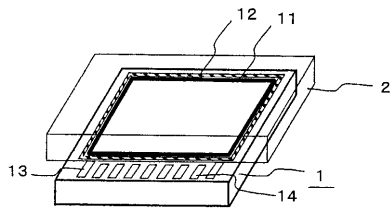
【図 1 1】

図 1 1



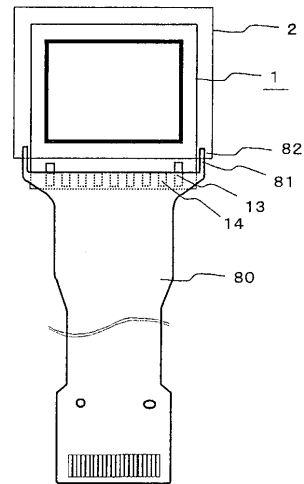
【図 1 2】

図 1 2



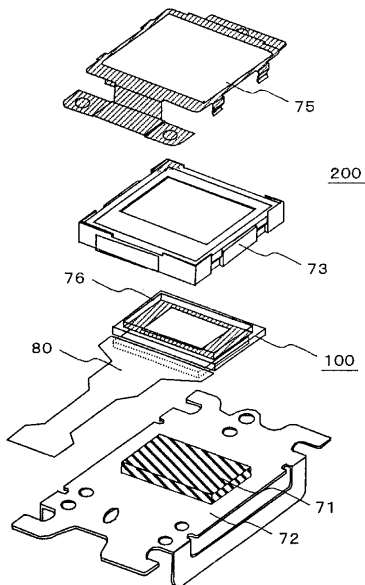
【図 1 3】

図 1 3



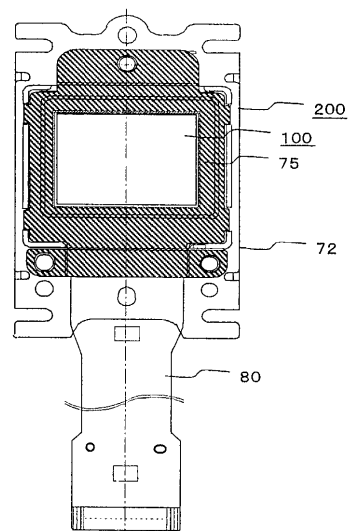
【図 1 4】

図 1 4



【図 1 5】

図 1 5



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 7 0 D
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 8 0 G

(72)発明者 飯田 治久

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H092 GA59 JA23 KA03 KA07 NA25 PA06

2H093 NA16 NC10 NC12 NC22 NC33 ND12 ND49 NE07

5C006 AF44 AF51 AF53 AF54 AF61 AF67 AF72 BB16 BC03 BC11

BC20 BF14 FA21 FA34

5C080 AA10 BB05 DD03 DD29 EE28 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004219682A	公开(公告)日	2004-08-05
申请号	JP2003006605	申请日	2003-01-15
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	日立显示器有限公司 日立设备工程有限公司		
[标]发明人	渡邊明洋 前田敏夫 飯田治久		
发明人	渡邊 明洋 前田 敏夫 飯田 治久		
IPC分类号	G02F1/1345 G02F1/133 G02F1/1368 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1345 G02F1/1368 G09G3/20.621.M G09G3/20.622.Q G09G3/20.623.R G09G3/20.670.D G09G3/20.670.K G09G3/20.680.G		
F-TERM分类号	2H092/GA59 2H092/JA23 2H092/KA03 2H092/KA07 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC33 2H093/ND12 2H093/ND49 2H093/NE07 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF54 5C006/AF61 5C006/AF67 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF14 5C006/FA21 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H093/NA80 2H093/NC64 2H192/AA24 2H192/BC31 2H192/BC72 2H192/CB02 2H192/DA12 2H192/DA65 2H192/DA72 2H192/EA03 2H192/EA13 2H192/FA73 2H192/FB02 2H192/FB09 2H192/GA02 2H192/GD03 2H192/GD32 2H192/GD61 2H192/JA06 2H193/ZA03 2H193/ZA07 2H193/ZB14 2H193/ZE31 2H193/ZE38 2H193/ZF22 2H193/ZF36 2H193/ZF60 2H193/ZJ14		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置能够通过简化当关闭液晶显示装置的电源时从外部进行的断开顺序控制来迅速地释放累积在像素电容中的电荷。 解决方案：当液晶显示设备关闭时，扫描信号线驱动装置具有一个接地电位施加装置，用于将多条视频信号线设置为接地电位，并且液晶显示设备的电源关闭。此时，在至少一个帧周期内，将用于导通每个有源元件的扫描信号电压顺序地提供给用于每个水平扫描线的多条扫描信号线。当液晶显示装置的电源电压等于或低于预定电压时，接地电位施加装置接通多个开关元件，并且在多个视频信号线和接地电位之间设置多个开关元件。以及用于控制的控制手段。[选择图]图2

