

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-46144

(P2004-46144A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO2F 1/13	GO2F 1/13 101	2H088
GO2F 1/1368	GO2F 1/1368	2H092
HO1L 21/28	HO1L 21/28 E	4M104
HO1L 21/3213	HO1L 21/88 C	5F033
HO1L 21/336	HO1L 29/78 612D	5F110
	審査請求 有 請求項の数 19 O L	(全 15 頁) 最終頁に続く

(21) 出願番号	特願2003-144292 (P2003-144292)	(71) 出願人	501426046 エルジー・フィリップス エルシーデー カンパニー、リミテッド
(22) 出願日	平成15年5月22日 (2003.5.22)		
(31) 優先権主張番号	2002-028744		大韓民国 ソウル、ヨンドンポーク、ヨ イドードン 20
(32) 優先日	平成14年5月23日 (2002.5.23)	(74) 代理人	100064447 弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176 弁理士 加藤 伸晃
(31) 優先権主張番号	2002-085626	(74) 代理人	100106703 弁理士 産形 和央
(32) 優先日	平成14年12月27日 (2002.12.27)	(74) 代理人	100096943 弁理士 白井 伸一
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100091889 弁理士 藤野 育男

最終頁に続く

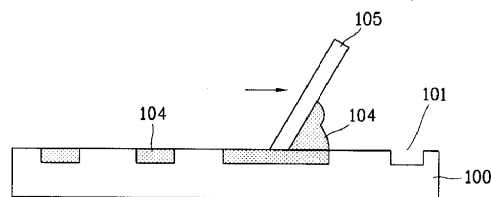
(54) 【発明の名称】 液晶表示素子の製造方法

(57) 【要約】

【課題】 フォトリソグラフィ工程を使用せずに、レジストパターンを形成し得るパターン形成装置を提供し、且つ、パターンニング工程を単純化し得る液晶表示素子の製造方法を提供する。

【解決手段】 印刷ロール510にレジストパターン504を形成する段階と、前記印刷ロール510を使用して基板520上に形成されたエッチング対象層上に多段(multi-stepped)のレジストパターン550を印刷する段階と、該印刷されたレジストパターン550をマスクにしてエッチング対象層をエッチングする段階と、を行ってパターンを形成する。

【選択図】 図1A



【特許請求の範囲】

【請求項 1】

印刷ロールにレジストパターンを形成する段階と、
前記印刷ロールを使用して基板上に形成されたエッチング対象層上に多段のレジストパターンを印刷する段階と、
前記印刷されたレジストパターンをマスクにしてエッチング対象層をエッチングする段階と、を行うことを特徴とする液晶表示素子のパターン形成方法。

【請求項 2】

前記印刷ロールに多段のレジストパターンを形成する段階は、
粘度が 90 ~ 120 cp のレジストを使用することを特徴とする請求項 1 記載の液晶表示素子のパターン形成方法。 10

【請求項 3】

前記多段のレジストパターンを印刷する段階は、
第 1 の厚さを有する第 1 レジストパターン及び第 2 の厚さを有する第 2 レジストパターンを印刷する段階から構成されることを特徴とする請求項 1 記載の液晶表示素子のパターン形成方法。

【請求項 4】

印刷ロールにレジストを形成する段階は、
クリシェに多段の溝を形成する段階と、
前記多段の溝の内部にレジストを充填させる段階と、
前記多段の溝の内部に充填されたレジストを印刷ロールに転写させる段階と、から構成されることを特徴とする請求項 1 記載の液晶表示素子のパターン形成方法。 20

【請求項 5】

前記印刷ロールにレジストを形成する段階は、
前記印刷ロールに多段の溝を形成する段階と、
前記多段の溝にレジストを充填させる段階と、から構成されることを特徴とする請求項 1 記載の液晶表示素子のパターン形成方法

【請求項 6】

基板上に半導体層及び金属層を含むエッチング対象層を形成する段階と、
印刷ロールを使用して基板上に形成されたエッチング対象層上に多段のレジストパターンを印刷する段階と、
前記多段のレジストパターンをマスクにしてエッチング対象層をエッチングする段階と、
を行うことを特徴とする液晶表示素子のパターン形成方法。 30

【請求項 7】

前記多段のレジストパターンを印刷する段階は、
前記印刷ロールに多段の溝を形成する段階と、
前記多段の溝の内部にレジストを充填する段階と、から構成されることを特徴とする請求項 6 記載の液晶表示素子のパターン形成方法。

【請求項 8】

多段のレジストパターンを印刷する段階は、
クリシェに多段の溝を形成する段階と、
前記多段の溝の内部にレジストを充填させる段階と、
前記多段の溝に充填されたレジストを印刷ロールに転写させる段階と、から構成されることを特徴とする請求項 6 記載の液晶表示素子のパターン形成方法。 40

【請求項 9】

多段のレジストパターンを印刷する段階は、
第 1 工程により第 1 レジストパターンを形成する段階と、
第 2 工程により前記第 1 レジストパターンと隣接する両側領域に第 2 レジストパターンを形成する段階と、から構成されることを特徴とする請求項 6 記載の液晶表示素子のパターン形成方法。 50

【請求項 10】

多段の溝にレジストを充填する段階は、
 レジストで充填されたバケットを準備する段階と、
 前記バケットの内部に印刷ロールを浸して回転させる段階と、
 ドクターブレードを使用して、前記多段の溝を除外した印刷ロールの表面に塗布されたレジストを除去する段階と、から構成されることを特徴とする請求項 7 記載の液晶表示素子のパターン形成方法。

【請求項 11】

多段の溝の内部にレジストを充填する段階は、
 クリシェにレジストを塗布する段階と、
 ドクターブレードを使用して、前記多段の溝を除外したクリシェの表面に塗布されたレジストを除去する段階と、から構成されることを特徴とする請求項 8 記載の液晶表示素子のパターン形成方法。

10

【請求項 12】

前記レジストパターンによって露出された領域をエッチングする段階と、
 前記レジストパターン中、相対的に薄い厚さを有する領域を選択的に除去する段階と、
 前記薄い厚さを有するレジスト領域が除去されたレジストパターンにより露出された領域をエッチングする段階と、
 前記残留するレジストパターンを除去する段階と、を行うことを特徴とする請求項 6 記載の液晶表示素子のパターン形成方法。

20

【請求項 13】

前記印刷ロールに多段のレジストパターンを形成する段階は、
 粘度が 90 ~ 120 cp のレジストを使用することを特徴とする請求項 6 記載の液晶表示素子のパターン形成方法。

【請求項 14】

透明な基板を準備する段階と、
 前記基板の全面に絶縁層、半導体層及び金属層を順次積層する段階と、
 前記金属層上に厚さが相互に異なるレジストパターンを印刷する段階と、
 前記レジストパターンを利用して第 1 電極パターン及び第 2 電極パターンを形成する段階と、を行うことを特徴とする液晶表示素子のパターン形成方法。

30

【請求項 15】

前記第 1 電極は薄膜トランジスタのソース電極であり、第 2 電極は薄膜トランジスタのドレイン電極であり、
 前記ソース電極及びドレイン電極上に保護膜を形成する段階と、
 前記保護膜上にドレイン電極と電気的に接続する画素電極を形成する段階と、を更に行うことを特徴とする請求項 14 記載の液晶表示素子のパターン形成方法。

【請求項 16】

前記レジストパターンを印刷する段階は、
 基板に形成された金属層上にレジストを塗布する段階と、
 第 1 溝と、該第 1 溝の両側面に形成されて、第 1 溝より厚い第 2 溝及び第 3 溝が形成されたスタンプを前記基板上に塗布されたレジスト上に接触させた後、所定圧力で押す段階と、
 前記スタンプを基板から離すことで、第 1 溝により形成された第 1 レジストパターンと、
 前記第 2 溝及び第 3 溝により形成されて、前記第 1 レジストパターンの両側面に前記第 1 レジストパターンより厚い第 2 レジストパターン及び第 3 レジストパターンを形成する段階と、から構成されることを特徴とする請求項 14 記載の液晶表示素子のパターン形成方法。

40

【請求項 17】

前記レジストパターンを印刷する段階は、
 第 1 電極及び第 2 電極間の離隔領域と対応する位置に第 1 溝が形成された第 1 クリシェを

50

準備する段階と、

前記第 1 電極及び第 2 電極と対応する位置に前記第 1 溝より深い第 2 溝及び第 3 溝が形成された第 2 クリシェを準備する段階と、

前記第 1 溝にレジストを充填させた後、これを印刷ロールに転写させて固形化させる段階と、

前記固形化されたレジストを金属層に再び転写させて第 1 レジストパターンを形成する段階と、

前記第 2 溝及び第 3 溝にレジストを充填させた後、印刷ロールを使用して前記第 1 レジストパターンの両側面に第 2 レジストパターンを印刷する段階と、から構成されることを特徴とする請求項 14 記載の液晶表示素子のパターン形成方法。

10

【請求項 18】

透明な基板を準備する段階と、

前記基板上にゲート電極を形成する段階と、

前記基板の全面に絶縁層、半導体層及び金属層を順次積層する段階と、

前記金属層に第 1 レジストパターンを印刷する段階と、

前記第 1 レジストパターンの両側面に前記第 1 レジストパターンより厚い第 2 レジストパターンを印刷する段階と、

前記第 1 レジストパターン及び第 2 レジストパターンをマスクにしてアクティブ層及びソース電極とドレイン電極を形成する段階と、

前記ソース電極とドレイン電極上に保護膜を形成する段階と、

20

前記保護膜上に前記ドレイン電極と電気的に接続する画素電極を形成する段階と、を行うことを特徴とする液晶表示素子のパターン形成方法。

【請求項 19】

透明な基板を準備する段階と、

前記基板上にゲート電極を形成する段階と、

前記基板の全面に絶縁層、半導体層及び金属層を順次積層する段階と、

前記基板の金属層にレジストを塗布する段階と、

前記レジストの表面に、第 1 レジストパターンと、該第 1 レジストパターンの両側面に形成されて、第 1 レジストパターンより厚い第 2 レジストパターン及び第 3 レジストパターンを形成するスタンプを接触させた後、所定圧力で押す段階と、

30

前記第 1 レジストパターン、第 2 レジストパターン及び第 3 レジストパターンをマスクにして金属層及び半導体層をエッチングすることで、アクティブ層及びソース電極とドレイン電極を形成する段階と、

前記ソース電極とドレイン電極上に保護膜を形成する段階と、

前記保護膜上に前記ドレイン電極と電気的に接続する画素電極を形成する段階と、を行うことを特徴とする液晶表示素子のパターン形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示素子の製造方法に係るもので、詳しくは、印刷方法による液晶表示素子のパターン形成方法に関するものである。

40

【0002】

【関連技術】

最近、携帯電話、PDA (Personal Data Assistants)、ノートブックコンピュータのような各種携帯用電子機器が発展するにつれて、これに適用できる軽薄短小の平板表示装置に対する要求が漸次増大している。このような平板表示装置としては、LCD (Liquid Crystal Display)、PDP (Plasma Display Panel)、FED (Field Emission Display)、VED (Vacuum Fluorescent Display) 等が活発に研究されているが、量産技術、駆動手段の容易性及び高画質の具現という面から、現

50

在は液晶表示素子が脚光を浴びている。

【0003】

図6は能動素子として薄膜トランジスタ(Thin Film Transistor)を使用するTFT-LCDを示した図で、図示されたように、TFT-LCDの各画素1には、外部の駆動回路から走査信号が印加されるゲートライン4と画像信号が印加されるデータライン6との交差領域に形成されたTFTを含んでいる。該TFTは、前記ゲートライン4と連結されたゲート電極3と、該ゲート電極3上に形成されて、ゲート電極3に走査信号が印加されることで活性化される半導体層8aと、該半導体層8a上に形成されたソース電極5a及びドレイン電極5bと、を含んで構成されている。又、前記画素1の表示領域には、前記ソース電極5a及びドレイン電極5bと連結されて半導体層8aが活性化されることで、前記ソース電極5a及びドレイン電極5bにより画像信号が印加されて液晶(図示せず)を動作させる画素電極10が形成されている。

10

【0004】

図7は各画素内に配置されたTFTの断面構造を示した図で、図示されたように、前記TFTは、ガラス等の透明な絶縁物質により形成された基板10aと、該基板10a上に形成されたゲート電極3と、該ゲート電極3が形成された基板10aの全体にかけて積層されたゲート絶縁層2と、該ゲート絶縁層2上に形成されて、ゲート電極3に信号が印加されることで活性化される半導体層8aと、該半導体層8a上に形成されたソース電極5a及びドレイン電極5bと、それらソース電極5a及びドレイン電極5b上に形成されて素子を保護する保護層(passivation layer)9と、を含んで構成されていて、前記ソース電極5a及びドレイン電極5bと半導体層8a間にn+ドーピングされたオーミック接触層8bが形成されている。

20

【0005】

このようなTFTのソース電極5a及びドレイン電極5bは、画素内に形成された画素電極と電氣的に接続されて、前記ソース電極5a及びドレイン電極5bにより画素電極10に信号が印加されることで、液晶を駆動して画像を表示する。

【0006】

このような構造のTFT(T)は、複数のマスク工程により製作され、各マスク工程で使用される材料消費及び工程時間は製品の生産性と直接的に関係するため、最近は、工程数を5マスクから4マスクに減らしている。

30

【0007】

以下、これまでの4マスク工程によるTFTの製造方法について、図8A~図8Dに基づいて説明する。

【0008】

まず、図8Aに示したように、透明な基板20上に金属物質を蒸着した後、第1マスク(図示せず)を使用してフォトリソグラフィ(photolithography)工程により第1レジストパターン23aを形成した後、これをマスクにしてゲート電極23を形成する。フォトリソグラフィ工程は、レジスト塗布 露光 現像 エッチング工程の順に進行され、前記露光工程時、レジストパターンを形成するためにマスクを使用する。また、エッチング工程は、レジスト現像後に形成されたレジストパターンをマスクにして実質的に金属パターン(ゲート電極)を形成し、以後に残留するレジストパターンは除去される。

40

【0009】

そして、図8Bに示したように、前記ゲート電極23が形成された基板20の上部にSiNxまたはSiOx等の無機物質絶縁層22、半導体層28a, 28b及び金属物質25を連続的に蒸着した後、第2マスク(図示せず)を使用してフォトリソグラフィ工程によりチャンネル領域上に選択的に残留する第2レジストパターン23bを形成し、前記ゲート電極23上の金属層25の上部では、フォトリソグラフ層に回折露光を適用して他の領域のレジストパターンより薄い厚さを有するようにする。次いで、前記第2レジストパターン23bをマスクにしてゲート絶縁膜22が露出されるまでエッチングした後、図8Cに

50

示したように、前記回折露光が適用されたレジストパターン領域を除去して、金属層を露出させる第3レジストパターン23cを形成し、該第3レジストパターン23cをマスクにして金属層25をエッチングすることでソース電極25a及びドレイン電極25bを形成する。この時に使用される第2マスクは回折マスクで、部分的に光透過率の特性が異なるため、レジストパターンを部分的に異なる厚さに形成することができる。一般に、回折マスクは、1回のマスク工程により別異の積層された層を同時に適切にパターンングするために使用されるもので、例示したように、アクティブ層28及びソース電極層25a及びドレイン電極層25bを1回のマスク工程により形成することができる。

【0010】

5マスク工程の場合は、アクティブ層28及びソース電極層25a及びドレイン電極層25bの形成時に2回のマスク工程が進行されるため、4マスク工程よりマスク工程が更に追加される。

10

【0011】

このようにアクティブ層28及びソース電極層25a及びドレイン電極層25bを形成した後、図8Dに示したように、ソース電極層25a及びドレイン電極層25b上に残留するレジストパターンを除去し、その上部にSiO_xまたはSiN_x等の無機物質や、BCBまたはアクリルのような有機物質を塗布した後、第3マスクを使用してフォトリソグラフィ工程により第4レジストパターン23dを形成し、ドレイン電極25bの一部を露出させる保護膜29を形成する。

【0012】

最後に、図8Eに示したように、前記保護膜29上に残留する第4レジストパターンを除去した後、前記保護膜29上にインジウム-スズ酸化物(ITO)等の透明な伝導性物質を蒸着し、これを第4マスクによりパターンングすることで画素電極31を形成する。

20

【0013】

【発明が解決しようとする課題】

以上説明したように、このようなTFTを製作するために進行されるフォトリソグラフィ工程は、フォトレジスト塗布、整列、露光、現像及び洗浄の連続工程で構成され、特に、露光工程はマスクを各位置に配置して、マスク及び基板のアラインメント・キーを整列させ、光源を照射する順に進行されるが、マスク及び基板を整列するには微細なパターンを形成しなければならないため、高度の精密さが要求される。従って、マスクを使用する工程が増加するほど誤整列(misalignment)の程度は大きくなり、このようなマスクの誤整列は、工程に使用されるマスクの枚数とは関係なしに、マスクを使用する工程では常に発生する現象であるため、TFT等の微細なパターンの製作時に致命的な不良が発生するという不都合な点があった。

30

【0014】

また、フォトレジスト塗布工程は、フォトレジスト薄膜が蒸着される基板表面に均一な厚さで形成する工程で、フォトレジストを塗布する基板表面の湿気を除去してフォトレジストの密着性を向上させるプリベーク段階と、遠心力を利用して基板表面に所定厚さでフォトレジストを塗布するスピニング段階と、塗布されたフォトレジストに残っている溶剤を蒸発させてフォトレジストを硬化するソフトベーク段階と、から構成されている。スピニングは、回転する基板上にフォトレジストを落として、基板の遠心力により塗布が簡単且つ迅速になるという長所があるが、極めて一部分のフォトレジストのみが基板表面に塗布され、ほとんどのフォトレジスト原材料が消失されるという短所があるため、材料費用が増加すると共に、工程にはフォトレジスト塗布、整列、露光及び洗浄の過程が必要であるため、これに使用される装備が高価となり、よって、生産費が増加するという不都合な点があった。

40

【0015】

また、フォトレジストパターンを形成するために反復されるフォトリソグラフィ工程は、工程が複雑で且つ長時間を要するため、生産性を低下させるという不都合な点があった。

【0016】

50

本発明は、このような従来の課題に鑑みてなされたもので、フォトリソグラフィ工程を使用せずに、レジストパターンを形成し得るパターン形成装置を提供することを目的とする。

【0017】

また、パターンニング工程を単純化し得る液晶表示素子の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】

このような目的を達成するため、本発明に係る液晶表示素子の製造方法においては、印刷ロールにレジストパターンを形成する段階と、前記印刷ロールを使用して基板上に形成されたエッチング対象層上に多段(multi-stepped)のレジストパターンを印刷する段階と、該印刷されたレジストパターンをマスクにしてエッチング対象層を蝕刻する段階と、を行うことを特徴とする。

10

【0019】

且つ、基板上に半導体層及び金属層を含むエッチング対象層を形成する段階と、印刷ロールを使用して基板に形成されたエッチング対象層上に多段のレジストパターンを印刷する段階と、前記多段のレジストパターンをマスクにしてエッチング対象層をエッチングする段階と、を行うことを特徴とする。

【0020】

且つ、透明な基板を準備する段階と、前記基板全面に絶縁層、半導体層及び金属層を順次積層する段階と、前記金属層上に厚さが相互に異なるレジストパターンを印刷する段階と、該レジストパターンを利用して第1電極パターン及び第2電極パターンを形成する段階と、を行うことを特徴とする。

20

【0021】

且つ、透明な基板を準備する段階と、前記基板上にゲート電極を形成する段階と、前記基板全面に絶縁層、半導体層及び金属層を順次積層する段階と、前記金属層に第1レジストパターンを印刷する段階と、前記第1レジストパターンの両側面に前記第1レジストパターンより厚い第2レジストパターンを印刷する段階と、前記第1レジストパターン及び第2レジストパターンをマスクにしてアクティブ層及びソース電極及びドレイン電極を形成する段階と、それらソース電極及びドレイン電極上に保護膜を形成する段階と、該保護膜上に前記ドレイン電極と電気的に接続する画素電極を形成する段階と、を行うことを特徴とする。

30

【0022】

且つ、透明な基板を準備する段階と、前記基板上にゲート電極を形成する段階と、前記基板全面に絶縁層、半導体層及び金属層を順次積層する段階と、前記基板の金属層にレジストを塗布する段階と、前記レジスト表面に、第1レジストパターンと、該第1レジストパターンの両側面に形成されていて、第1レジストパターンより厚い第2レジストパターン及び第3レジストパターンを形成するスタンプを接触させた後、所定圧力で押す段階と、前記第1レジストパターン乃至第3レジストパターンをマスクにして、金属層及び半導体層をエッチングすることでアクティブ層及びソース電極及びドレイン電極を形成する段階と、それらソース電極及びドレイン電極上に保護膜を形成する段階と、該保護膜上に前記ドレイン電極と電気的に接続する画素電極を形成する段階と、を行うことを特徴とする。

40

【0023】

【発明の実施の形態】

以下、本発明の実施の形態について、図面に基づいて説明する。

【0024】

図1A～図1Cは、印刷方式を概念的に説明するために、グラフィア・オフセット印刷方式によるパターン形成方法を示した図である。

【0025】

まず、図1Aに示したように、凹状の溝101が形成されたクリシェ(cliche)1

50

00を準備した後、前記溝101の内部にレジスト104を充填する。この時、溝101の内部のみにレジストが充填されるように、ドクターブレード105を使用してクリシェ100の表面を平らに押す。次いで、図1Bに示したように、印刷ロール110をクリシェ100の表面に接触させて回転させることで、クリシェ100の溝101に充填されたレジスト104を印刷ロール110の表面にそのまま転写させる。その後、図1Cに示したように、前記印刷ロール110を基板120に移して回転させることで、基板120の表面にレジストパターン122を形成する。

【0026】

このようなオフセット印刷法を利用してレジストパターンを形成することで、工程を一層単純化して生産性を向上することができる。

10

【0027】

図2A～図2Fは本発明の実施形態であって、グラビア・オフセット印刷法を適用した薄膜トランジスタの製造方法を説明する工程順序図である。まず、図2Aに示したように、絶縁特性を有する透明な基板200を準備した後、該基板200上にスパッタリング方法によりアルミニウム(A1)または銅(Cu)等の第1金属層を蒸着した後、図1に示された印刷工程により前記第1金属層上に第1レジストパターン250aを形成する。次いで、前記第1レジストパターン250aをマスクにして第1金属層をエッチングすることで、第1金属層のゲート電極223を形成する。

【0028】

次いで、前記ゲート電極223上に残留する第1レジストパターン250aを除去した後、図2Bに示したように、SiO_xまたはSiN_xの絶縁層222、非晶質シリコン層(a-Si)228a、n+ドーピングされたシリコン層228b及び第2金属層225を順次積層し、前記ゲート電極223に対応する第2金属層225上に第2レジストパターン250bを印刷する。この時、前記第2金属層225は、CVD(chemical vapor deposition)やスパッタリング(sputtering)方法によりクロム(Cr)やモリブデン(Mo)、又はMoW、MoTa及びMoNb等のモリブデン合金を蒸着することで形成される。

20

【0029】

次いで、図2Cに示したように、前記第2金属層225上に前記第2レジストパターン250bを間に置いて所定間隔離する第3レジストパターン250cを印刷する。この時、該第3レジストパターン250cは、それらの間に印刷された第2レジストパターン250bより厚く形成されるべきである。以下、前記第2レジストパターン250b及び第3レジストパターン250cで構成されたパターンを第4レジストパターン250dと称する。

30

【0030】

図3A～図3Fは、前記第4レジストパターン250dの形成方法を更に詳しく示したもので、まず、図3Aに示したように、第1溝301aが形成された第1クリシェ300aを準備する。次いで、図3Bに示したように、前記溝301aの内部にレジストを充填した後、印刷ロール310を前記クリシェ300aの表面に接触させ、これを回転させて溝301aの内部に充填されたレジスト304を印刷ロール310の表面に転写させる。次いで、図3Cに示したように、前記印刷ロール310に転写されたレジストを基板320に再び転写させて前記第2レジストパターン250bを形成する。この時、図示されていないが、基板320上にはゲート電極、絶縁層、半導体層及び第2金属層が積層されている。

40

【0031】

このように第2レジストパターン250bを形成した後、図3Dに示したように、前記第1クリシェに形成された第1溝301aの両側領域と対応する領域に第2溝301b及び第3溝301cが形成された第2クリシェ300bを準備する。この時、回折露光の効果を得るためには、前記第2溝301b及び第3溝301cは第1溝301aより深く形成されるべきである。次いで、図3Eに示したように、前記第2溝301b及び第3溝30

50

1 c の内部にレジストを充填した後、前記レジスト 3 0 4 を印刷ロール 3 1 0 に転写させて、第 2 レジストパターン 2 5 0 b が形成された基板 3 2 0 に再び転写させ、第 2 レジストパターン 2 5 0 b の両側面に隣接する第 3 レジストパターン 2 5 0 c を形成する。図 3 F は前記印刷工程により基板 3 2 0 上に形成された第 4 レジストパターン 2 5 0 d を示した図であって、前記第 2 溝 3 0 1 b 及び第 3 溝 3 0 1 c に対応するレジストパターンは、基板のエッチング工程後にソース電極及びドレイン電極を形成し、前記第 1 溝 3 0 1 a は前記ソース電極及びドレイン電極間のチャンネル領域を形成するようになる。

【 0 0 3 2 】

一方、印刷工程進行中、クリシェから離脱されたレジストの形態をそのまま維持するために、外部から紫外線を照射するか、又は印刷ロールの内部にヒータを装着してレジストを固形化することもできる。

10

【 0 0 3 3 】

このような印刷工程により形成された第 4 レジストパターン 2 5 0 d をマスクにして、図 2 C に示したように、前記絶縁層 2 2 2 が露出される時まで第 2 金属層 2 2 5、n + シリコン層 2 2 8 b 及び非晶質シリコン層 2 2 8 a をエッチングする。

【 0 0 3 4 】

このように第 4 レジストパターン 2 5 0 d を形成した後、図 2 D に示したように、チャンネル領域の第 2 金属層 2 2 5 が露出される時まで第 4 レジストパターンを除去して第 5 レジストパターン 2 5 0 e を形成し、該第 5 レジストパターン 2 5 0 e をマスクにして、第 2 金属層 2 2 5、n + シリコン層 2 2 8 b 及び非晶質シリコン層 2 2 8 a をエッチングすることでチャンネル層を形成する半導体層 2 3 8 a、オーミック接触層 2 3 8 b 及びソース電極層 2 2 5 a とドレイン電極層 2 2 5 b を形成する。

20

【 0 0 3 5 】

次いで、図 2 E に示したように、前記ソース電極層 2 2 5 a 及びドレイン電極層 2 2 5 b 上に残留する第 5 レジストパターン 2 5 0 e を除去した後、絶縁層 2 2 2 及びソース電極 2 2 5 a とドレイン電極 2 2 5 b が形成された基板全面に SiO_x または SiN_x のような無機物質や BCB またはアクリルで構成された有機物質を蒸着またはコーティングして保護膜 2 2 9 を形成する。そして、該保護膜上に印刷方法を利用して第 6 レジストパターンを形成した後、該第 6 レジストパターン 2 5 0 f をマスクにして保護膜 2 2 9 をエッチングすることで、前記ドレイン電極 2 2 5 b の一部を露出させるドレイン・コンタクトホール 2 3 0 を形成する。

30

【 0 0 3 6 】

最後に、図 2 F に示したように、前記保護膜 2 2 9 上に ITO またはインジウム - 亜鉛酸化物 (IZO) 等の透明な伝導性物質を蒸着した後、その上部に印刷方法を利用して第 7 レジストパターン 2 5 0 g を形成し、これをマスクにして前記透明な伝導性物質層をエッチングすることで、ドレイン電極 2 2 5 b と電氣的に接続する画素電極 2 3 1 を形成する。

【 0 0 3 7 】

尚、本発明は、レジストパターンを形成するにおいて、グラビア・オフセット印刷法に限定されるものではなく、その他に、図示されては無いが、凸部を有するオフセット板を利用してパターンを形成するフレキソ (flexo) 印刷法や、レジストを基板に塗布した後、前記レジストを予め製作されたスタンプで押してパターンを形成するマイクロ・コンタクト印刷法を行うこともできる。この時、ソース電極とドレイン電極及びアクティブ層を形成するために使用されるレジストパターンが 1 回の印刷工程により形成されるように、スタンプではチャンネル領域に対応する溝がソース電極層及びドレイン電極層に対応する溝より薄くなるべきである。

40

【 0 0 3 8 】

前記したように、本発明は、溝の厚さが相互に異なるクリシェを準備して厚さが相互に異なるレジストパターンを形成することができる。併せて、本発明の多段の溝を有するクリシェや印刷ロールを利用して、厚さが相互に異なるレジストパターンを 1 回の印刷工程に

50

より形成することもできる。

【0039】

図4A～図4D及び図5A～図5Bは、本発明の他の実施形態を示した図で、図4A～図4Dは多段の溝が形成されたクリシェによりレジストパターンを形成する方法を示した図で、図5A～図5Bは多段の溝が形成された印刷ロールを利用してレジストパターンを形成する方法を示した図である。

【0040】

以下、多段の溝が形成されたクリシェによる、厚さが相互に異なるレジストパターンの形成方法について説明する。

【0041】

まず、図4Aに示したように、厚さが相互に異なる多段の溝401が形成されたクリシェ400を準備した後、図4Bに示したように、前記溝401が形成されたクリシェ400上にレジスト404を塗布した後、ドクターブレード403を使用して前記クリシェ400の表面を平らに押すことで、前記溝401の内部にレジスト404を充填する。次いで、図4Cに示したように、印刷ロール410を前記クリシェ400の表面に接触させて回転することで、前記印刷ロール410の表面の溝401に充填されたレジスト404を転写させる。その後、図4Dに示したように、前記印刷ロール410の表面に転写されたレジスト404を準備された基板420上に再び転写させて、部分的に厚さの異なる多段のレジストパターン450を形成する。この時、前記基板420上にはゲート電極層、絶縁層、半導体層及び金属層が順次積層されている。前記レジストパターン450をマスクにして基板420をエッチングすると、相対的に厚く形成されたレジストパターン450b領域にはソース電極及びドレイン電極が形成され、相対的に薄く形成されたレジストパターン450a領域にはソース電極及びドレイン電極間のチャンネル領域が形成される。

【0042】

図5A～図5Cに示された方法は、多段の溝が形成された印刷ロールを利用してレジストパターンを形成する方法で、まず、図5Aに示したように、多段の溝501が形成された印刷ロール510を準備した後、該印刷ロールをレジストが充填されたバケット500に浸した後、前記印刷ロール510を回転させることで、印刷ロール510の表面に形成された多段の溝501の内部にレジスト504を充填する。この時、前記印刷ロール510の表面にはドクターブレード503が接触され、前記溝501を除外した印刷ロール510の表面に残っているレジストを除去する。このようにレジスト504が充填された印刷ロール510は、図5Bに示したように、予め準備された基板520上に接触して回転し、部分的に厚さの異なる多段のレジストパターン550を形成するようになる。この時、基板520上にはゲート電極層、絶縁層、半導体層及び金属層が順次積層されている。前記レジストパターン550をマスクにして基板520をエッチングすると、相対的に厚く形成されたレジストパターン550b領域にはソース電極及びドレイン電極が形成され、相対的に薄く形成されたレジストパターン550a領域にはソース電極及びドレイン電極間のチャンネル領域が形成される。

【0043】

本実施形態で所望の2段のパターンを工程中維持するためには、粘度が90～120cpのレジストを使用しなければならない。

【0044】

前記したように、本実施形態では、多段の溝が形成されたクリシェ又は印刷ロールを利用して、厚さが相互に異なるレジストパターンを1回の印刷工程により形成することができる。併せて、本実施形態では、レジストパターンが2段に形成された場合を例としたが、それ以上の段差を有するように形成することで、マスクの使用回数を減らして工程を一層簡略化することもできる。

【0045】

【発明の効果】

以上説明したように、本発明に係る液晶表示素子の製造方法においては、薄膜トランジス

10

20

30

40

50

タのソース電極とドレイン電極及びアクティブ層を1回のマスク工程により形成するために、溝の深さが相互に異なる二つのクリシェを準備するか、多段の溝を有するクリシェまたは印刷ロールを製作して、チャンネル領域に対応するレジストパターンを他の領域より薄く形成することで、関連技術における回折露光によるレジストパターンと同様なレジストパターンを得ることができ、よって、これまでのフォトマスク工程より工程が単純で且つ設備が簡単であるため、生産力を一層向上し得るという効果がある。

【図面の簡単な説明】

【図1A】グラビア・オフセット印刷方式によるパターン形成方法を示した工程順序図である。

【図1B】グラビア・オフセット印刷方式によるパターン形成方法を示した工程順序図である。 10

【図1C】グラビア・オフセット印刷方式によるパターン形成方法を示した工程順序図である。

【図2A】本発明に係るTFTの第1実施形態による工程順序図である。

【図2B】本発明に係るTFTの第1実施形態による工程順序図である。

【図2C】本発明に係るTFTの第1実施形態による工程順序図である。

【図2D】本発明に係るTFTの第1実施形態による工程順序図である。

【図2E】本発明に係るTFTの第1実施形態による工程順序図である。

【図2F】本発明に係るTFTの第1実施形態による工程順序図である。

【図3A】第4レジストパターンを形成する工程順序図である。 20

【図3B】第4レジストパターンを形成する工程順序図である。

【図3C】第4レジストパターンを形成する工程順序図である。

【図3D】第4レジストパターンを形成する工程順序図である。

【図3E】第4レジストパターンを形成する工程順序図である。

【図3F】第4レジストパターンを形成する工程順序図である。

【図4A】本発明の第2実施形態を示した図である。

【図4B】本発明の第2実施形態を示した図である。

【図4C】本発明の第2実施形態を示した図である。

【図4D】本発明の第2実施形態を示した図である。

【図5A】本発明の第3実施形態を示した図である。 30

【図5B】本発明の第3実施形態を示した図である。

【図6】能動素子として薄膜トランジスタ(Thin Film Transistor)を使用するTFT-LCDを概略的に示した平面図である。

【図7】各画素内に配置されるTFTを示した断面図である。

【図8A】関連技術における4マスク工程によるTFTの工程順序図である。

【図8B】関連技術における4マスク工程によるTFTの工程順序図である。

【図8C】関連技術における4マスク工程によるTFTの工程順序図である。

【図8D】関連技術における4マスク工程によるTFTの工程順序図である。

【図8E】関連技術における4マスク工程によるTFTの工程順序図である。

【符号の説明】 40

100：クリシェ

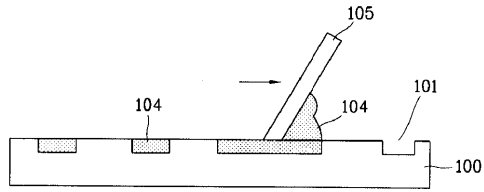
104：レジスト

105：ドクターブレード

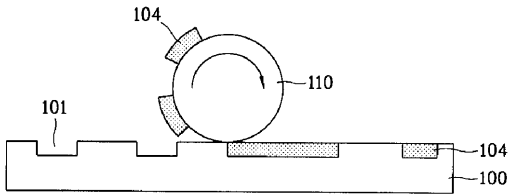
110：印刷ロール

250a～250g：レジストパターン

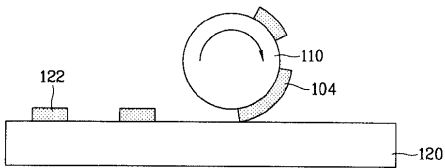
【図 1 A】



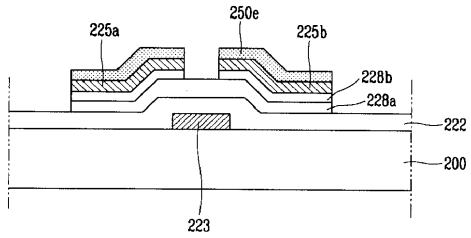
【図 1 B】



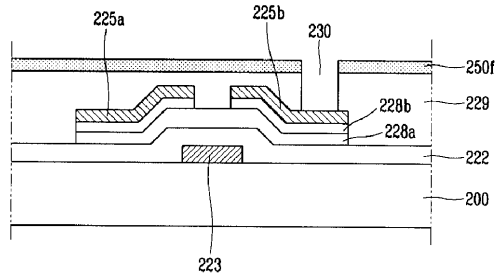
【図 1 C】



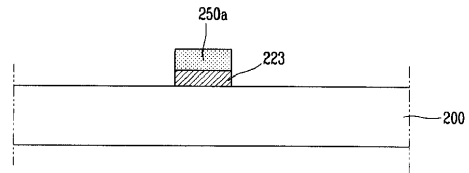
【図 2 D】



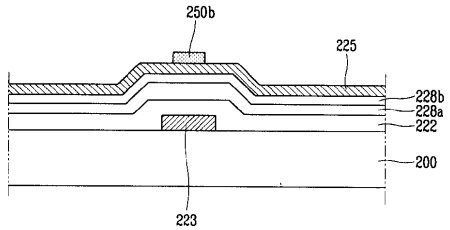
【図 2 E】



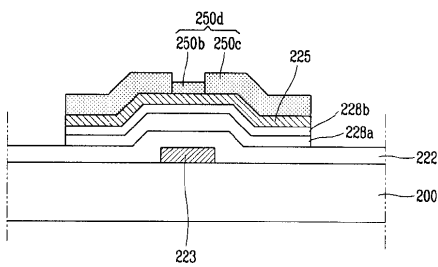
【図 2 A】



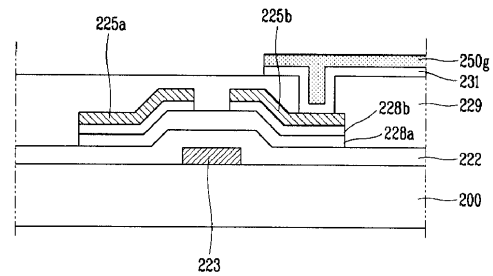
【図 2 B】



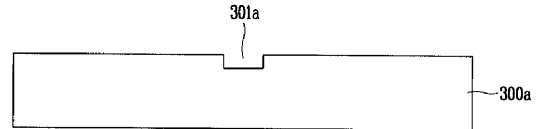
【図 2 C】



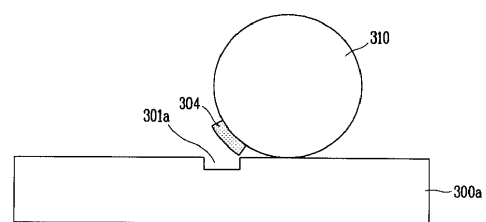
【図 2 F】



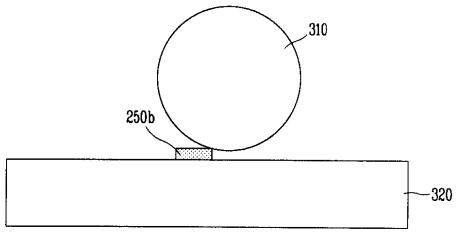
【図 3 A】



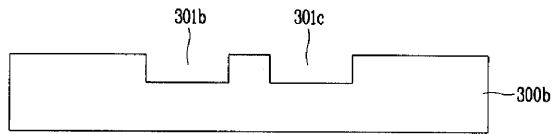
【図 3 B】



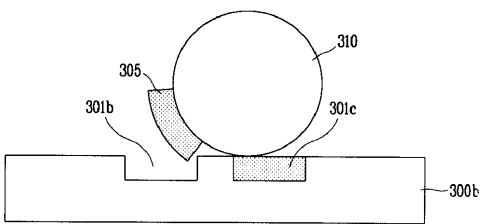
【 図 3 C 】



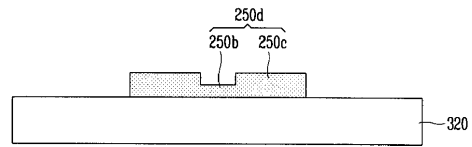
【 図 3 D 】



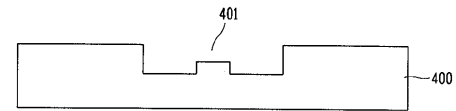
【 図 3 E 】



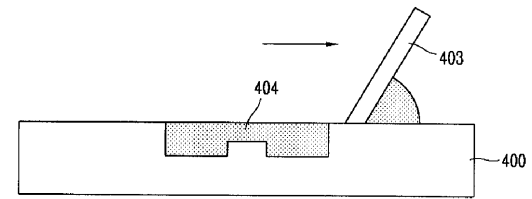
【 図 3 F 】



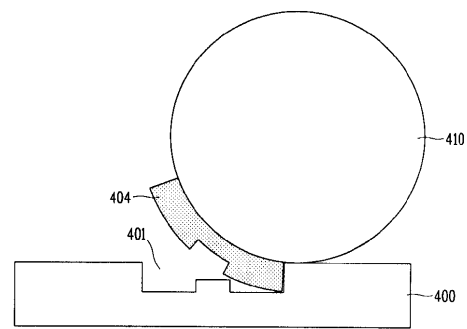
【 図 4 A 】



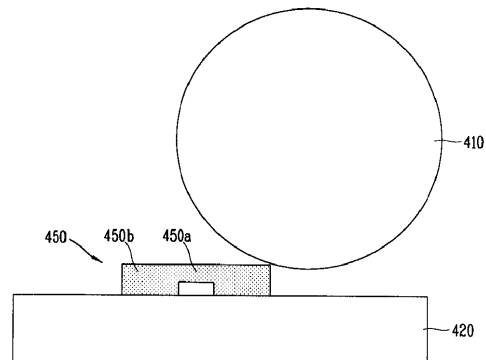
【 図 4 B 】



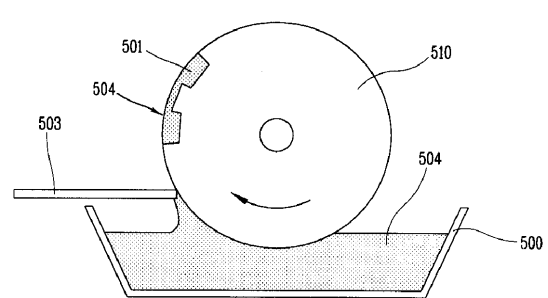
【 図 4 C 】



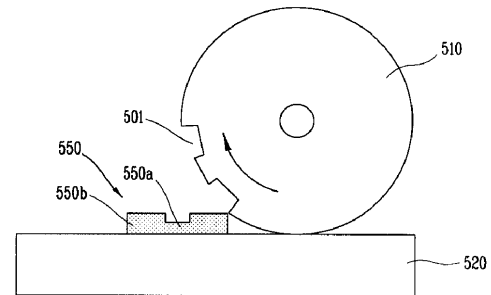
【 図 4 D 】



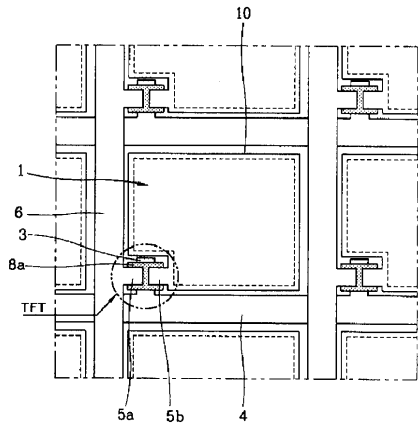
【 図 5 A 】



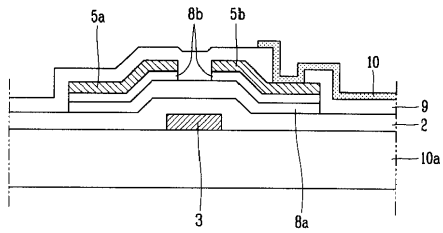
【 図 5 B 】



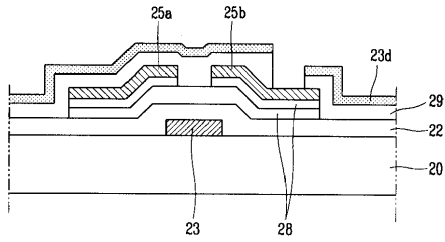
【 図 6 】



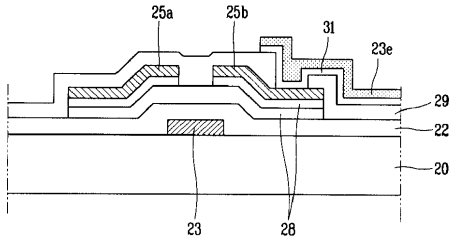
【 図 7 】



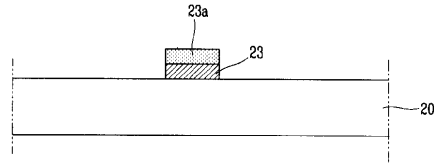
【 図 8 D 】



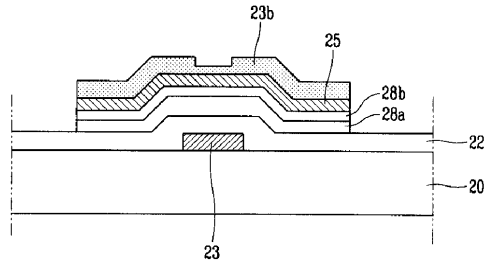
【 図 8 E 】



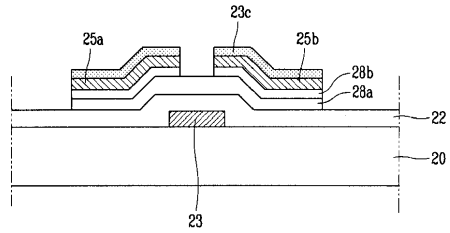
【 図 8 A 】



【 図 8 B 】



【 図 8 C 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
 H 0 1 L 29/78 H 0 1 L 29/78 6 1 2 C

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100102808

弁理士 高梨 憲通

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100107401

弁理士 高橋 誠一郎

(74)代理人 100106183

弁理士 吉澤 弘司

(72)発明者 白 明 基

大韓民国 京畿道 水原市 長安區 栗田洞 4 6 8 三星 アパート 1 0 2 - 1 4 0 2

(72)発明者 趙 容 振

大韓民国 ソウル特別市 江南區 開浦4洞 現代 アパート 2 0 5 - 5 0 1

(72)発明者 朴 權 植

大韓民国 ソウル特別市 江南區 道谷2洞 4 6 4 開浦韓信 アパート 3 - 4 0 7

F ターム(参考) 2H088 EA22 FA16 FA18 FA30 HA01 MA20

2H092 GA24 JA24 MA12 NA27 PA01 RA10

4M104 AA09 BB01 BB02 BB04 BB13 BB16 BB36 BB40 CC01 DD07

DD20 DD71 FF13 GG09

5F033 HH08 HH11 HH17 HH20 HH22 HH38 JJ38 KK17 KK20 KK22

PP06 PP15 QQ08 RR04 RR06 RR21 SS21 VV06 VV15 WW00

XX33

5F110 AA16 BB02 CC07 DD02 DD21 EE02 EE03 EE43 EE44 FF02

FF03 GG02 GG15 GG42 HK04 HK06 HK09 HK21 HK32 HK33

HK34 HL07 HL22 NN02 NN23 NN24 NN27 NN36 QQ01 QQ06

专利名称(译)	液晶显示元件的制造方法		
公开(公告)号	JP2004046144A	公开(公告)日	2004-02-12
申请号	JP2003144292	申请日	2003-05-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	白明基 趙容振 朴權植		
发明人	白明基 趙容振 朴權植		
IPC分类号	G02F1/13 G02F1/1368 G03F7/00 H01L21/00 H01L21/28 H01L21/3213 H01L21/336 H01L21/768 H01L21/77 H01L21/84 H01L27/12 H01L29/786		
CPC分类号	B82Y10/00 B82Y40/00 G02F2001/136236 G03F7/0002 H01L21/67063 H01L27/1214 H01L27/1288 H01L29/66765 H01L29/78669		
FI分类号	G02F1/13.101 G02F1/1368 H01L21/28.E H01L21/88.C H01L29/78.612.D H01L29/78.612.C		
F-TERM分类号	2H088/EA22 2H088/FA16 2H088/FA18 2H088/FA30 2H088/HA01 2H088/MA20 2H092/GA24 2H092 /JA24 2H092/MA12 2H092/NA27 2H092/PA01 2H092/RA10 4M104/AA09 4M104/BB01 4M104/BB02 4M104/BB04 4M104/BB13 4M104/BB16 4M104/BB36 4M104/BB40 4M104/CC01 4M104/DD07 4M104 /DD20 4M104/DD71 4M104/FF13 4M104/GG09 5F033/HH08 5F033/HH11 5F033/HH17 5F033/HH20 5F033/HH22 5F033/HH38 5F033/JJ38 5F033/KK17 5F033/KK20 5F033/KK22 5F033/PP06 5F033 /PP15 5F033/QQ08 5F033/RR04 5F033/RR06 5F033/RR21 5F033/SS21 5F033/VV06 5F033/VV15 5F033/WW00 5F033/XX33 5F110/AA16 5F110/BB02 5F110/CC07 5F110/DD02 5F110/DD21 5F110 /EE02 5F110/EE03 5F110/EE43 5F110/EE44 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG42 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK21 5F110/HK32 5F110/HK33 5F110 /HK34 5F110/HL07 5F110/HL22 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN36 5F110/QQ01 5F110/QQ06 2H192/AA24 2H192/BC31 2H192/CB05 2H192/HA31 2H192/HA53 2H192 /HA91		
代理人(译)	白井伸一 藤野郁夫 朝日 伸光 高桥诚一郎 吉泽博		
优先权	1020020028744 2002-05-23 KR 1020020085626 2002-12-27 KR		
其他公开文献	JP3830916B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够在不使用光刻工艺的情况下形成抗蚀剂图案的图案形成装置, 并提供一种能够简化图案化工艺的制造液晶显示元件的方法。 解决方案: 在印刷辊510上形成抗蚀剂图案504, 并且使用印刷辊510将多阶梯抗蚀剂图案550印刷在形成在基板520上的蚀刻目标层上。通过使用印刷的抗蚀剂图案550作为掩模执行蚀刻待蚀刻的层的步骤来形成图案。 [选定图]图1A

