

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 179231

(P2003 - 179231A)

(43)公開日 平成15年6月27日(2003.6.27)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 21/20	4 M 1 0 4
H 0 1 L 21/20		21/265	5 F 0 0 4
21/265		21/28	5 F 0 5 2
604		29/78	5 F 1 1 0
		604 Z	
		F	
		617 K	

審査請求 未請求 請求項の数 6 O L (全 6 数) 最終頁に続く

(21)出願番号 特願2001 - 375401(P2001 - 375401)

(22)出願日 平成13年12月10日(2001.12.10)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 寺下 俊章

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74)代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

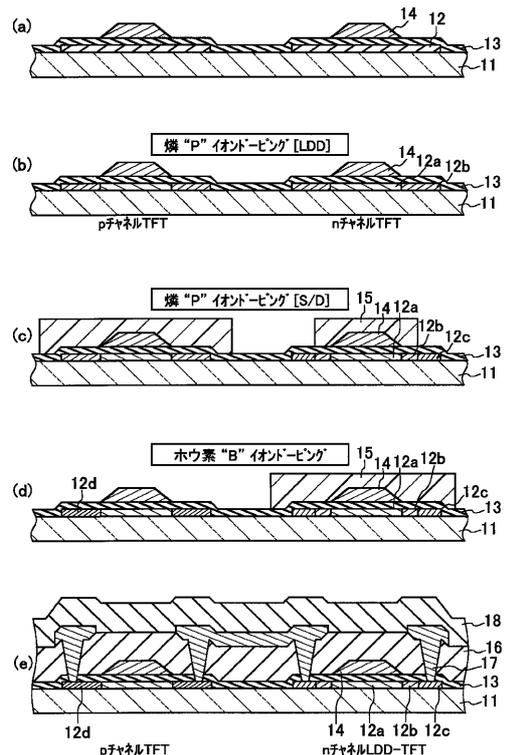
最終頁に続く

(54)【発明の名称】 薄膜トランジスタの製造方法及びそれを用いた液晶表示装置

(57)【要約】

【課題】ゲート電極の加工形状をドライエッチング条件により変化させることにより、薄膜トランジスタの閾値電圧を制御することが可能となり、製造歩留まりの良好な液晶表示装置及び薄膜トランジスタの製造方法を提供する。

【解決手段】絶縁基板1上にシリコン薄膜12を有し、シリコン薄膜12の上方に絶縁膜13を介してゲート電極14を形成し、前記ゲート電極14をマスクとして高ドーズ量の不純物を導入しソースおよびドレイン17領域を形成した薄膜トランジスタを用いた液晶表示装置であって、前記絶縁基板に対して前記ゲート電極にテーパ角度を付与し、薄膜トランジスタの閾値電圧を制御する。



【特許請求の範囲】

【請求項1】 絶縁基板上にシリコン薄膜を有し、前記シリコン薄膜の上方に絶縁膜を介してゲート電極を形成し、前記ゲート電極をマスクとして高ドーズ量の不純物を導入しソースおよびドレイン領域を形成した薄膜トランジスタを用いた液晶表示装置であって、前記絶縁基板に対して前記ゲート電極にテーパ角を付与することにより、薄膜トランジスタの閾値電圧を制御することを特徴とする薄膜トランジスタを用いた液晶表示装置。

【請求項2】 ドレイン領域が低濃度ドレイン領域(LDD)である請求項1に記載の薄膜トランジスタを用いた液晶表示装置。

【請求項3】 ガラス基板上にシリコン薄膜を有し、前記シリコン薄膜の上方に絶縁膜を介してゲート電極を形成し、前記ゲート電極をマスクとして高ドーズ量の不純物を導入しソースおよびドレイン領域を形成する薄膜トランジスタの製造方法において、前記絶縁基板に対して前記ゲート電極にテーパ角度を付与するためエッチング加工して薄膜トランジスタの閾値電圧を制御する薄膜トランジスタを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 ドレイン領域が低濃度ドレイン領域(LDD)である請求項1に記載の薄膜トランジスタの製造方法。

【請求項5】 エッチング加工が、反応ガスを用いたドライエッチング法である請求項3または4に記載の薄膜トランジスタの製造方法。

【請求項6】 前記不純物導入手段が、非質量分離型のイオンドーピング法である請求項3または4に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多結晶シリコン薄膜トランジスタ(以下TFETと略す)の製造方法及び液晶表示装置に関する。

【0002】

【従来の技術】図5に従来例として多結晶シリコンを活性層に用いた相補型金属酸化膜半導体(CMOS)構成の液晶表示装置用アクティブマトリクスアレイの製造方法の一例を説明する。

【0003】図5(a)に示したように透光性基板11(高耐熱ガラス基板)上に非晶質シリコン薄膜をプラズマ気相成長法(PCVD法)により形成し、窒素雰囲気中で450の熱処理を行い非晶質シリコン薄膜中の水素濃度を低減する。その後、エキシマレーザー照射により非晶質シリコン薄膜を結晶化し活性層となる多結晶シリコン薄膜12を形成する。前記多結晶シリコン薄膜を島状に加工し、ゲート絶縁膜13となる酸化シリコン薄膜を形成する。次いで前記酸化シリコン薄膜上にMo-W合金からなるゲート電極14を形成する。ゲート電極は、IC

P(Inductively Coupled Plasma)方式のドライエッチング装置を用いて、六フッ化硫黄(SF₆)と酸素(O₂)を10:1の比率で混合したガスにて圧力9.3Pa(70mTorr)、ICP電力2.0W/cm²、バイアス電力0.3W/cm²にて実施する。このとき、ゲート電極の加工形状(テーパ角)は約80°から90°である。ゲート電極形成後、図5(b)に示したようにゲート電極をマスクとしてイオン注入法にて第一の不純物注入を行い、低濃度不純物注入領域(n⁻領域):12bを形成する。第一の不純物注入は燐(P)イオンを、加速電圧80kV、ドーズ量3×10¹³/cm²にて注入する。このときゲート電極の下の多結晶シリコン薄膜は薄膜トランジスタのチャネル領域13aとなり、チャネル領域への不純物注入はゲート電極により阻止される。第一の不純物注入後、図5(c)に示したようにフォトリソ15にて薄膜トランジスタのnチャネルLDD領域上ならびにpチャネル薄膜トランジスタにフォトリソを用いた注入マスクを形成したのち、nチャネル薄膜トランジスタのソースおよびドレイン領域形成のため燐イオンを高濃度に注入し(n⁺領域):12cを形成する。燐(P)イオンは加速電圧80kV、ドーズ量1×10¹⁵/cm²にて注入する。その後、図5(d)に示したようにnチャネル薄膜トランジスタ上にフォトリソを用いた注入マスクを形成したのち、pチャネル薄膜トランジスタのソースおよびドレイン領域形成のためホウ素イオンを高濃度に注入し(p⁺領域):12dを形成する。ホウ素(B)イオンは加速電圧60kV、ドーズ量8×10¹⁴/cm²にて注入する。ホウ素イオン注入後、フォトリソマスクを除去し、注入した不純物の活性化処理をおこなう。活性化処理は600、2時間行った。活性化処理後、図5(e)に示したように層間絶縁膜:16を形成する。層間絶縁膜形成後、コンタクトホールを開口し、ソース・ドレイン電極:17を形成する。ソースおよびドレイン電極形成後、窒化シリコン薄膜からなる保護絶縁膜18を形成する。最後に水素雰囲気にて400、2時間の熱処理を行い窒化シリコン薄膜中の水素を多結晶シリコン膜中へ拡散させ膜中の結晶欠陥を補償(水素化)することにより薄膜トランジスタが完成する。

【0004】

【発明が解決しようとする課題】多結晶シリコンを活性層に用いた薄膜トランジスタはその電子移動度が大きく周辺駆動回路の一部あるいは全てを同一基板上に形成できるため、高精度・低コストパネルとして開発が盛んである。しかしながら従来例で示した多結晶シリコン薄膜トランジスタの製造方法においては、多結晶シリコン表面が放置雰囲気により汚染され、ゲート絶縁膜を形成するまでの待機時間や放置場所によって薄膜トランジスタの閾値電圧の値が変化するという課題が生じる。

【0005】本発明は、前記従来の問題を解決するため、前記ゲート電極の加工形状をドライエッチング条件

により変化させることにより、薄膜トランジスタの閾値電圧を制御することが可能となり、製造歩留まりの良好な液晶表示装置及び薄膜トランジスタの製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】この課題を解決するために本発明の薄膜トランジスタを用いた液晶表示装置は、絶縁基板上にシリコン薄膜を有し、前記シリコン薄膜の上方に絶縁膜を介してゲート電極を形成し、前記ゲート電極をマスクとして高ドーズ量の不純物を導入しソースおよびドレイン領域を形成した薄膜トランジスタを用いた液晶表示装置であって、前記絶縁基板に対して前記ゲート電極にテーパ角を付与することにより、薄膜トランジスタの閾値電圧を制御することを特徴とする。

【0007】次に本発明の薄膜トランジスタの製造方法は、ガラス基板上にシリコン薄膜を有し、前記シリコン薄膜の上方に絶縁膜を介してゲート電極を形成し、前記ゲート電極をマスクとして高ドーズ量の不純物を導入しソースおよびドレイン領域を形成する薄膜トランジスタの製造方法において、前記絶縁基板に対して前記ゲート電極にテーパ角度を付与するためエッチング加工して薄膜トランジスタの閾値電圧を制御する薄膜トランジスタを形成することを特徴とする。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について、図1から図4を用いて説明する。

【0009】（実施の形態1）以下に図面を基に本発明のC-MOS構成液晶表示装置用アクティブマトリクスアレイの製造方法の一例を図1に説明する。

【0010】図1(a)に示したように透光性基板11（高耐熱ガラス基板）上に非晶質シリコン薄膜をプラズマ相成長法（PCVD法）により形成し、窒素雰囲気中で450の熱処理を行い非晶質シリコン薄膜中の水素濃度を低減した。その後、エキシマレーザー照射により非晶質シリコン薄膜を結晶化し活性層となる多結晶シリコン薄膜13を形成した。前記多結晶シリコン薄膜を島状に加工し、ゲート絶縁膜14となる酸化シリコン薄膜を形成した。つぎに前記酸化シリコン薄膜上ゲート電極を形成した。このとき、ゲート電極はMo-W合金（W比率35%）をドライエッチングにより加工して形成しており、SF₆（六弗化硫黄）と酸素（O₂）の混合ガスを用いたICP（Inductively Coupled Plasma）方式ドライエッチングにてSF₆/O₂=1:2、圧力93mPa（70mTorr）、ICP電力1.5W/cm²、バイアス電力0.2W/cm²にてエッチングした。図2にゲート電極加工形状の酸素流量依存性を示す。総流量に対して酸素流量比率を増加するに従い、加工形状は減少する。なお、ここで用いた条件によるゲート電極加工形状は約30°である。エッチング後、図1(b)に示したようにゲート電極をマスクとして非質量分離型のイオンドーピング法にて第一の不純物注入を行い、低濃度不純

物注入領域（n⁻領域）：13bを形成した。第一の不純物注入は磷（P）イオンを、加速電圧80kV、ドーズ量 $3 \times 10^{13}/\text{cm}^2$ にて注入した。チャンネル領域は本来ゲート電極が不純物注入を阻止するマスクとなるが、前記ゲート電極の加工形状により、ゲート電極の膜厚の薄くなったnチャンネル薄膜トランジスタのチャンネル領域端部においてはゲート電極越しに微量の不純物が注入される。第一の不純物（磷）注入後、図1(c)に示したようにフォトレジスト15にて薄膜トランジスタのnチャンネルLD領域上ならびにpチャンネル薄膜トランジスタにフォトレジストを用いた注入マスクを形成したのち、nチャンネル薄膜トランジスタのソースおよびドレイン領域形成のため磷イオンを高濃度に注入し（n⁺領域）13cを形成した。磷（P）イオンは加速電圧80kV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ にて注入した。その後、図1(d)に示したようにnチャンネル薄膜トランジスタ上にフォトレジストを用いた注入マスクを形成し、pチャンネル薄膜トランジスタのソースおよびドレイン領域形成のためホウ素イオンを高濃度に注入し（p⁺領域）13dを形成した。ホウ素（B）イオンは加速電圧60kV、ドーズ量 $8 \times 10^{14}/\text{cm}^2$ にて注入した。この時pチャンネル薄膜トランジスタにはレジストマスクを形成せずゲート電極を用いて自己整合でホウ素イオンを注入した。ここでも、nチャンネル薄膜トランジスタ同様に、前記ゲート電極の加工形状により、ゲート電極の膜厚の薄くなったpチャンネル薄膜トランジスタのチャンネル領域端部へゲート電極越しに微量の不純物が注入される。ホウ素イオン注入後、フォトレジストマスクを除去し、注入した不純物の活性化処理を行った。活性化処理は水素雰囲気中、600、1時間の熱処理にて行った。この活性化処理はバッチ方式の熱処理炉を用い、処理後の降温過程で炉内温度が300になった時点で高周波電力を印加し水素プラズマを生成した状態で1時間保持した後、取り出しを行う。この活性化処理により、前記不純物注入工程でチャンネル領域の端部に注入された磷およびホウ素が薄膜トランジスタのチャンネル領域全域に拡散する。図3に薄膜トランジスタ閾値電圧のゲート電極加工形状依存性の一例を示す。ゲート電極の加工形状の変化に従い薄膜トランジスタのチャンネル領域の端部へ注入される不純物イオンの量も変化し、薄膜トランジスタの閾値電圧を制御することができた。活性化処理後、図1(e)に示したように層間絶縁膜16を形成した。本実施例の層間絶縁膜にはプラズマCVD法にて形成した酸化シリコンを用いている。酸化シリコンはテトラエトキシラン（TEOS）と酸素の混合ガスを用い、基板温度300、放電電力0.1W/cm²にて形成している。層間絶縁膜形成後、ドライエッチングにてコンタクトホールを開口した。ドライエッチングは、平行平板型リアクティブイオンエッチング法を用い、反応ガスとして四弗化炭素（CF₄）と三弗化メタン（CHF₃）の混合ガスを用いた。コンタクトホール開口後、チタン（Ti）薄膜上に

アルミニウム (Al) を積層したソース・ドレイン電極：17を形成した。ソースおよびドレイン電極形成後、プラズマCVD法にて窒化シリコン薄膜(400nm)からなる保護絶縁膜18を形成し、水素雰囲気にて350℃、1時間の熱処理を行い薄膜トランジスタが完成した。

【0011】本発明に示したようにアクティブマトリックスアレイの製造過程で、ゲート電極の加工形状をドライエッチング条件により変化させることにより、薄膜トランジスタの閾値電圧が制御でき、薄膜トランジスタの製造歩留まりを改善できた。

【0012】なお、本実施例ではゲート電極パターンをnチャネル薄膜トランジスタとpチャネル薄膜トランジスタのゲート電極を一括で形成したが、使用するフォトマスク及びプロセスフローの変更により、nチャネル薄膜トランジスタとpチャネル薄膜トランジスタのゲート電極を別々に形成してもよい。また、この場合はnチャネル薄膜トランジスタとpチャネル薄膜トランジスタのゲート電極加工形状を独立して制御できるため、より精度の高い閾値電圧制御が可能となる。

【0013】(実施の形態2)図4は図1のアクティブマトリックスアレイを用いて作製した液晶表示装置の構成断面図の一例で、画素部を拡大表示したものである。透光性基板11上に形成したアクティブマトリックスと対向基板41の間に配向膜42を介して液晶43が保持されており薄膜トランジスタをスイッチング素子として画素電極44を駆動して液晶を充電し画像表示を行っている。本発明の薄膜トランジスタアレイは従来例の製造方法で作製した薄膜トランジスタアレイに比較して、ゲート電極の加工形状をドライエッチング条件によって変化させることにより、薄膜トランジスタの閾値電圧を制御することが可能となり、製造歩留まりの良好な液晶表示装置を実現できた。ここで、45はブラックマトリクス、46は偏光板、47はカラーフィルター、48は透明導電層である。

【0014】

【発明の効果】本発明に示したようにガラス基板上にシリコン薄膜を有し、前記シリコン薄膜の上方に絶縁膜を

介してゲート電極を形成する工程を有し、前記ゲート電極をマスクとして不純物を導入する薄膜トランジスタの製造方法において、前記ゲート電極の加工形状をドライエッチング条件により変化させることにより、薄膜トランジスタの閾値電圧を制御することが可能となり、製造歩留まりの良好な液晶表示装置を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例の薄膜トランジスタアレイの断面構成図

10 【図2】本発明の一実施例のゲート電極加工形状の酸素流量依存性を示す図

【図3】本発明の一実施例の薄膜トランジスタの閾値電圧のゲート電極形状依存性の一例を示す図

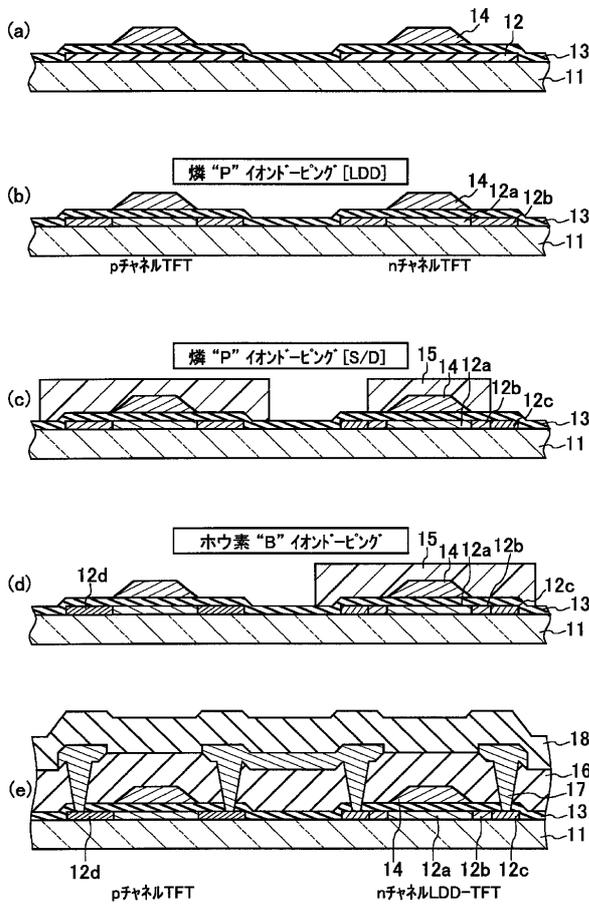
【図4】本発明の一実施例の液晶表示装置の断面構成図

【図5】従来例の薄膜トランジスタアレイの断面構成図

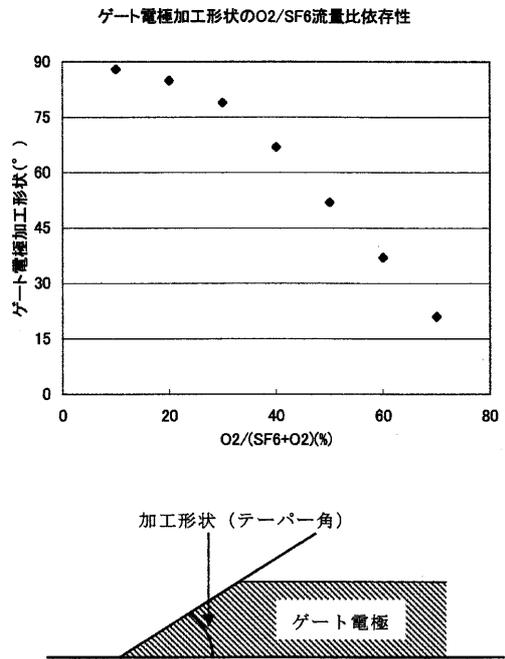
【符号の説明】

- 11 ガラス基板
- 12 多結晶シリコン
- 12a チャンネル領域
- 12b 低濃度不純物注入領域(LDD領域)
- 12c, 12d 高濃度不純物注入領域(ソース及びドレイン領域)
- 13 酸化シリコン薄膜
- 14 ゲート電極
- 15 フォトレジスト
- 16 層間絶縁膜
- 17 ソース及びドレイン電極
- 18 保護絶縁膜(窒化シリコン)
- 41 対向基板
- 42 配向膜
- 43 液晶
- 44 画素電極
- 45 ブラックマトリクス
- 46 偏光板
- 47 カラーフィルター
- 48 透明導電層

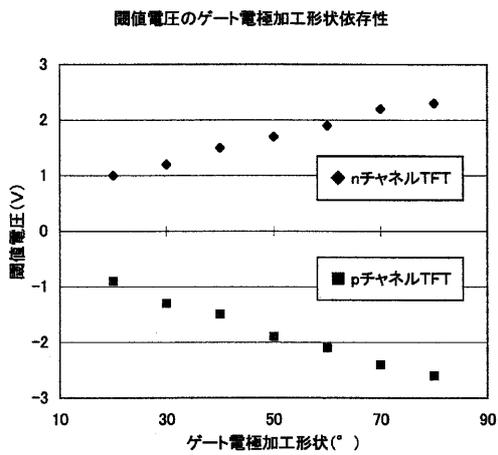
【図1】



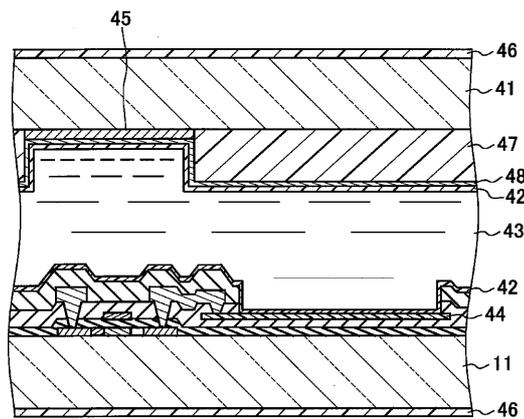
【図2】



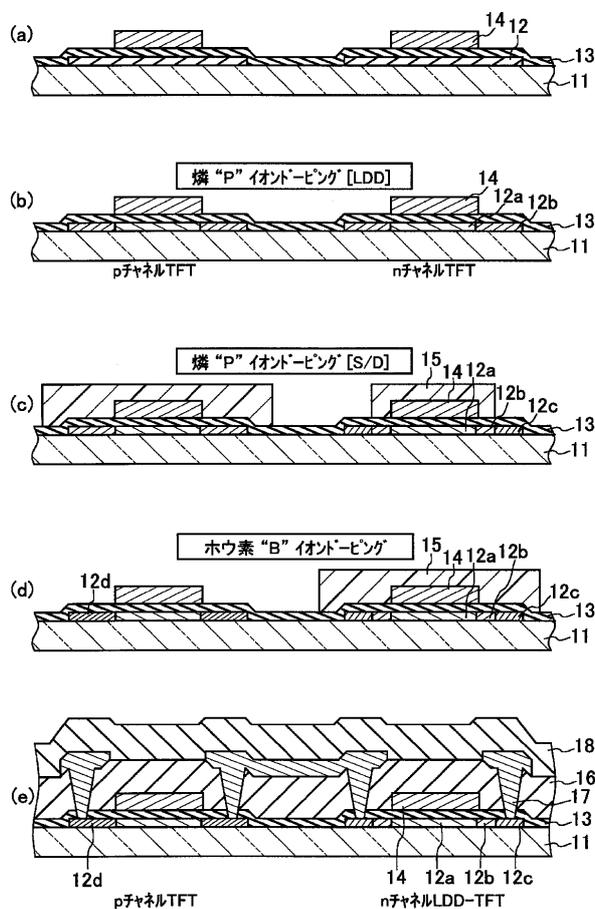
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
H 0 1 L 21/28		H 0 1 L 29/78	6 1 6 A
21/3065		21/302	A
21/336		21/265	F

F タ-ム(参考) 2H092 JA24 JA42 KA10 MA19 MA27
 NA24 NA29
 4M104 AA09 BB16 CC05 DD65 DD82
 DD91 FF08 GG20
 5F004 AA16 BA20 CA06 DA18 DA26
 DB10 EB02
 5F052 AA02 BB07 DA02 DB03 JA01
 5F110 AA08 BB02 BB04 CC02 DD02
 EE06 EE23 FF02 GG02 GG13
 GG45 HJ01 HJ04 HJ12 HJ23
 HL03 HL04 HL11 HM15 NN02
 NN03 NN23 NN24 NN35 NN72
 PP03 PP35 QQ04 QQ11 QQ24

专利名称(译)	制造薄膜晶体管的方法和使用该方法的液晶显示装置		
公开(公告)号	JP2003179231A	公开(公告)日	2003-06-27
申请号	JP2001375401	申请日	2001-12-10
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	寺下俊章		
发明人	寺下 俊章		
IPC分类号	G02F1/1368 H01L21/20 H01L21/265 H01L21/28 H01L21/302 H01L21/3065 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 H01L21/20 H01L21/265.604.Z H01L21/28.F H01L29/78.617.K H01L29/78.616.A H01L21/302.A H01L21/265.F H01L21/28.E H01L21/302.101.C H01L21/302.104.Z		
F-TERM分类号	2H092/JA24 2H092/JA42 2H092/KA10 2H092/MA19 2H092/MA27 2H092/NA24 2H092/NA29 4M104/AA09 4M104/BB16 4M104/CC05 4M104/DD65 4M104/DD82 4M104/DD91 4M104/FF08 4M104/GG20 5F004/AA16 5F004/BA20 5F004/CA06 5F004/DA18 5F004/DA26 5F004/DB10 5F004/EB02 5F052/AA02 5F052/BB07 5F052/DA02 5F052/DB03 5F052/JA01 5F110/AA08 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/EE06 5F110/EE23 5F110/FF02 5F110/GG02 5F110/GG13 5F110/GG45 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL11 5F110/HM15 5F110/NN02 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/PP03 5F110/PP35 5F110/QQ04 5F110/QQ11 5F110/QQ24 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CC02 2H192/EA22 2H192/EA43 2H192/HA36 2H192/HA63 2H192/HA84 5F152/BB02 5F152/CC02 5F152/CE05 5F152/CE14 5F152/CE45 5F152/FF03		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置和制造薄膜晶体管的方法，其可以通过根据干蚀刻条件改变栅电极的处理形状来控制薄膜晶体管的阈值电压，并且具有良好的制造产量。 解决方案：在绝缘基板1上形成硅薄膜12，在硅薄膜12上方形成栅电极14，其间插入绝缘膜13，通过使用栅电极14作为掩模引入高剂量的杂质一种液晶显示装置，其使用薄膜晶体管，其中形成源区和漏区，其中对所述栅电极施加锥角到所述绝缘基板以控制所述薄膜晶体管的阈值电压。

