

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2003 - 162262

( P2003 - 162262A )

(43)公開日 平成15年6月6日 (2003.6.6)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-ド* ( 参考 )
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 J 5 C 0 8 0
	621		621 M
	623		623 D

審査請求 未請求 請求項の数 19 O L ( 全 14数 ) 最終頁に続く

(21)出願番号 特願2001 - 360961(P2001 - 360961)

(22)出願日 平成13年11月27日 (2001.11.27)

(71)出願人 302036002  
 富士通ディスプレイテクノロジー株式会社  
 神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 関戸 哲  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 富士通株式会社内

(72)発明者 形川 晃一  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 富士通株式会社内

(74)代理人 100108187  
 弁理士 横山 淳一

最終頁に続く

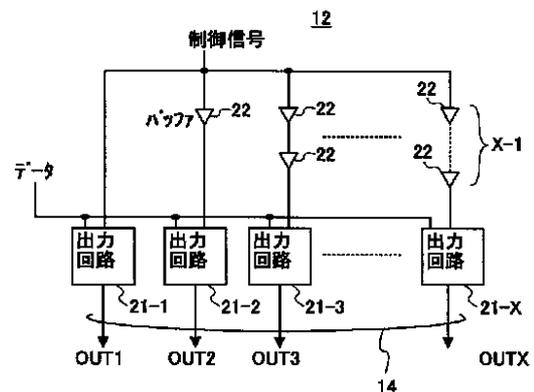
(54)【発明の名称】 液晶パネル駆動回路及び液晶表示装置

(57)【要約】

【課題】本発明は、十分なデータ書き込み時間を確保した液晶表示装置の駆動回路を提供することを目的とする。

【解決手段】液晶パネル駆動回路は、液晶パネルの複数のデータバスラインにそれぞれ接続され液晶駆動電圧を出力する複数の出力回路を含み、複数のデータバスラインの先頭ラインから最終ラインまで順番に大きくなる遅延量で出力回路から液晶駆動電圧を出力する。

本発明によるデータドライバの第1実施例の一例を示す図



## 【特許請求の範囲】

【請求項1】液晶パネルの複数のデータバスラインにそれぞれ接続され液晶駆動電圧を出力する複数の出力回路を含み、該複数のデータバスラインの先頭ラインから最終ラインまで順番に大きくなる遅延量で該出力回路から該液晶駆動電圧を出力することを特徴とする液晶パネル駆動回路。

【請求項2】制御信号を遅延させ遅延量が異なる該制御信号を該出力回路に供給する遅延素子列を更に含み、該複数の出力回路は該制御信号のタイミングに応じたタイ

ミングで該液晶駆動電圧を出力することを特徴とする請求項1記載の液晶パネル駆動回路。

【請求項3】該最終ラインに対応する該出力回路に供給する該制御信号を外部に出力することを特徴とする請求項2記載の液晶パネル駆動回路。

【請求項4】該出力回路毎に設けられるスイッチ回路を更に含み、該スイッチ回路は該遅延量が異なる該制御信号の少なくとも2つのうちの1つを選択して対応する出力回路に供給することを特徴とする請求項2記載の液晶パネル駆動回路。

【請求項5】複数のデータバスラインと複数のゲートバスラインを含む液晶パネルと、該複数のゲートバスラインを駆動するゲートドライバと、該複数のデータバスラインの先頭ラインから最終ラインまで順番に大きくなる遅延量で該複数のデータバスラインに液晶駆動電圧を出力するデータドライバを含むことを特徴とする液晶表示装置。

【請求項6】該データドライバは、該複数のデータバスラインにそれぞれ接続され該液晶駆

動電圧を出力する複数の出力回路と、制御信号を遅延させ遅延量が異なる該制御信号を該出力回路に供給する遅延素子列を更に含み、該複数の出力回路は該制御信号のタイミングに応じたタイミングで該液晶駆動電圧を出力することを特徴とする請求項5記載の液晶表示装置。

【請求項7】該データドライバは複数のデータドライバを含み、各データドライバ内での最終ラインに対応する該出力回路に供給する該制御信号を次段のデータドライバに供給する形で該複数のデータドライバがカスケード

接続されることを特徴とする請求項6記載の液晶表示装置。

【請求項8】該データドライバは該出力回路毎に設けられるスイッチ回路を更に含み、該スイッチ回路は該遅延量が異なる該制御信号の少なくとも2つのうちの1つを選択して対応する出力回路に供給することを特徴とする請求項6記載の液晶表示装置。

【請求項9】複数のゲートバスラインと複数のデータバスラインを含む液晶パネルと、該複数のゲートバスラインをゲートパルスで駆動するゲ

ートドライバと、該複数のゲートバスラインを伝播する該ゲートパルスの遅延量を検出する検出回路と、該検出回路が検出した該遅延量に応じて該複数のデータバスラインを駆動するデータパルスのタイミングを遅らせるデータドライバを含むことを特徴とする液晶表示装置。

【請求項10】該検出回路は、該複数のゲートバスラインの該ゲートドライバ側の第1の点から第1のパルス波形を受け取ると共に、該複数のゲートバスラインの該ゲートドライバ側とは反対側の第2の点から第2のパルス波形を受け取り、該第1のパルス波形の立ち上がり

と該第2のパルス波形の立ち上がりの時間差を該遅延量として検出することを特徴とする請求項9記載の液晶表示装置。

【請求項11】該検出回路は、該第1のパルス波形の立ち上がりでセットされ、該第2のパルス波形の立ち上がりでリセットされるフリップフロップを含むことを特徴とする請求項10記載の液晶表示装置。

【請求項12】該検出回路の該フリップフロップの出力と、クロック信号と、リセット信号とを受け取るカウンタ回路を更に含み、該カウンタ回路は、該リセット信号によりリセットされた後に該クロック信号のクロックパルス

をカウントし、該フリップフロップの出力がセット状態の間該クロックパルスのカウントを停止し、カウント値が所定数になるとパルス信号を生成することを特徴とする請求項11記載の液晶表示装置。

【請求項13】該データドライバは該カウンタ回路から出力される該パルス信号のタイミングに応じたタイミングで該データパルスを該データバスラインに出力することを特徴とする請求項12記載の液晶表示装置。

【請求項14】液晶パネルのデータバスラインに接続されて該データバスラインに表示データを供給する液晶パネル駆動回路であって、

該表示データ及びクロック信号を受け取る入力端と、該表示データを該データバスラインに出力する第1の出力端と、該表示データと該クロック信号の同期をとる回路と、該回路によって該クロック信号に同期された該表示データを次段の液晶パネル駆動回路に出力する第2の出力端を含むことを特徴とする液晶パネル駆動回路。

【請求項15】該回路はレジスタ回路であることを特徴とする請求項14記載の液晶パネル駆動回路。

【請求項16】カスケード信号と該クロック信号の同期をとるレジスタ回路と、該レジスタ回路によって該クロック信号に同期された該カスケード信号を次段の液晶パネル駆動回路に出力する第3の出力端を更に含むことを特徴とする請求項14記載の液晶パネル駆動回路。

【請求項17】ゲートバスラインとデータバスラインを

含む液晶パネルと、  
 該ゲートバスラインを駆動する複数のゲートドライバ  
 と、  
 該データバスラインを駆動する複数のデータドライバを  
 含み、該複数のデータドライバはカスケード接続され、  
 表示データ及びクロック信号を受け取る入力端と、  
 該表示データを該データバスラインに出力する第 1 の出  
 力端と

該表示データと該クロック信号の同期をとる回路と、  
 該回路によって該クロック信号に同期された該表示デー 10  
 タを次段のデータドライバに出力する第 2 の出力端を含  
 むことを特徴とする液晶表示装置。

【請求項 18】該回路はレジスタ回路であることを特徴  
 とする請求項 17 記載の液晶表示装置。

【請求項 19】該複数のデータドライバは、  
 カスケード信号と該クロック信号の同期をとるレジスタ  
 回路と、  
 該レジスタ回路によって該クロック信号に同期された該  
 カスケード信号を次段の液晶パネル駆動回路に出力する  
 第 3 の出力端を更に含むことを特徴とする請求項 17 記 20  
 載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネル駆動回  
 路及び液晶表示装置に関する。

【0002】

【従来の技術】液晶パネルでは、トランジスタを含む画  
 素が縦横に配置され、横方向に延びるゲートバスライン  
 が各画素のトランジスタのゲートに接続され、縦方向に  
 延びるデータバスラインがトランジスタを介して各画素 30  
 のコンデンサに接続される。液晶パネルにデータ表示す  
 る際には、ゲートドライバによりゲートバスラインを 1  
 ラインずつ順次駆動して 1 ライン分のトランジスタを導  
 通状態にし、導通されたトランジスタを介して、データ  
 ドライバから各画素に横 1 ライン分のデータを一斉に書  
 き込む。

【0003】液晶のゲートを駆動する際は、ゲートバス  
 ラインの抵抗や容量等の負荷により、ゲートドライバか  
 ら遠くなるほどゲート波形になまりが発生してしまう。  
 この波形のなまりによって、ゲートドライバに近い位置 40  
 と遠い位置とではゲートが開く期間のタイミングが異な  
 ってしまう。具体的には、ゲートドライバから遠い位置  
 においては、ゲートドライバに近い位置に比較して、ゲ  
 ートのオープン時間のタイミングが遅くなる。従って、  
 データドライバからの液晶駆動電圧の出力タイミング  
 は、ゲート波形のなまりを考慮して設定する必要があ  
 る。

【0004】

【発明が解決しようとする課題】ゲート波形のなまりに  
 より、ゲートドライバから遠い位置においてゲートのオ 50

ープン時間のタイミングが遅くなると、本来この位置の  
 画素に書き込むべきデータではなく、次のタイミングの  
 データ（次のラインのデータ）が書き込まれてしまう可  
 能性がある。これを避けるためには、ゲートドライバか  
 ら遠い位置のゲートタイミングに合わせて、データドラ  
 イバによるデータ書き込み時間を設定する必要がある。  
 しかしこのように設定すると、ゲートドライバに近いほ  
 うの位置におけるデータ書き込み時間を削る結果とな  
 る。

【0005】液晶パネルが高精細化すると、水平周期が  
 短くなり十分なデータ書き込み時間を確保することが難  
 しくなる。また液晶パネルのサイズが大型化すると、ゲ  
 ートバスライン長が長くなり、ゲート波形のなまりの影  
 響が更に大きくなる。従って、液晶パネルが高精細及び  
 大型になる程、十分なデータ書き込み時間を確保するこ  
 とが難しくなる。

【0006】以上を鑑みて、本発明は、十分なデータ書  
 き込み時間を確保した液晶表示装置の駆動回路を提供す  
 ることを目的とする。

【0007】またデータドライバによるデータ書き込み  
 時間の設定は、液晶パネルが高精細及び大型になる程、  
 十分な精度が必要になる。従来においてデータ書き込み  
 時間の設定は、特定の液晶パネルに対して検査した値を  
 他機種の液晶パネルに適用したり、長年蓄積されたノウ  
 ハウに基づいて決定した値を種々の液晶パネルに適用し  
 たりしていたので、ある種の液晶パネルでは書き込み不  
 良を起こす場合等があった。

【0008】従って、本発明は、液晶パネルの機種やゲ  
 ートバスラインの遅延特性に関わらず、安定して高精度  
 にデータ書き込み時間を設定する液晶表示装置を提供す  
 ることを目的とする。

【0009】また液晶表示装置の物理的なサイズが限ら  
 れた状態で表示サイズを大きくするためには、表示部分  
 の周囲にある額縁部分を削る必要がある。このために  
 は、複数ドライバに対する入力信号線を、従来のように  
 額縁部分に配線基板を設けてこの配線基板上に設けるの  
 ではなく、液晶パネル内（TFT 基板上）に直接に配線  
 し、複数のドライバをカスケード接続することが望まし  
 い。

【0010】従って、本発明は、液晶パネル内に信号線  
 を配線し複数のドライバをカスケード接続する構成にお  
 いて、信号伝播距離の差による遅延や波形鈍りに関係な  
 く、適切な制御タイミングで動作可能なデータドライバ  
 を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明による液晶パネル  
 駆動回路は、液晶パネルの複数のデータバスラインにそ  
 れぞれ接続され液晶駆動電圧を出力する複数の出力回路  
 を含み、該複数のデータバスラインの先頭ラインから最  
 終ラインまで順番に大きくなる遅延量で該出力回路から

該液晶駆動電圧を出力することを特徴とする。

【0012】上記発明においては、データドライバにより液晶駆動電圧を供給するタイミングを、ゲートドライバからの各データバスラインの距離に応じて調整することにより、ゲートドライバからの距離によらず一定のデータ書き込み時間を確保することが出来る。

【0013】また本発明による液晶表示装置は、複数のゲートバスラインと複数のデータバスラインを含む液晶パネルと、該複数のゲートバスラインをゲートパルスで駆動するゲートドライバと、該複数のゲートバスラインを伝播する該ゲートパルスの遅延量を検出する検出回路と、該検出回路が検出した該遅延量に応じて該複数のデータバスラインを駆動するデータパルスのタイミングを遅らせるデータドライバを含むことを特徴とする。

【0014】上記発明による液晶表示装置では、実際のゲートパルスの遅延を検出して、その遅延量だけデータパルスを遅らせるので、液晶パネルの機種やゲートバスラインの遅延特性に関わらず、安定して高精度にデータ書き込み時間を設定することが出来る。

【0015】また本発明による液晶パネル駆動回路は、液晶パネルのデータバスラインに接続されて該データバスラインに表示データを供給する液晶パネル駆動回路であって、該表示データ及びクロック信号を受け取る入力端と、該表示データを該データバスラインに出力する第1の出力端と、該表示データと該クロック信号の同期をとる回路と、該回路によって該クロック信号に同期された該表示データを次段の液晶パネル駆動回路に出力する第2の出力端を含むことを特徴とする。

【0016】上記発明によるデータドライバにおいては、次段に出力する表示データ信号については、データドライバ内部で使用されているクロック信号と同期を取って出力する。これにより、パネル内配線の距離の差による遅延や波形鈍りに関係なく、適切な制御タイミングでデータドライバを駆動することが可能となる。

【0017】

【発明の実施の形態】以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0018】図1は、本発明の原理を説明するための図である。

【0019】図1の本発明による液晶表示装置は、液晶パネル10、ゲートドライバ11、データドライバ12、ゲートバスライン13、及びデータバスライン14を含む。ゲートバスライン13とデータバスライン14との交差部に各画素が配置される。各画素において、ゲートバスライン13がトランジスタのゲートに接続され、データバスライン14がトランジスタを介して各画素のコンデンサに接続される。液晶パネルにデータ表示する際には、ゲートドライバ11によりゲートバスライン13を1ラインずつ順次駆動して1ライン分のトランジスタを導通状態にし、導通されたトランジスタを介し

て、データドライバ12から各画素に横1ライン分のデータを一斉に書き込む。

【0020】図2は、トランジスタが導通するタイミングを説明するタイミング図である。図2(a)は、図1の点Aにおいて、ゲートバスライン13から画素のゲートに印加される電圧を示す。図2(b)は、図1の点Bにおいて、ゲートバスライン13から画素のゲートに印加される電圧を示す。各電圧波形が点線で示されるトランジスタの閾値を超えている間、トランジスタが導通状態、即ちゲートが開いている状態となる。図2に示されるように、ゲートドライバ11から遠い点Bにおいては、ゲートドライバ11に近い点Aに比較して、ゲートのオープン期間のタイミングが遅くなっている。この状態で、従来技術のように点Bのタイミングに合わせてデータドライバ12から液晶駆動電圧(データ)を供給したのでは、点Aにおいて充分なデータ書き込み時間を確保することが困難である。

【0021】本発明においては、データドライバ12により液晶駆動電圧を供給するタイミングを、ゲートドライバ11からの各データバスライン14の距離に応じて調整することにより、ゲートドライバ11からの距離によらず一定のデータ書き込み時間を確保する。図3は、本発明においてデータドライバが液晶駆動電圧を供給するタイミングを示す図である。

【0022】図3(a)は、図1の点Aにおいて、ゲートバスライン13から画素のゲートに印加される電圧を示す。図3(b)は、図1の点Bにおいて、ゲートバスライン13から画素のゲートに印加される電圧を示す。図3(c)は、図1の点Aに対応するデータバスライン14に、データドライバ12から供給される液晶駆動電圧を示す。図3(b)は、図1の点Bに対応するデータバスライン14に、データドライバ12から供給される液晶駆動電圧を示す。

【0023】図3(a)及び(b)に示されるように、ゲートのオープン期間は、点Aに対して点Bにおいて時間Tだけ遅れている。本発明においては、図3(c)及び(d)に示されるように、データドライバ12が供給する液晶駆動電圧のタイミングを調整することで、点Aに対する液晶駆動電圧(図3(c))の供給タイミングに対して、点Bに対する液晶駆動電圧(図3(d))の供給タイミングを時間Tだけ遅らせる。これにより、ゲートドライバ11からの距離によらず一定のデータ書き込み時間を確保することが可能となる。

【0024】図4は、本発明によるデータドライバ12の第1実施例の一例を示す図である。

【0025】図4に示されるデータドライバ12は、X個の出力回路21-1乃至21-Xと、複数のバッファ(遅延素子)22を含む。各出力回路にはデータと制御信号とが入力され、制御信号が供給されるタイミングに応じて、データ(液晶駆動電圧)がデータバスライン1

4に出力される。各出力回路の制御信号入力側には、対応するデータバスライン14のゲートドライバ11からの距離に応じて、所定の個数のバッファが設けられている。

【0026】例えば、ゲートドライバ11に最も近いデータバスライン14に対応する出力回路21-1には、バッファ22は設けられず、ゲートドライバ11に2番目に近いデータバスライン14に対応する出力回路21-2には、1個のバッファ22が設けられる。またゲートドライバ11に3番目に近いデータバスライン14に対応する出力回路21-3には、2個のバッファ22が設けられる。以降同様であり、ゲートドライバ11にX番目に近いデータバスライン14に対応する出力回路21-Xには、X-1個のバッファ22が設けられる。

【0027】これにより、ゲートドライバ11からの各データバスライン14の距離に応じてデータドライバ12から出力する液晶駆動電圧のタイミングを調整することが可能となり、ゲートドライバ11からの距離によらず一定のデータ書き込み時間を確保することが出来る。

【0028】図5は、本発明によるデータドライバ12の第1実施例の変形例を示す図である。

【0029】図5の構成においては、複数個(図ではX-1個)のバッファ(遅延素子)23が直列に接続され、各バッファ23の出力が、出力回路21-1乃至21-Xの対応する1つに供給される。これにより、図4の構成の場合と同様に、ゲートドライバ11からの各データバスライン14の距離に応じてデータドライバ12から出力する液晶駆動電圧のタイミングを調整することが可能となり、ゲートドライバ11からの距離によらず一定のデータ書き込み時間を確保することが出来る。

【0030】図6は、データドライバ12の出力回路に供給するデータと制御信号のタイミングを示す図である。図6に示されるように、各出力回路21-1乃至21-Xに対して、出力OUT1乃至OUTXの出力タイミングを規定する制御信号が、順番に大きくなる遅れを伴って供給される。この遅れは、図4のバッファ22或いは図5のバッファ23により生成される。

【0031】図7は、データドライバ12の出力回路からの出力電圧を示す図である。

【0032】図7(a)乃至(d)は、それぞれ出力回路21-1、21-2、21-3、及び21-Xの出力OUT1、OUT2、OUT3、及びOUTXの電圧波形及びタイミングを示す。図7(b)に示されるように、出力OUT2は、出力OUT1に比較して時間T1だけタイミングが遅れて出力される。ここで時間T1は、バッファ22或いは23の遅延時間に相当する。また図7(c)に示されるように、出力OUT3は、出力OUT1に比較して時間2×T1だけタイミングが遅れて出力される。同様に、図7(d)に示されるように、出力OUTXは、出力OUT1に比較して時間(X-

1)×T1だけタイミングが遅れて出力される。

【0033】図8は、本発明によるデータドライバ12の第2実施例の構成の一例を示す図である。図8において、図4と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0034】一般に液晶表示装置においては、図1に示すように、複数のデータドライバ12が1つの液晶パネル10に対して設けられ、各データドライバ12が、液晶パネル10の横方向について所定の部分のデータ書き込みを担当する。このような構成では、本発明のようにデータドライバ12からデータバスライン14に供給する液晶駆動電圧のタイミングを調整した場合に、隣接するデータドライバ12間でタイミングが整合している必要が有る。図8のデータドライバ12の構成においては、バッファ22に対応する遅延を有するバッファ(遅延素子)32が設けられ、バッファ32の出力を外部に供給する。このバッファ32の出力は、図10に示されるように、次段のデータドライバ12に供給される。

【0035】なお図8のデータドライバ12の構成において、バッファ32は次段への出力側に設けるのではなく、制御信号を受け取る前段からの入力側に設けるようにしてもよい。

【0036】図9は、本発明によるデータドライバ12の第2実施例の構成の変形例を示す図である。図9において、図5と同一の構成要素は同一の番号で参照し、その説明は省略する。図9においては、図5の構成に対して、バッファ23に対応する遅延を有するバッファ(遅延素子)32が設けられ、バッファ32の出力を外部に供給する。このバッファ32の出力は、図10に示されるように、次段のデータドライバ12に供給される。なお図9のデータドライバ12の構成において、バッファ32は次段への出力側に設けるのではなく、制御信号を受け取る前段からの入力側に設けるようにしてもよい。

【0037】図11は、本発明によるデータドライバ12の第3実施例の一例を示す図である。

【0038】図11のデータドライバ12において、出力回路21-1乃至21-Xのうちで、出力回路21-2乃至21-Xの制御信号入力側には、2入力AND回路41、一方の入力が負論理入力の2入力AND回路42、OR回路43、及び複数のバッファ(遅延素子)51から構成される回路が設けられる。また選択信号が、2入力AND回路41の一方の入力に供給されると共に、2入力AND回路42の負論理入力側の入力に供給される。

【0039】選択信号がHIGHの時には、2入力AND回路41側のバッファ51の列を介して供給される制御信号が、対応する出力回路に供給される。また選択信号がLOWの時には、2入力AND回路42側のバッファ51の列を介して供給される制御信号が、対応する出力回路に供給される。各回路において、2入力AND回

路41側のバッファ51の列に対して、2入力AND回路42側のバッファ51の列においては、倍の数のバッファ51が設けられており、倍の遅延時間を提供するように構成される。従って、選択信号をHIGHに設定するかLOWに設定するかに応じて、データドライバ12から出力する液晶駆動電圧(出力OUT1乃至OUTX)の遅延量を制御することが出来る。

【0040】図12は、本発明によるデータドライバ12の第3実施例の変形例を示す図である。

【0041】図12のデータドライバ12において、出力回路21-1乃至21-Xのうちで、出力回路21-2乃至21-Xの制御信号入力側には、2入力AND回路61、一方の入力が負論理入力の2入力AND回路62、OR回路63、及び2つのバッファ(遅延素子)71から構成される回路が設けられる。また選択信号が、2入力AND回路61の一方の入力に供給されると共に、2入力AND回路62の負論理入力側の入力に供給される。

【0042】選択信号がHIGHの時には、2入力AND回路61側のバッファ71を介して供給される制御信号が、対応する出力回路に供給される。また選択信号がLOWの時には、2入力AND回路62側のバッファ71を介して供給される制御信号が、対応する出力回路に供給される。各回路において、2入力AND回路61側にはバッファ71が1つ介在し、2入力AND回路62側にはバッファ71が2つ介在する。これにより、2入力AND回路62側が選択されるときには、倍の遅延時間を提供するように構成される。従って、選択信号をHIGHに設定するかLOWに設定するかに応じて、データドライバ12から出力する液晶駆動電圧(出力OUT1乃至OUTX)の遅延量を制御することが出来る。

【0043】図13は、本発明によるデータ書き込み時間設定機能を有した液晶表示装置の実施例を示す図である。

【0044】図13の液晶表示装置100は、基準電圧生成回路110、タイミングコントローラ111、データドライバ112、ゲートドライバ113、及び液晶パネル114を含む。液晶表示装置100は、ホストデバイスから表示データ信号、クロック信号、イネーブル信号等の制御信号を受け取り、これらの信号に基づいて動作する。基準電圧生成回路110は基準電圧を生成して、タイミングコントローラ111とゲートドライバ113に供給する。タイミングコントローラ111は、ホストデバイスからの信号に基づいて、データドライバ112及びゲートドライバ113を駆動する制御信号・タイミング信号を生成し、データドライバ112及びゲートドライバ113に供給する。データドライバ112は、液晶パネル114のゲートバスラインをゲートパルスにより駆動する。ゲートドライバ113は、液晶パネル114のデータバスラインをデータパルスにより駆動

する。

【0045】タイミングコントローラ111は、制御信号生成回路121、検出回路122、LP生成回路123、及び駆動信号生成回路124を含む。制御信号生成回路121は、データドライバ112及びゲートドライバ113を制御する制御信号・タイミング信号を含め、種々の制御信号を生成する。検出回路122は、液晶パネル114のゲートバスラインによるゲートパルスの遅延時間を検出する。検出されたゲートパルスの遅延時間は、LP生成回路123に供給される。LP生成回路123は、データドライバ112内部で表示データを出力用D/Aコンバータに転送させるラッチパルスLPを生成する。駆動信号生成回路124は、データドライバ112が液晶パネル114に書き込む表示データを、適切なタイミングでデータドライバ112に供給する。

【0046】検出回路122は、液晶パネル114のゲートバスライン126から、ゲートドライバ113に最も近い点Aのゲートパルスと、ゲートドライバ113から最も遠い点Bのゲートパルスとを入力として受け取り、両パルスの時間差即ちゲートパルスの遅延時間を示すパルス信号を生成して、LP生成回路123に供給する。LP生成回路123は、データドライバ112から液晶パネル114へのアナログデータ信号の出力タイミングを決めるラッチパルスLPを生成するが、このラッチパルスLPのタイミングを、検出回路122から供給されるパルス信号のパルス幅に応じて遅延させる。これによって、データドライバ112から出力される書き込みデータ信号であるデータパルスのタイミングを、ゲートパルスの遅延時間に応じて遅らせることが可能になる。

【0047】図14は、検出回路122の構成を示す回路図である。

【0048】検出回路122は、コンパレータ131及び132、電圧変換器133、及びJKフリップフロップ134を含む。コンパレータ131及び132は、ゲートバスライン126のA点及びB点からのアナログパルス波形を受け取り、デジタル信号に変換する。変換後のデジタル信号は、電圧変換器133でJKフリップフロップ134用の電圧に変換された後、JKフリップフロップ134に入力される。JKフリップフロップ134は、A点のパルスの立ち上がりでセットされ、B点のパルスの立ち上がりでリセットされる。従って、JKフリップフロップ134の出力は、A点のパルスとB点のパルスとの時間差、即ちゲートバスラインの遅延時間に等しい幅のパルス信号となる。

【0049】ゲートバスラインの遅延時間に等しい期間LOWになるJKフリップフロップ134の負論理出力は、LP生成回路123のイネーブル入力ENABに入力される。またLP生成回路123のクロック入力CLKには、制御信号生成回路121からクロック信号が供

給される。更に、LP生成回路123のリセット入力REには、制御信号生成回路121から1水平期間の開始を示すパルス信号(基準パルス)が入力される。またクリア入力CLRは、通常はLOWに設定される。

【0050】LP生成回路123は、ASIC等により実現されるカウンタ回路であり、従来から液晶表示装置で使用される回路である。このLP生成回路123は、クロック入力CLKに入力されるクロック信号のクロック数をカウントして、所定のカウンタ数でラッチパルスLPを出力するように構成される。リセット入力REが供給されると、カウンタ値はリセットされる。本発明では、この回路のイネーブル入力ENABを利用して、出力信号であるラッチパルスLPのタイミングを遅らせる。イネーブル入力ENABがLOWである間は、クロック入力CLKに入力されるクロック信号のクロック数はカウントされない。従って、イネーブル入力ENABにLOWパルス信号を入力すると、このパルス信号がLOWの間だけカウントが停止して、パルス幅に対応する時間だけラッチパルスLPの出力タイミングが遅れることになる。

【0051】図15は、図13及び図14に示した構成によるデータ書き込み時間設定の動作を説明するためのタイミング図である。

【0052】図15(a)は、LP生成回路123のリセット入力REに供給される基準パルスを示し、各水平期間の開始タイミングを示す。(b)は、本発明によるタイミング補正がない場合のラッチパルスLPを示し、このラッチパルスLPの指示するタイミングで、(c)に示されるように、データドライバ112から書き込みデータ信号が出力される。ここで(c)に示されるデータ信号波形は、本発明によるタイミング補正がない場合のタイミングを示す波形である。

【0053】(d)は、図13のA点におけるゲートパルスの波形を示し、(e)は、図13のB点において観測される波形が鈍ったゲートパルスの波形を示す。B点におけるゲートパルスの波形の立下りは、A点におけるゲートパルスの波形の立下りよりかなり遅延する。このためB点においては、(c)に示される補正無しのデータの場合、本来の書き込みデータではなく、次の書き込みデータNEXTが書き込まれてしまう可能性がある。

【0054】本発明においては、(d)に示されるA点におけるゲートパルスの波形の立ち上がり、(e)に示されるB点におけるゲートパルスの波形の立ち上がりとの時間差を、検出回路122で検出して、(f)に示される遅延パルスとして出力する。この遅延パルスのパルス幅分、LP生成回路123においてラッチパルスLPの生成タイミングを遅らせることで、(g)に示される補正後のラッチパルスLPが得られる。このラッチパルスLPの指示するタイミングで、(h)に示されるように、データドライバ112から書き込みデータ信号が

出力される。ここで(h)に示されるデータ信号波形は、本発明によるタイミング補正がなされた波形である。

【0055】図15(h)に示す書き込みデータのタイミングは、(c)の補正無しを書き込みデータのタイミングと比較して、遅延パルス幅分の遅れが設けられている。従って、A点では(d)に示されるゲートパルスでありB点では(e)に示される波形が鈍ったゲートパルスであっても、A点及びB点において、本来のデータ書き込みの対象であるデータを正常に書き込むことが出来る。即ち、A点からB点までの全ての位置において、正常なデータ書き込みを達成することが出来る。

【0056】このように、本発明によるデータ書き込み時間設定機構によれば、実際のゲートパルスの遅延を検出して、その遅延量分だけデータパルスを遅らせるので、液晶パネルの機種やゲートバスラインの遅延特性に関わらず、安定して高精度にデータ書き込み時間を設定することが出来る。

【0057】以下に、本発明の更なる側面について説明する。

【0058】パソコン・モニタの省スペース化に加えて表示容量及び表示サイズの大形化が望まれている。液晶表示装置はTFT基板とコモン基板を対向して張り合わせ、その間に液晶を挟み持つ構造となっている。液晶はTFT基板電極とコモン基板電極の電圧差に応じた光の透過量が決まっています。電圧の差で階調を持たせる。この電圧差を加えて、液晶表示装置の画素に電圧を保持させるために、TFT基板にはソース側ドライバIC(データドライバ)とゲート側ドライバIC(ゲートドライバ)が電気的に接続されている。液晶表示装置の額縁には前記ソース側ドライバとゲート側ドライバが電気的に接続する必要があり、これらドライバICには制御信号を入力するプリント基板やフレキシブル基板等の手段が必要である。

【0059】図16は、従来の液晶表示装置の構成を示す図である。

【0060】従来の液晶表示装置は、液晶パネル221、ソース側フレキシブル基板222、ゲート側フレキシブル基板223、ソース側配線基板224、ゲート側配線基板225、ソース側駆動IC226、ゲート側駆動IC227、接続基板228、及び入力信号線229を含む。図16に示されるように、従来の液晶表示装置の構成では、液晶パネル221の周囲にソース側配線基板224及びゲート側配線基板225を設け、これら配線基板上に入力信号線229を配線している。

【0061】モニタ装置の物理的なサイズが限られた状態で表示サイズを大きくするためには、表示部分の周囲にある額縁部分を削る必要がある。このためには、複数ドライバ(駆動IC)に対する入力信号線229を、図16に示されるように額縁部分に配線基板を設けて配線

基板上に設けるのではなく、TFT基板上に直接に配線する傾向が強くなっている。

【0062】図17は、入力信号線をTFT基板上に配線した構成を示す図である。

【0063】図17の液晶表示装置は、液晶パネル231、ソース側フレキシブル基板232、ゲート側フレキシブル基板233、ソース側駆動IC236、ゲート側駆動IC237、接続基板238、及び入力信号線239を含む。図17に示されるように、複数ドライバ(駆動IC)は入力信号を受け取り、液晶に出力信号を供給すると共に、複数ドライバをカスケード接続で駆動するために次段への信号を出力する。しかし図17に示されるようにTFT基板上に入力信号線239を配線すると、信号入力に近い位置ではドライバ入力波形に遅延や波形鈍りがないが、遠ざかるに従いパネル内配線抵抗や寄生容量の影響で、データ信号やクロック信号の波形が鈍ったり遅延が起きたりする。

【0064】パネルの配線抵抗を小さくしたり、遅延を予め予想してタイミングを調整したりする等の対策が考えられるが、表示パネルが大画面且つ高精細となるに従って信号入力に近いICと遠いICの時間差が大きくなり、適切な対策を取ることが困難となる。

【0065】以下に、上記の配線遅延の問題を解決する本発明のデータドライバについて説明する。

【0066】図18は、本発明によるデータドライバの構成を示す図である。

【0067】図18のデータドライバは、シフトレジスタ部241、データレジスタ部242、ラッチ部243、レベルシフト部244、D/Aコンバータ部245、及び出力部246を含む。

【0068】シフトレジスタ部241は、パーソナルコンピュータ等のホスト装置側或いは制御装置等から供給されるデータクロック信号ICLKに基づいて、複数の出力線を順次アサートすることでデータレジスタ部242にデータラッチ信号を供給する。データレジスタ部242は、シフトレジスタ部241から供給されるデータラッチ信号に基づいて、順次供給されるRGB表示データを内部レジスタ回路に格納する。このようにして、データレジスタ部242には、1つの表示ライン(ゲートバスライン)の対応する部分の表示データが格納される。データレジスタ部242に格納された表示データは、ラッチパルスLPに同期してラッチ部243にラッチされる。

【0069】ラッチ部243に格納された表示データは、レベルシフト部244を介してD/Aコンバータ部245に供給される。D/Aコンバータ部245には、各データラインに対応してDA変換回路が設けられており、このDA変換回路で入力表示データをDA変換し、アナログ階調信号として出力する。D/Aコンバータ部245には、基準電圧群が供給される。各DA変換回路

は、基準電圧群の電圧間を更に分圧することで各階調に対応する電位を生成し、供給されるデジタル表示データに対応する電位をアナログ階調信号として出力する。

【0070】出力部246は、各データライン毎に設けられる出力バッファを含み、各出力バッファがD/Aコンバータ部245から対応するアナログ階調信号を受け取る。各出力バッファは、受け取ったアナログ階調信号を、データバスラインを駆動するデータバスライン駆動信号としてTFT基板へ出力する。

【0071】本発明のデータドライバにおいては、データレジスタ部242に入力される表示データR、G、及びBを、シフトレジスタ部241から次段に出力される出力クロックCLKに同期して、データレジスタ部242から表示データOR、OG、及びOBとして次段に出力する。また更に、次段に出力するカスケード信号を、出力クロックCLKに同期してシフトレジスタ部241から出力する。このカスケード信号は、当該データドライバに対応するデータの開始タイミングを示す信号である。

【0072】図19は、データレジスタ部242の第1の実施例を示す図である。

【0073】図19のデータレジスタ部242は、レジスタ250-1、250-2、250-3、・・・、及び出力レジスタ251を含む。レジスタ250-1、250-2、250-3、・・・は、シフトレジスタ部241から供給されるデータラッチ信号に基づいて、順次供給されるRGB表示データを格納する。出力レジスタ251は、シフトレジスタ部241から次段に供給される出力クロックCLKに同期して表示データRGBを格納することで、出力表示データOR、OG、及びOBを出力クロックCLKに同期して次段に供給する。

【0074】図20は、データレジスタ部242の第2の実施例を示す図である。

【0075】図20のデータレジスタ部242は、レジスタ250-1、250-2、250-3、・・・、及びパラレル・シリアル変換部252を含む。パラレル・シリアル変換部252は、シフトレジスタ部241から次段に供給される出力クロックCLKに同期して、レジスタ250-1、250-2、250-3、・・・に格納されるパラレルの表示データRGBをシリアルデータに変換し、出力表示データOR、OG、及びOBとして次段に供給する。なお図20の構成において、パラレル・シリアル変換部252は、データレジスタ部242ではなくラッチ部243に設けてもよい。

【0076】上記説明においてシフトレジスタ部241から供給される出力クロックCLKは、シフトレジスタ部241に供給される入力クロックICLKと同一の信号であってよい。但し、シフトレジスタ部241内部でバッファを介在させる場合等は、出力クロックCLKは入力クロックICLKとタイミングが異なってく

る。このような場合には、シフトレジスタ部241から出力されるカスケード信号も、出力クロックOCLKに同期させる必要がある。

【0077】図21は、シフトレジスタ部241において次段に供給するカスケード信号を出力クロックに同期させる構成を示す図である。

【0078】図21の構成は、カウンタ261及びラッチ回路262を含む。カウンタ261は、複数のデータドライバから一斉にデータを出力するタイミングを示すラッチパルスLPによりリセットされ、その後入力クロックICKのクロックパルスをカウントし、カウント数が所定数になると出力をアサートする。この出力が、従来においては次段に出力されるカスケード信号である。本発明においては、このカスケード信号を、出力クロックOCLKに同期してラッチ回路262にラッチする。これにより、ラッチ回路262から、出力クロックOCLKに同期して次段へのカスケード信号を出力する。

【0079】図22は、本発明による表示データ信号及びカスケード信号のタイミングを示すタイミング図である。

【0080】図22において、(a)は入力表示データ信号RGBを示し、(b)は図21のカウンタ261から出力されるカスケード信号を示す。(c)に示される出力クロック信号OCLKに同期して、入力表示データ信号RGBをラッチすることで(d)に示される次段への出力表示データ信号OR、OG、及びOBが得られる。また出力クロック信号OCLKに同期して、(b)のカスケード信号をラッチすることで、(e)に示される次段への出力カスケード信号OR、OG、及びOBが得られる。

【0081】このように本発明によるデータドライバにおいては、次段に出力する表示データ信号やカスケード信号については、データドライバ内部で使用されているクロック信号と同期を取って出力する。これにより、パネル内配線の距離の差による遅延や波形鈍りに関係なく、適切な制御タイミングでデータドライバを駆動することが可能となり、大型パネルにおけるパネル内配線が可能となる。

【0082】以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【0083】

【発明の効果】本発明においては、データドライバにより液晶駆動電圧を供給するタイミングを、ゲートドライバからの各データバスラインの距離に応じて調整することにより、ゲートドライバからの距離によらず一定のデータ書き込み時間を確保することが出来る。

【0084】また本発明による液晶表示装置では、実際

のゲートパルスの遅延を検出して、その遅延量分だけデータパルスを遅らせるので、液晶パネルの機種やゲートバスラインの遅延特性に関わらず、安定して高精度にデータ書き込み時間を設定することが出来る。

【0085】また本発明によるデータドライバにおいては、次段に出力する表示データ信号については、データドライバ内部で使用されているクロック信号と同期を取って出力する。これにより、パネル内配線の距離の差による遅延や波形鈍りに関係なく、適切な制御タイミングでデータドライバを駆動することが可能となり、大型パネルにおけるパネル内配線が可能となる。

【図面の簡単な説明】

【図1】本発明の原理を説明するための図である。

【図2】トランジスタが導通するタイミングを説明するタイミング図である。

【図3】本発明においてデータドライバが液晶駆動電圧を供給するタイミングを示す図である。

【図4】本発明によるデータドライバの第1実施例の一例を示す図である。

【図5】本発明によるデータドライバの第1実施例の変形例を示す図である。

【図6】データドライバの出力回路に供給するデータと制御信号のタイミングを示す図である。

【図7】データドライバの出力回路からの出力電圧を示す図である。

【図8】本発明によるデータドライバの第2実施例の構成の一例を示す図である。

【図9】本発明によるデータドライバの第2実施例の構成の変形例を示す図である。

【図10】データドライバのカスケード接続を示す図である。

【図11】本発明によるデータドライバの第3実施例の一例を示す図である。

【図12】本発明によるデータドライバの第3実施例の変形例を示す図である。

【図13】本発明によるデータ書き込み時間設定機能を有した液晶表示装置の実施例を示す図である。

【図14】検出回路の構成を示す回路図である。

【図15】データ書き込み時間設定の動作を説明するためのタイミング図である。

【図16】従来の液晶表示装置の構成を示す図である。

【図17】入力信号線をTFT基板上に配線した構成を示す図である。

【図18】本発明によるデータドライバの構成を示す図である。

【図19】データレジスタ部の第1の実施例を示す図である。

【図20】データレジスタ部の第2の実施例を示す図である。

【図21】シフトレジスタ部において次段に供給するカ

スケード信号を出力クロックに同期させる構成を示す図である。

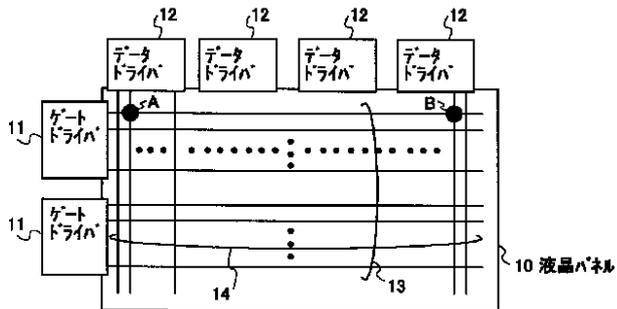
【図22】本発明による表示データ信号及びピカスケード信号のタイミングを示すタイミング図である。

【符号の説明】

- \* 10 液晶パネル
- 11 ゲートドライバ
- 12 データドライバ
- 13 ゲートバスライン
- \* 14 データバスライン

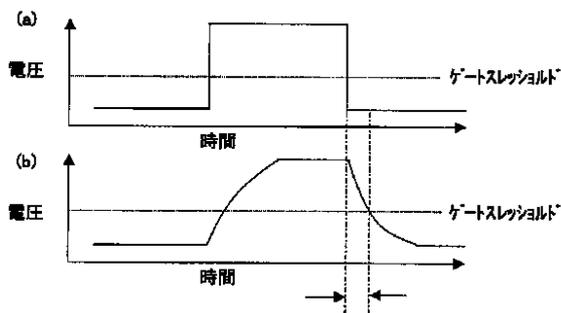
【図1】

本発明の原理を説明するための図



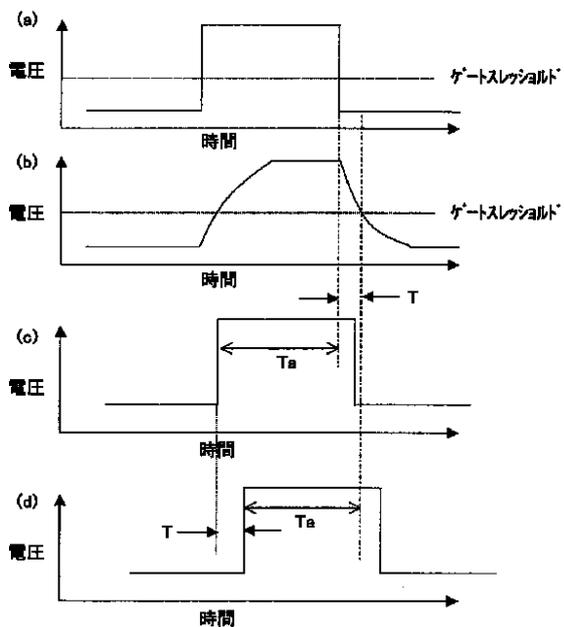
【図2】

トランジスタが導通するタイミングを説明するタイミング図



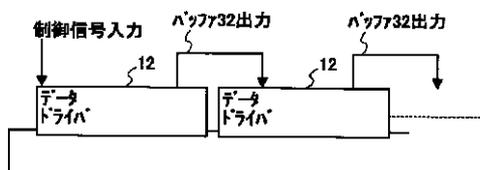
【図3】

本発明においてデータドライバが液晶駆動電圧を供給するタイミングを示す図



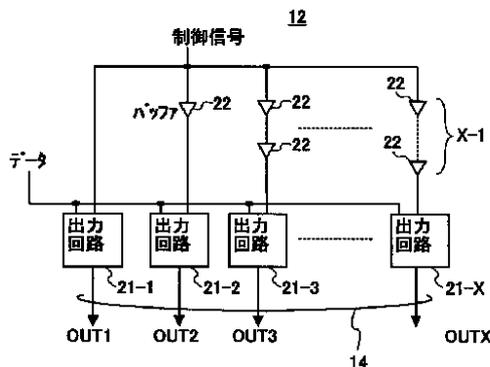
【図10】

データドライバのカスケード接続を示す図



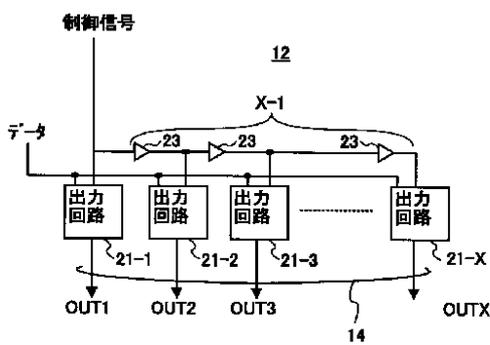
【図4】

本発明によるデータドライバの第1実施例の一例を示す図



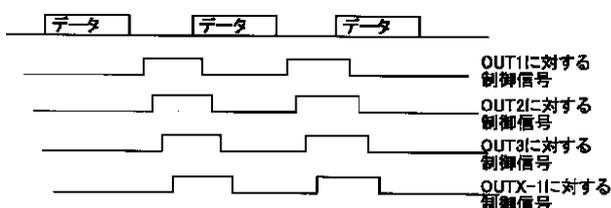
【図5】

本発明によるデータドライバの第1実施例の変形例を示す図



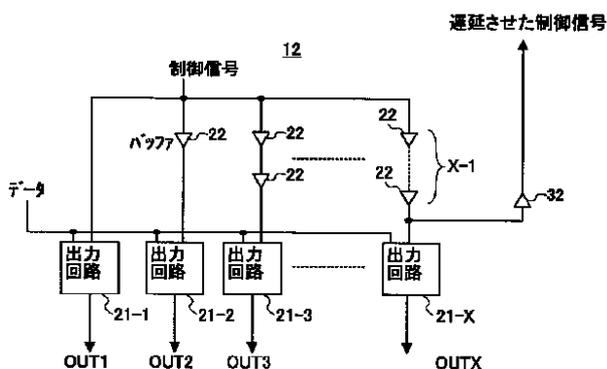
【図6】

データドライバの出力回路に供給するデータと制御信号のタイミングを示す図



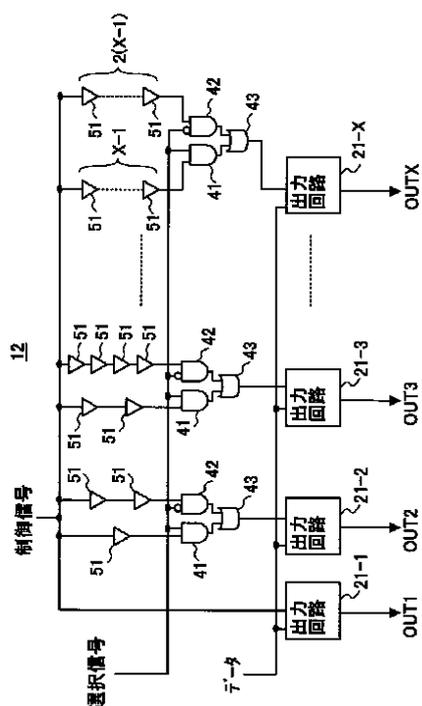
【図8】

本発明によるデータドライバの第2実施例の構成の一例を示す図



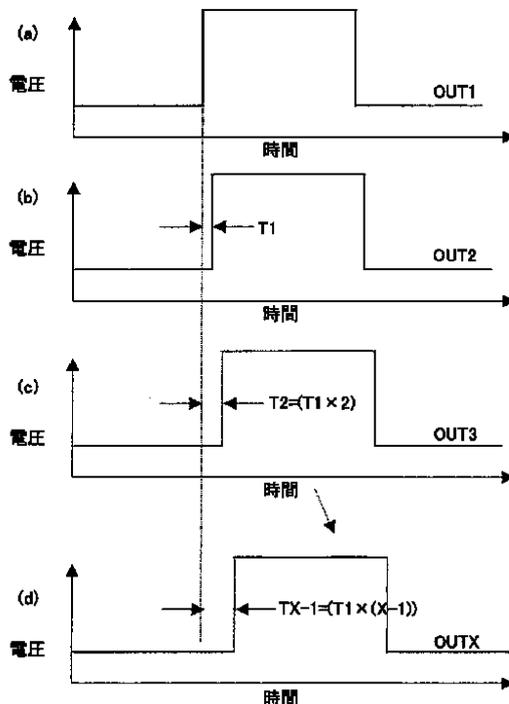
【図11】

本発明によるデータドライバの第3実施例の一例を示す図



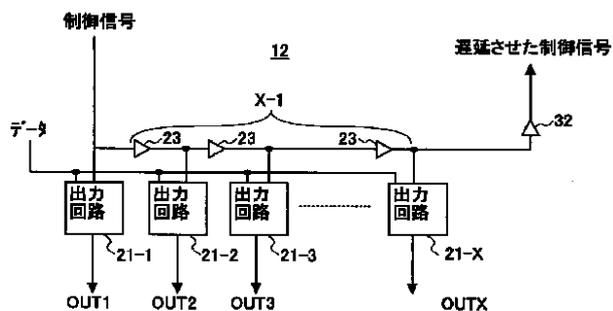
【図7】

データドライバの出力回路からの出力電圧を示す図



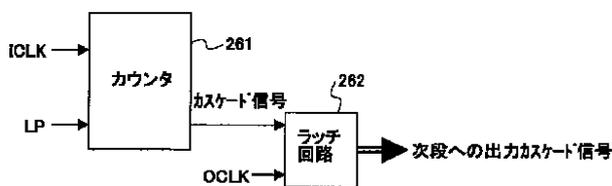
【図9】

本発明によるデータドライバの第2実施例の構成の変形例を示す図



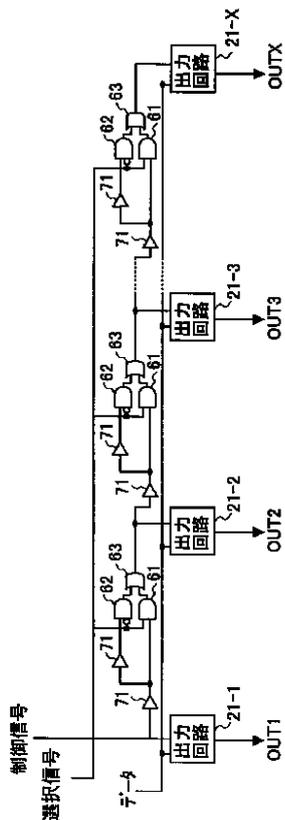
【図21】

ソフトレジスタ部において次段に供給するカスケード信号を出カクロックに同期させる構成を示す図



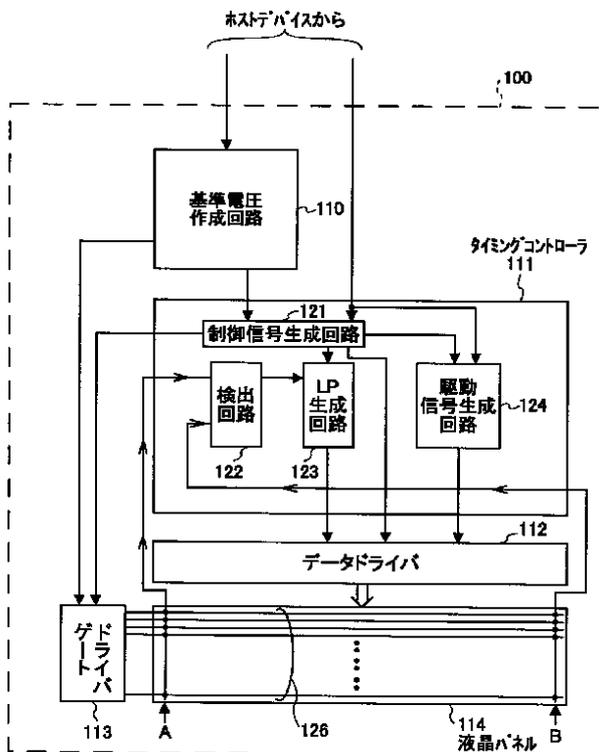
【図12】

本発明によるデータドライバの第3実施例の変形例を示す図



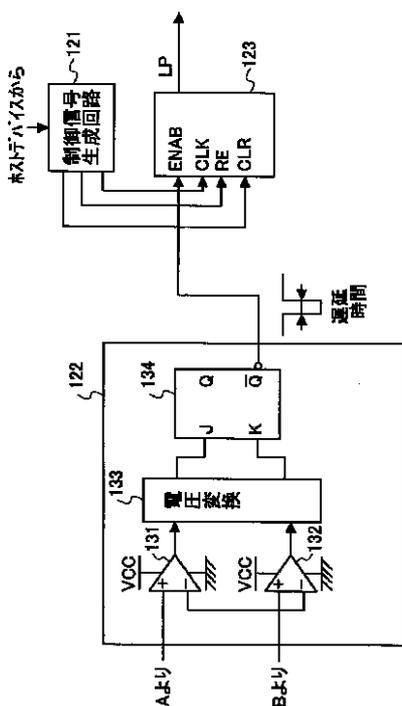
【図13】

本発明によるデータ書き込み時間設定機能を有した液晶表示装置の実施例を示す図



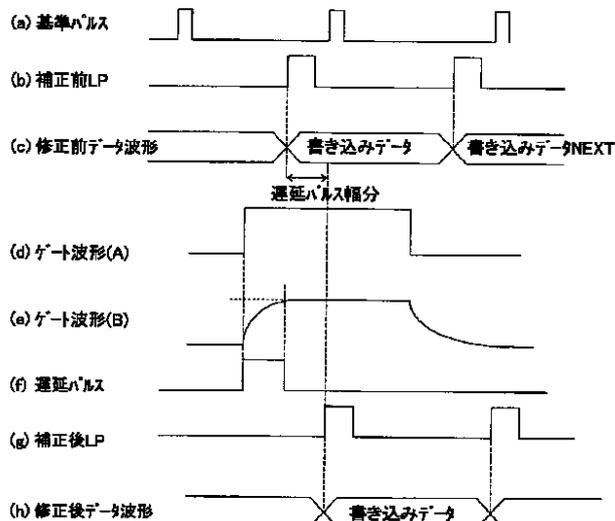
【図14】

検出回路の構成を示す回路図



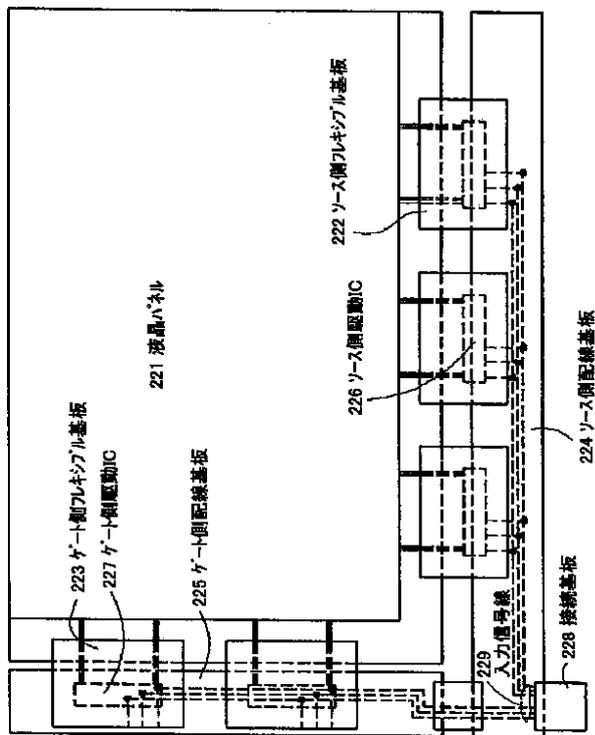
【図15】

データ書き込み時間設定の動作を説明するためのタイミング図



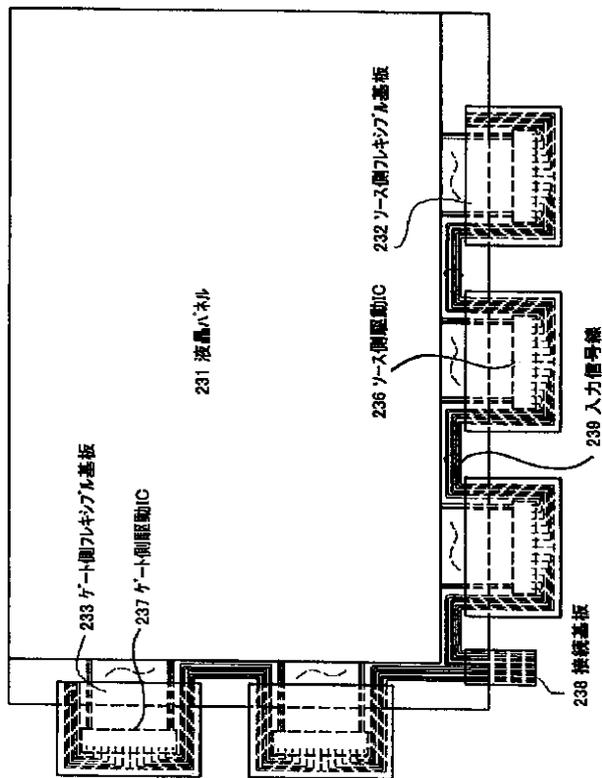
【図16】

従来の液晶表示装置の構成を示す図



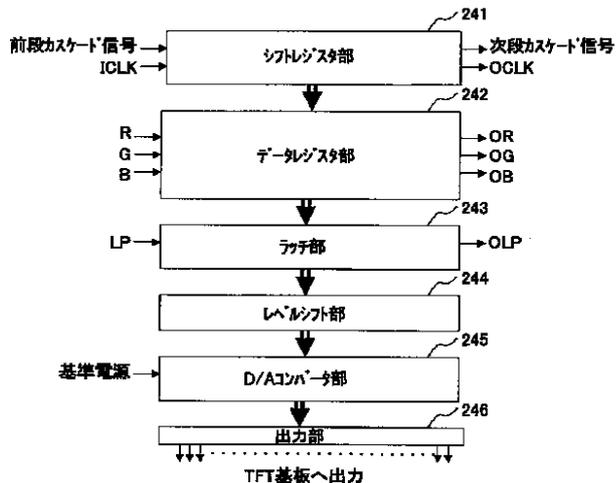
【図17】

入力信号線をTFT基板上に配線した構成を示す図



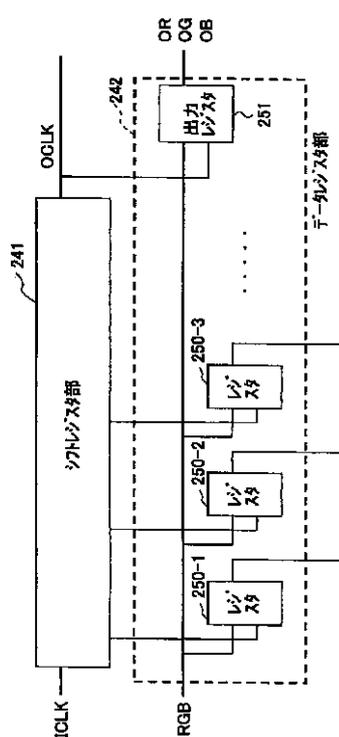
【図18】

本発明によるデータドライバの構成を示す図



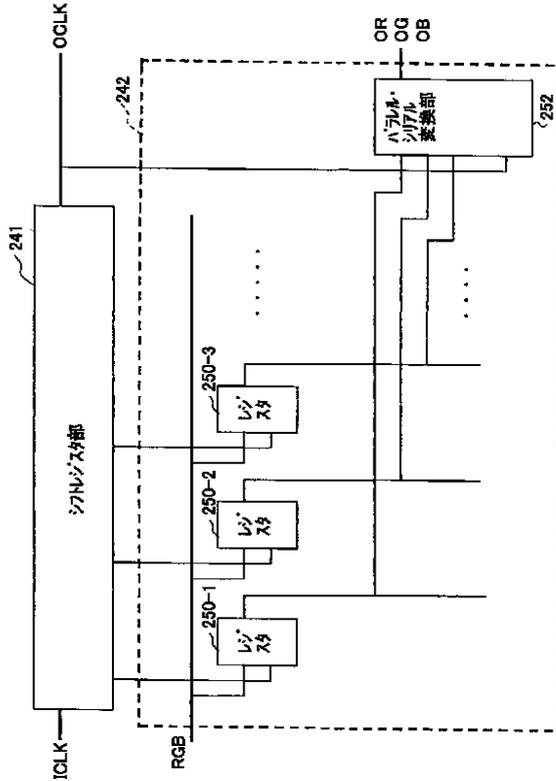
【図19】

データレジスタ部の第1の実施例を示す図



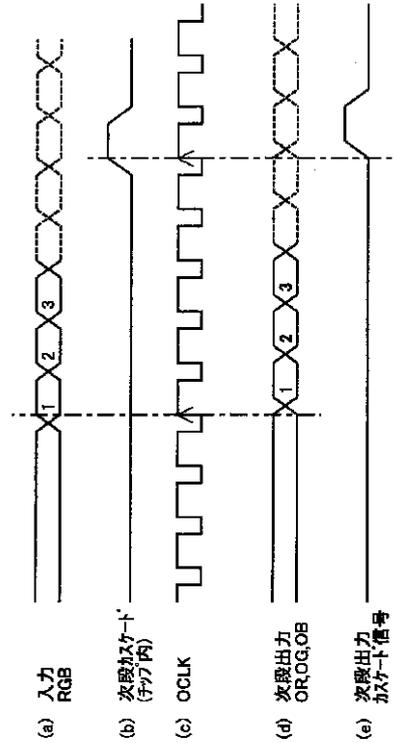
【図20】

データレジスタ部の第2の実施例を示す図



【図22】

本発明による表示データ信号及びカスケード信号のタイミングを示すタイミング図



フロントページの続き

(51) Int.Cl.<sup>7</sup>  
G 0 9 G 3/20

識別記号

F I  
G 0 9 G 3/20

テ-マ-ド (参考)

6 2 3 H

- (72)発明者 形川 晃一  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 平木 克良  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 古越 靖武  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

- Fターム(参考) 2H093 NA16 NC03 NC10 NC13 NC15  
NC22 NC25 NC26 NC34 ND32  
ND34 ND58 NF05  
5C006 AC21 AF43 AF54 BB16 BC02  
BC12 BC20 BC24 BF03 BF06  
BF07 BF24 FA16 FA37 FA42  
5C080 AA10 BB05 DD09 DD22 FF11  
JJ02 JJ03 JJ04

专利名称(译)	液晶面板驱动电路和液晶显示装置		
公开(公告)号	<a href="#">JP2003162262A</a>	公开(公告)日	2003-06-06
申请号	JP2001360961	申请日	2001-11-27
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	関戸 哲 形川 晃一 平木 克良 古越 靖武		
发明人	関戸 哲 形川 晃一 平木 克良 古越 靖武		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G2320/0223		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.621.M G09G3/20.623.D G09G3/20.623.H		
F-TERM分类号	2H093/NA16 2H093/NC03 2H093/NC10 2H093/NC13 2H093/NC15 2H093/NC22 2H093/NC25 2H093/NC26 2H093/NC34 2H093/ND32 2H093/ND34 2H093/ND58 2H093/NF05 5C006/AC21 5C006/AF43 5C006/AF54 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC20 5C006/BC24 5C006/BF03 5C006/BF06 5C006/BF07 5C006/BF24 5C006/FA16 5C006/FA37 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD22 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF03 2H193/ZF22 2H193/ZH40 2H193/ZQ06		
代理人(译)	横山 纯一		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种液晶显示装置的驱动电路，其中确保了足够的数据写入时间。解决方案：液晶面板驱动电路包括多个输出电路，分别连接到液晶面板的多条数据总线并输出液晶驱动电压。这些电压从输出电路输出，其延迟量从多条数据总线的引线到最后一条线连续变大。

