

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2002 - 221951

(P2002 - 221951A)

(43)公開日 平成14年8月9日(2002.8.9)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A 5 C 0 8 0
	623		623 G
			623 H
審査請求 未請求 請求項の数 4 O L (全 7 数)			

(21)出願番号 特願2001 - 359844(P2001 - 359844)

(22)出願日 平成13年11月26日(2001.11.26)

(31)優先権主張番号 2001 - 000843

(32)優先日 平成13年1月6日(2001.1.6)

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 康 彰 植

大韓民国京畿道龍仁市器興邑農書里山7 - 1
番地

(74)代理人 100086368

弁理士 萩原 誠

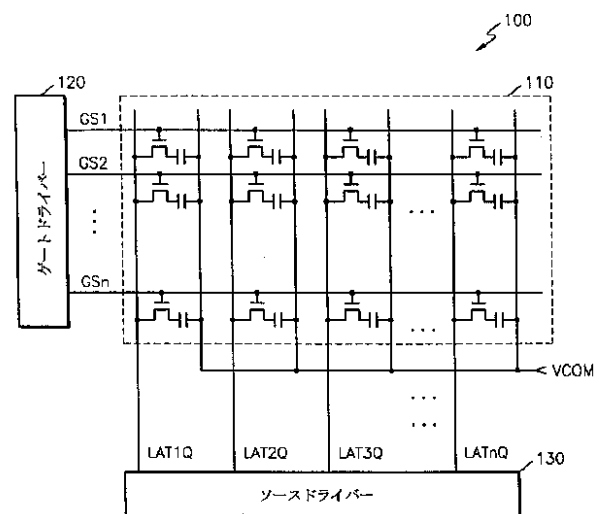
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ型液晶表示装置ドライバー

(57)【要約】 (修正有)

【課題】 消費電流の減少が可能なTFT型LCDドライバーを提供する。

【解決手段】 ソースドライバーは、シフトレジスター部、ラッチクロック信号発生部及びデータラッチ部とから構成され、シフトレジスター部は、外部クロックを分周した信号がクロック信号として入力され、入出力端が直列接触された第1ないし第nフリップフロップを具備し、第1フリップフロップの入力信号として駆動パルス信号がクロック信号に应答して印加される。ラッチクロック信号発生部は、対応する第1ないし第nフリップフロップで生じる第1ないし第n中間駆動パルス信号と第1ないし第n出力信号の反転信号とを論理積して第1ないし第nラッチクロック信号を生じる。データラッチ部は、データ信号を各々受信し、かつ対応する第1ないし第nラッチクロック信号に各々应答してデータ信号をラッチして出力する第1ないし第nラッチを具備する。これにより、ドライバーで消費される電流が減少できる。



【特許請求の範囲】

【請求項 1】 多数のトランジスタ及びキャパシタより構成されるパネルのゲートラインを駆動するためのゲートドライバーと、

前記パネルのソースラインを駆動するためのソースドライバーと、を具備し、

前記ソースドライバーは、

外部クロックを分周した信号がクロック信号として入力され、入出力端が直列接触された第 1 ないし第 n フリップフロップを具備し、前記第 1 フリップフロップの入力信号として駆動パルス信号が前記クロック信号に

10 応答して印加される、シフトレジスター部と、前記対応する第 1 ないし第 n フリップフロップで生じる第 1 ないし第 n 中間駆動パルス信号と第 1 ないし第 n 出力信号の反転信号とを論理積して、第 1 ないし第 n ラッチクロック信号を生じる第 1 ないし第 n 論理積手段を具備する、ラッチクロック信号発生部と、

データ信号を各々受信し、前記対応する第 1 ないし第 n ラッチクロック信号に各々応答して前記データ信号をラッチして出力する第 1 ないし第 n ラッチを具備するデータラッチ部と、を具備する、

20 ことを特徴とする薄膜トランジスタ型液晶表示装置ドライバー。

【請求項 2】 前記クロック信号が、前記第 1 ないし第 n フリップフロップのうち奇数番目のフリップフロップに入力され、前記クロック信号の位相反転信号が前記第 1 ないし第 n フリップフロップのうち偶数番目のフリップフロップに入力される、ことを特徴とする請求項 1 に記載の薄膜トランジスタ型液晶表示装置ドライバー。

【請求項 3】 前記クロック信号が、前記第 1 ないし第 30 n フリップフロップのうち偶数番目のフリップフロップに入力され、前記クロック信号の位相反転信号が前記第 1 ないし第 n フリップフロップのうち奇数番目のフリップフロップに入力される、ことを特徴とする請求項 1 に記載の薄膜トランジスタ型液晶表示装置ドライバー。

【請求項 4】 前記クロック信号は、前記外部クロックの 2 分周信号である、ことを特徴とする請求項 1 に記載の薄膜トランジスタ型液晶表示装置ドライバー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ (Thin Film Transistor: TFT) 型液晶表示装置 (Liquid Crystal Display: LCD) に係り、より詳細には、薄膜トランジスタ型液晶表示装置のパネルを駆動するための薄膜トランジスタ型液晶表示装置ドライバーで消費される電流を減らしうる薄膜トランジスタ型液晶表示装置ドライバーに関する。

【0002】

【従来の技術】一般に TFT 型 LCD のパネルを駆動するために TFT 型 LCD ドライバーは、薄膜トランジスタのゲートラ

イン (またはロー (row) ラインと称する) を駆動するためのゲートドライバー及び、薄膜トランジスタのソースライン (またはカラム (column) ラインと称する) を駆動するためのソースドライバーを具備する。ゲートドライバーが TFT 型 LCD に高電圧を印加して薄膜トランジスタをターンオン状態にすれば、ソースドライバーは、各ソースラインに色を表示するためのソース駆動信号を印加することによって、液晶表示装置に画面を表示する。このようなソースドライバー及びゲートドライバーは、順次に信号を印加するために多数のシフトレジスターを内蔵している。

【0003】TFT 型 LCD のパネルを駆動させるためのゲートドライバーは、同一のゲートラインに該当する画素を駆動するために走査ラインを通じて選択パルスを印加し、ソースドライバーは、所定の信号ラインを通じてターンオンされた薄膜トランジスタに映像信号を印加する。この時、各々の信号ラインを通じて薄膜トランジスタに順次に映像信号を印加するためには、ソースドライバーの内部にシフトレジスターを具備し、入力されたデータを外部クロック信号に

40 応答して順次にラッチする。例えば、6 ビット 300 チャンネルの TFT 型 LCD のソースドライバーにおいて、1 ポートの映像信号を処理する場合には、100 個のフリップフロップより構成されたシフトレジスターが内蔵される。【0004】ところが、大部分の TFT 型 LCD のソースドライバーは、一般にノートブックコンピュータなど携帯用装置に搭載されるように具現されているので、消費電流を減らすことは非常に重要な問題である。ソースドライバーの内部に備わったシフトレジスターは、多数のフリップフロップより構成されたシフトレジスターが、一つのクロック信号に

【0005】

【発明が解決しようとする課題】本発明が解決しようとする技術的課題は、外部クロックの 2 分周信号をクロック信号として使用して、クロックの遷移回数を減らすことによって、TFT 型 LCD ドライバーで消費される電流を減らしうる TFT 型 LCD ドライバーを提供することにある。

【0006】

【課題を解決するための手段】前記技術的課題を達成するための本発明によれば、多数のトランジスタ及びキャ

パシタより構成されるパネルのゲートラインを駆動するためのゲートドライバー及び、前記パネルのソースラインを駆動するためのソースドライバーとを具備する。

【0007】前記ソースドライバーは、外部クロックを分周した信号がクロック信号として入力され、入出力端が直列接触された第1ないし第nフリップフロップを具備し、前記第1フリップフロップの入力信号として駆動パルス信号が前記クロック信号にตอบสนองして印加されるシフトレジスター部と、前記対応する第1ないし第nフリップフロップで生じる第1ないし第n中間駆動パルス信号と第1ないし第n出力信号の反転信号とを論理積して、第1ないし第nラッチクロック信号を生じる第1ないし第n論理積手段、を具備するラッチクロック信号発生部と、データ信号を各々受信し、前記対応する第1ないし第nラッチクロック信号に各々ตอบสนองして前記データ信号をラッチして出力する第1ないし第nラッチを具備するデータラッチ部、とを具備する、ことを特徴とするTFT型LCDドライバーを提供する。

【0008】特に、前記クロック信号が、前記第1ないし第nフリップフロップのうち奇数番目のフリップフロップに入力され、前記クロック信号の位相反転信号が前記第1ないし第nフリップフロップのうち偶数番目のフリップフロップに入力されたり、あるいは、前記クロック信号が前記第1ないし第nフリップフロップのうち偶数番目のフリップフロップに入力され、前記クロック信号の位相反転信号が前記第1ないし第nフリップフロップのうち奇数番目のフリップフロップに入力される。

【0009】

【発明の実施の形態】本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施例を示す添付図面及び図面に記載された内容を参照しなければならない。以下、添付した図面を参照して、本発明の望ましい実施例を説明することによって、本発明を詳細に説明する。各図面に示された同じ参照符号は、同じ部材を示す。

【0010】図1を参照すれば、本発明に係るTFT型LCDのドライバー100は、多数のトランジスタ及びキャパシタより構成されるパネル110のゲートラインを駆動するためのゲートドライバー120、及びパネル110のソースラインを駆動するためのソースドライバー130、を具備する。パネル110に接続される基準信号VCOMは、接地と接続でき、その他の電圧とも接続できる。

【0011】図1のドライバー100は、ソースドライバー130及びゲートドライバー120の二つの半導体装置に分けられ、ソースドライバー130は、画面にディスプレイされる1画素当たり6ビットの色相データを入力される。ソースドライバー130には、画面の一つのゲートライン(横線)の画素に該当する色相データが入力されてラッチされる。ソースドライバーは、画面の一つのゲートライン(横線)の画素数に該当する色相データ

を全てラッチした後、最後に各画素の色相データにマルチプレックスして、色相を表示させる信号LAT1Q, LAT2Q, LAT3Q, ... LATnQを、パネル110に1行ずつ同時に印加する。ここでnは1より大きい整数であり、以下で同一である。ソースドライバー130の詳細な動作は、後述する図2で詳細に説明される。

【0012】ゲートドライバー120は、外部クロックにตอบสนองしてシフティング動作を行うシフトレジスター(図示せず)、シフトレジスター(図示せず)でシフティングされた値にตอบสนองしてレベルをシフトするレベルシフタ(図示せず)及び、シフティングされたレベルをバッファリングし、バッファリングされたレベルを液晶表示装置のパネル110のゲートラインを駆動するための信号GS1, GS2, ... GS_nとして出力するバッファ(図示せず)、を具備する。すなわち、ゲートドライバー120は、液晶表示装置のパネル110のゲートラインの1行に連結されたトランジスタのゲートに電圧を印加して、トランジスタをターンオンさせる。したがってターンオンされたトランジスタのソースを通じて、キャパシタにソースドライバー130で作られた画素の色相信号LAT1Q, LAT2Q, LAT3Q, ... LATnQが印加されて、キャパシタが充電され、液晶表示装置は、充電された電圧だけターンオンされて色相を表示する。

【0013】図2を参照すれば、図1に示したソースドライバー130は本発明の核心構成要素であって、シフトレジスター部210、ラッチクロック信号発生部230、データラッチ部250、及び分周器270を具備する。

【0014】シフトレジスター部210は、外部クロックICLKを分周した信号がクロック信号CLKとして入力され、入出力端が直列接触された第1ないし第nフリップフロップF1～Fnを具備し、第1フリップフロップF1の入力信号として、駆動パルス信号STARTがクロック信号CLKにตอบสนองして印加される。ここで、クロック信号CLKは、外部クロックICLKをいくつに分周させて使用できるが、図2のソースドライバー130では2分周信号を使用する。また、図2のソースドライバー130で、クロック信号CLKは、第1ないし第nフリップフロップF1～Fnのうち奇数番目のフリップフロップに入力され、クロック信号CLKの位相反転信号は、第1ないし第nフリップフロップF1～Fnのうち偶数番目のフリップフロップに入力されたり、または、クロック信号CLKは、第1ないし第nフリップフロップF1～Fnのうち偶数番目のフリップフロップに入力され、クロック信号CLKの位相反転信号は、第1ないし第nフリップフロップF1～Fnのうち奇数番目のフリップフロップに入力される。

【0015】ラッチクロック信号発生部230は、対応する第1ないし第nフリップフロップF1～Fnで生じる第1ないし第n中間駆動パルス信号S1～Snと第1ないし第n出力信号Q1～Qnの反転信号とを論理積して、第1ない

し第 n ラッチクロック信号 $LACK\ 1 \sim LACKn$ を生じる第 1 ないし第 n 論理積手段 $N\ 1 \sim Nn$ 、を具備する。クロック信号 CLK が 2 分周信号ではない場合には、ラッチクロック信号発生部 230 の構成は変わりうる。

【0016】データラッチ部 250 は、データ信号 $DATA$ を各々受信し、対応する第 1 ないし第 n ラッチクロック信号 $LACK\ 1 \sim LACKn$ に各々応答して、データ信号 $DATA$ をラッチして出力する第 1 ないし第 n ラッチ $LAT\ 1 \sim LATn$ 、を具備する。分周器 270 は、外部クロック $ICLK$ を分周してクロック信号 CLK を生じ、図 1 では、2 分周信号が

クロック信号 CLK として生じる。
【0017】図 3 では、フリップフロップ $F\ 1 \sim Fn$ のうち、第 1 フリップフロップ $F\ 1$ の構造が代表的に示され、示された第 1 フリップフロップ $F\ 1$ の構造は、他のフリップフロップ $F\ 1 \sim Fn$ においても共通している。第 1 フリップフロップ $F\ 1$ は、クロック信号を反転させるインバータ 305 及びクロック信号 CLK に응答して、駆動パルス信号 $START$ を受信して中間駆動パルス信号 $S\ 1$ を生じるマスタ段 325、及び、クロック信号 CLK に응答して中間駆動パルス信号 $S\ 1$ を受信して出力信号 $Q\ 1$ を生じるスレーブ段 350、を具備する。マスタ段 325 は、トランスファゲート 310、320、及びインバータ 313、316、319、より構成される。スレーブ段 350 は、トランスファゲート 330、340、及びインバータ 333、336、339、より構成される。
【0018】図 4 では、ラッチ $LAT\ 1 \sim LATn$ のうち、第 1 ラッチ $LAT\ 1$ の構造が代表的に示され、示された第 1 ラッチ $LAT\ 1$ の構造は、他のラッチ $LAT\ 1 \sim LATn$ においても共通している。第 1 ラッチ $LAT\ 1$ は、第 1 ラッチクロック信号 $LACK\ 1$ を反転させるインバータ 405 と、トランスファゲート 410、420、及びインバータ 413、416、419、より構成される。以下、図 2、図 3 及び図 4 を参照して、本発明の実施例に係るソースドライバ 130 の動作を詳細に説明する。

【0019】シフトレジスタ部 210 は、駆動パルス信号 $START$ を入出力端が直列接触された n 個のフリップフロップ $F\ 1 \sim Fn$ を通じて順次にラッチし、第 1 ないし第 n 中間駆動パルス信号 $S\ 1 \sim Sn$ 、及び第 1 ないし第 n 出力信号 $Q\ 1 \sim Qn$ 、を生じる。さらに説明すれば、シフトレジスタ部 210 の第 1 フリップフロップ $F\ 1$ は、駆動パルス信号 $START$ を受信して第 1 出力信号 $Q\ 1$ を生じ、第 1 出力信号 $Q\ 1$ は、第 2 フリップフロップ $F\ 2$ の入力として印加される。第 2 フリップフロップ $F\ 2$ の出力信号 $Q\ 2$ は、第 3 フリップフロップ $F\ 3$ の入力として印加され、同じ方式で第 n フリップフロップ Fn の入力としては、第 $n-1$ フリップフロップ $Fn-1$ の出力信号 $Qn-1$ が印加される。すなわち、第 1 フリップフロップ $F\ 1$ の入力として印加された駆動パルス信号 $START$ は、クロック信号 CLK に응答して出力され、第 2 フリップフロップ $F\ 2$ の入力として印加される。ここで、クロック信号 CLK は、外部ク

ロック $ICLK$ を分周器 170 を通じて 2 分周した信号である。

【0020】クロック信号 CLK と、クロック信号 CLK の位相が反転された信号とが、第 1 ないし第 n フリップフロップ $F\ 1 \sim Fn$ のクロック入力として、交代に入力される。すなわち、奇数番目のフリップフロップにクロック信号 CLK が入力されれば、偶数番目のフリップフロップにクロック信号 CLK の位相が反転されて入力される。または、偶数番目のフリップフロップにクロック信号 CLK が入力されれば、奇数番目のフリップフロップにクロック信号 CLK の位相が反転されて入力される。

【0021】図 3 を参照すれば、クロック信号 CLK の立ち上がりエッジで、マスタ段 325 のトランスファゲート 310 がターンオンされれば、駆動パルス信号 $START$ は、トランスファゲート 310 を通過して、インバータ 313、316 により、中間駆動パルス信号 $S\ 1$ として生じる。二つのインバータ 313、316 を通過するので、位相はそのまま維持される。クロック信号 CLK の立ち上がりエッジで、スレーブ段 350 のトランスファゲート 330 がターンオンされれば、中間駆動パルス信号 $S\ 1$ は、トランスファゲート 330 を通過して、インバータ 333、336 により第 1 出力信号 $Q\ 1$ として生じる。この時、マスタ段 325 のインバータ 313 の出力はインバータ 319 を通過し、ターンオンされているトランスファゲート 320 を通過して、インバータ 313 の入力段に連結されてラッチされる。再びクロック信号 CLK が論理ローレベルに遷移されれば、スレーブ段 350 のトランスファゲート 340 がターンオンされ、インバータ 333 の出力がラッチされる。

【0022】第 2 フリップフロップ $F\ 2$ のクロック入力としては、クロック信号 CLK の位相が反転された信号が入力されるので、前述したフリップフロップの動作と反対のクロック位相で中間駆動パルス信号 $S\ 2$ 及び出力信号 $Q\ 2$ が生じる。したがって、各々の中間駆動パルス信号 $(Si, i = 1 \sim n)$ 、及び出力信号 $(Qi, i = 1 \sim n)$ が、クロック信号 CLK の立ち上がりエッジ及び立ち下がりエッジごとに、すなわち、半周期ごとに一回ずつ論理ハイレベルとして生じて、クロック信号 CLK の一周期中に維持された後、論理ローレベルに遷移される。したがって、外部クロック $ICLK$ の 2 分周信号が使われてクロックの遷移回数が減るが、後述のように、データ信号 $DATA$ は、外部クロック $ICLK$ に直接応答して動作する場合と同じタイミングでラッチされる。

【0023】ラッチクロック信号発生部 230 は、第 1 ないし第 n 論理積手段 $N\ 1 \sim Nn$ を具備し、第 1 ないし第 n フリップフロップ $F\ 1 \sim Fn$ で生じた中間駆動パルス信号 $S\ 1 \sim Sn$ と対応する出力信号 $Q\ 1 \sim Qn$ の位相が反転された信号が、第 1 ないし第 n 論理積手段 $N\ 1 \sim Nn$ に印加されて、第 1 ないし第 n ラッチクロック信号 $LACK\ 1 \sim LACKn$ が生じる。クロック信号 CLK が 2 分周信号でない場合に

は、ラッチクロック信号発生部230の構成は変わりが、このような構成は当業者には自明なのでその詳細な説明は省略する。

【0024】データラッチ部250はデータ信号DATAを各々受信し、対応する第1ないし第nラッチクロック信号LACK1～LACKnに各々応答して、データ信号DATAをラッチし出力する第1ないし第nラッチLAT1～LATn、を具備する。ここで、データ信号DATAは、液晶の画面に色相を表示させる色相データを含む信号である。図4を参照すれば、第1ラッチクロック信号LACK1の論理ハイレベルで、伝送ゲート410がターンオンされてデータ信号DATAを受信した第1ラッチLAT1は、第1ラッチクロック信号LACK1が論理ローレベルに遷移される時に、伝送ゲート420がターンオンされて、データ信号DATAをラッチし続ける。第2ラッチLAT2は、第2ラッチクロック信号LACK2が論理ローレベルに遷移される時に、データ信号DATAをラッチし続ける。同様に第nラッチは、第nラッチクロック信号LACKnが論理ローレベルに遷移される時に、データ信号DATAをラッチし続ける。このようにラッチされたデータ信号DATAは、色相を表示させる信号LAT1Q, LAT2Q, LAT3Q, … LATnQとして生じて、パネル110に1行ずつ同時に印加される。

【0025】図5を参照すれば、図2の第1ないし第nフリップフロップF1～Fnの動作は同じ方式で行われるので、図5には第1ないし第3フリップフロップF1～F3の動作に関するタイミング図だけが、代表的に示される。

【0026】クロック信号CLKの立ち下がりエッジで、駆動パルス信号STARTに応答して第1中間駆動パルス信号S1が論理ハイレベルとして生じ、クロック信号CLKの一周期後に論理ローレベルになる。第2中間駆動パルス信号S2は、図2に示した第2フリップフロップF2が、クロック信号CLKの反転信号に응答して動作するので、第1中間駆動パルス信号S1が生じたクロック信号CLKの立ち下がりエッジから半周期後の立ち上がりエッジで第1出力信号Q1と共に論理ハイレベルとして生じて、クロック信号CLKの一周期中に維持される。第3中間駆動パルス信号S3は、クロック信号CLKが位相の反転なしにそのまま入力されるので、第2中間駆動パルス信号S2が生じたクロック信号CLKの立ち上がりエッジから半周期後の立ち下がりエッジで第2出力信号Q2と共に"ハイ"値として生じて、クロック信号CLKの一周期中に維持される。同じ方式で、クロック信号CLKの半周期ごとに中間駆動パルス信号(Si, i=1～n)、及び出力信号(Qi, i=1～n)が、"ハイ"値として一周期中に生じる。

【0027】第1ないし第3ラッチクロック信号LACK1～LACK3は、第1ないし第3中間駆動パルス信号S1～S3と第1ないし第3出力信号Q1～Q3の反転信号とが論理積されて生じるので、第1ないし第3ラッチクロック信号LACK1～LACK3も、クロック信号CLKの半周期ごと

*に論理ハイレベルとして生じて半周期中に維持された後、論理ローレベルに遷移される。このような動作は、残りのラッチクロック信号LACK4～LACKnにおいても、同一に行われる。

【0028】第1ラッチクロック信号LACK1の立ち下がりエッジで、第1データ信号1stDATAがラッチされ、第2ラッチクロック信号LACK2の立ち下がりエッジで、第2データ信号2nd DATAがラッチされ、同じ方式で、第nラッチクロック信号LACKnの立ち下がりエッジで、第nデータ信号nth DATAがラッチされる。データ信号DATAがラッチされるタイミングは、ソースドライバーが外部クロックICLKに直接応答して動作する場合と同一である。すなわち、データ信号DATAのラッチには変化がなく、また外部クロックICLKの2分周信号を使用することによって、クロックの遷移回数が減って電流の消耗が減少でき、またクロック信号CLKの"ハイ"状態や"ロー"状態が維持される時間が、外部クロックICLKが直接使われる場合より長くなるので、誤動作が生じる可能性が少なくなる。

【0029】

【発明の効果】前述したように、本発明に係るTFT型LCDドライバーは、外部クロックの2分周信号をクロック信号として使用してクロックの遷移回数を減らすことによって、TFT型LCDドライバーの電流消費を減らしうる長所がある。

【0030】以上のように、図面及び明細書で最適の実施例が開示された。ここで特定の用語が使われたが、これは単に本発明を説明するための目的で使われたものであって、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、本技術分野の通常の知識を有する者であれば、これより多様な変形及び均等な他の実施例が可能であるという点が理解できる。そして、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想により決まらねばならない。

【図面の簡単な説明】

【図1】本発明のTFT型LCDのドライバーを説明するためのブロック図である。

【図2】図1に示したソースドライバーを示す回路図である。

【図3】図2に示したシフトレジスター部のフリップフロップの構造を示す回路図である。

【図4】図2に示したデータラッチ部のラッチの構造を示す回路図である。

【図5】図2に示したソースドライバーの動作を示すタイミング図である。

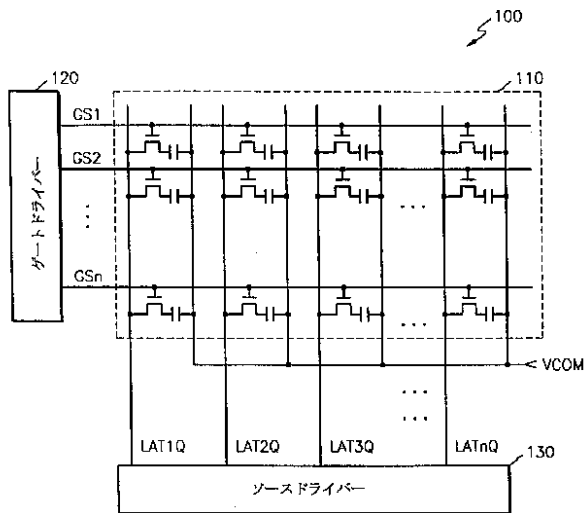
【符号の説明】

100	ドライバー
110	パネル
120	ゲートドライバー

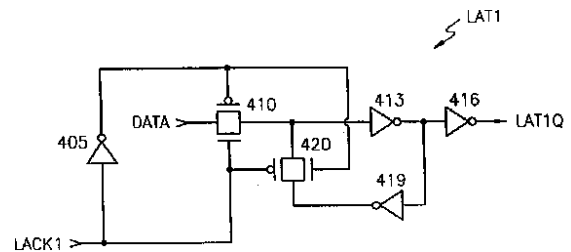
130 ソースドライバー
 210 シフトレジスタ部
 230 ラッチクロック信号発生部
 250 データラッチ部
 270、170 分周器
 325 マスタ段
 350 スレーブ段
 310、320、330、340、410、420、
 トランスファゲート
 313、316、319、333、336、339、410
 05、413、416、419、インバータ
 ICLK 外部クロック

*CLK クロック信号
 LAT1Q、LAT2Q、LAT3Q、...LATnQ 色相信号
 LAT1 ~ LATn 第1 ~ 第nラッチ
 GS1、GS2、...GSn ゲートラインを駆動するための
 信号
 F1 ~ Fn 第1 ~ 第nフリップフロップ
 START 駆動パルス信号
 S1 ~ Sn 第1 ~ 第n中間駆動パルス信号
 Q1 ~ Qn 第1 ~ 第n出力信号
 LACK1 ~ LACKn 第1 ~ 第nラッチクロック信号
 N1 ~ Nn 第1 ~ 第n論理積手段
 * DATA データ信号

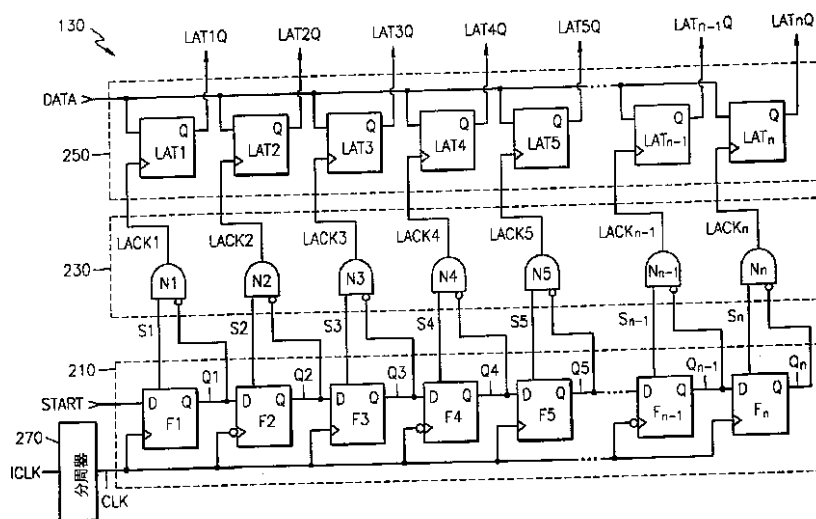
【図1】



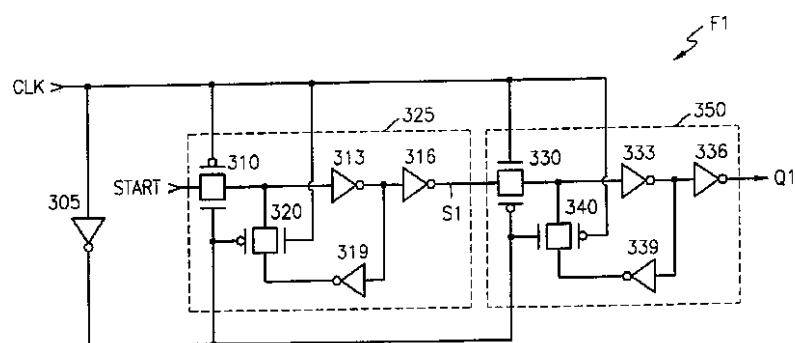
【図4】



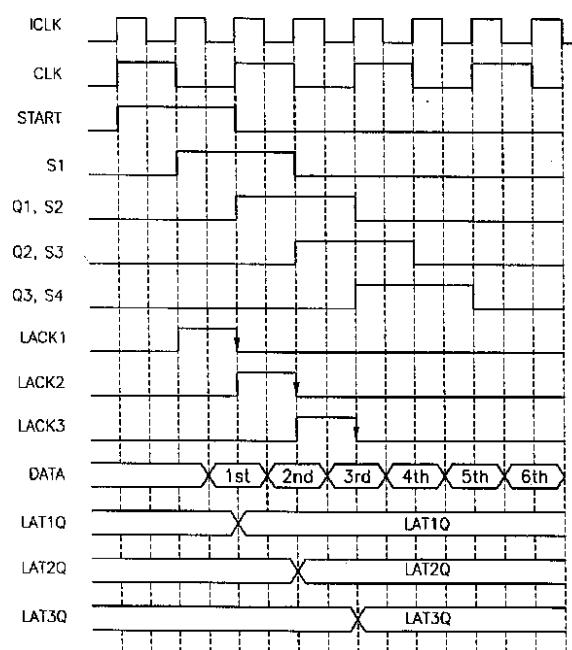
【図2】



【図 3】



【図 5】



フロントページの続き

F ターム(参考) 2H093 NC09 NC11 NC22 NC26 NC27
 ND39
 5C006 AF69 AF72 BB16 BC03 BC11
 BC20 BF03 BF04 BF06 BF26
 BF27 FA47
 5C080 AA10 BB05 DD26 FF11 JJ02
 JJ03 JJ04

专利名称(译)	薄膜晶体管型液晶显示驱动器		
公开(公告)号	JP2002221951A	公开(公告)日	2002-08-09
申请号	JP2001359844	申请日	2001-11-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	康彰植		
发明人	康 彰 植		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C7/10 G11C8/04		
CPC分类号	G11C8/04 G09G3/3688 G11C7/1036		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.623.G G09G3/20.623.H		
F-TERM分类号	2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC26 2H093/NC27 2H093/ND39 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF26 5C006/BF27 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	萩原诚		
优先权	1020010000843 2001-01-06 KR		
其他公开文献	JP4223712B2		
外部链接	Espacenet		

摘要(译)

(带更正) 要解决的问题: 提供一种能够减少电流消耗的TFT型LCD驱动器。源极驱动器包括移位寄存器单元, 锁存时钟信号生成单元和数据锁存单元, 该移位寄存器单元接收通过将外部时钟分频而获得的信号作为时钟信号, 并且具有串联连接的输入/输出端子。第一至第n触发器彼此接触, 并且响应于时钟信号, 将驱动脉冲信号施加为第一触发器的输入信号。锁存时钟信号发生器将在相应第一至第n触发器中生成的第一至第n中间驱动脉冲信号与第一至第n输出信号的反相信号进行逻辑与, 然后将第一至第n锁存器进行与。产生时钟信号。数据锁存单元包括第一至第n锁存器, 其接收数据信号并响应于相应第一至第n锁存时钟信号而锁存并输出数据信号。结果, 可以减少驱动器消耗的电流。

