

(19)日本国特許庁 (J P)

(12) **公開特許公報** (A)

(11)特許出願公開番号

特開2002－99256

(P2002－99256A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl ⁷	識別記号	F I	テームコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	505 5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 J 5 C 0 8 0
	622		622 C
			622 D
審査請求 未請求 請求項の数 2 O L (全 5 数)			

(21)出願番号 特願2000－290778(P2000－290778)

(22)出願日 平成12年9月25日(2000.9.25)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 木村 浩

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内

(74)代理人 100059225

弁理士 蔦田 璋子 (外 3 名)

F ターム (参考) 2H093 NB11 NC09 ND36

5C006 AA22 AC22 AF50 BB16 FA37

5C080 AA10 BB05 CC03 DD09 FF11

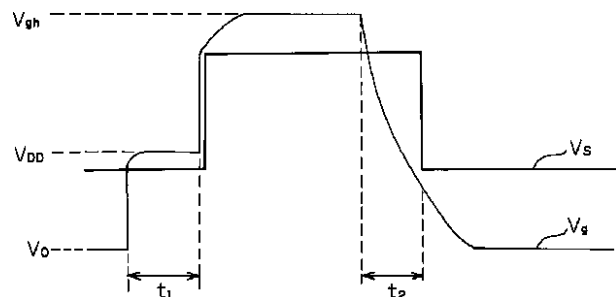
JJ02 JJ04

(54)【発明の名称】 平面表示装置

(57)【要約】

【課題】画面サイズが大きくなっても、ゲート信号による書き込み不足が発生しない液晶表示装置を提供する。

【解決手段】 液晶表示装置10のゲートドライバ28は、ゲート信号を基準電圧V₀から中間電圧V_{DD}に一旦上昇させた後、書き込み電圧V_{gh}に上昇させることによって、なまりを小さくすることができ、書き込み不足が生じない。



【特許請求の範囲】

【請求項 1】 互いに直交して配置される複数本の信号線及び走査線と、この信号線と走査線との交点近傍にスイッチ素子を介して配置される画素電極とを備えたアレイ基板を含み、前記信号線に接続され、画像信号を供給する信号線駆動回路と、前記走査線に接続され、前記スイッチング素子を ON 状態にして前記画像信号を前記画素電極に書き込むゲート信号を供給する走査線駆動回路と、を有する平面表示装置において、前記走査線駆動回路は、前記ゲート信号を基準電圧から中間電圧に一旦上昇させた後、書き込み電圧に上昇させることを特徴する平面表示装置。

【請求項 2】 前記画像信号を発生させるタイミングを指示する水平スタート信号を前記信号線駆動回路へ出力し、また、前記ゲート信号を発生させるタイミングを指示する垂直スタート信号と、所定のパルス幅を有する出力禁止信号を前記走査線駆動回路へ出力する制御回路を有し、前記走査線駆動回路は、前記垂直スタート信号が入力した時刻を基準にして前記出力禁止信号が入力してから前記ゲート信号を中間電圧に上昇させ、その後、前記出力禁止信号が停止してから前記ゲート信号を書き込み電圧に上昇させることを特徴とする請求項 1 記載の平面表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、液晶表示装置等の平面表示装置に関するものである。

【0002】

【従来の技術】 液晶表示装置の 1 つであるアクティブマトリクス型液晶表示装置は、その大型化、高精細化に伴い、走査線の増加及び 1 本の走査線に接続される薄膜トランジスタ (TFT) の数が増加しており、そのため走査線の抵抗と容量は増加の一途をたどっている。

【0003】 このように、走査線の抵抗及び容量の増加は、図 4 に示されるゲート信号 V_g の電圧波形を、走査線終端側では図 5 に示されるゲート信号 V_g の電圧波形の如く遅延させる。

【0004】 このように走査線の終端方向への遅延時間の増加に伴い、TFT が OFF 状態とならず、リーク電流が流れ、画素電圧が低下するということが起こる。

【0005】 そのため、従来より図 4 及び図 5 に示すように、その電圧波形のなまりを考慮したゲート遅延時間 t₂ を設け、ゲート遅延時間 t₂ の分だけゲート信号 V_g を早く立ち下げている。

【0006】 また、ゲート信号 V_g の立ち上がり時においても走査線の抵抗及び容量の影響により、なまりが生

じ、画素電極への書き込み時間が長くなり、フリッカー現象が発生する原因となる。

【0007】 そこで、従来においては、このフリッカーの発生を防止するため、ゲート信号 V_g の立ち上がり時間を一定時間だけ遅くして、出力禁止時間 t₁ を設けている。

【0008】

【発明が解決しようとする課題】 しかしながら、上記のような出力禁止時間 t₁ の期間を設けて、ゲート信号 V_g のなまりの部分の前削りしても、最近の画面サイズが大きくなることを理由に、書き込み不足が生じ、画質への悪影響があるという問題点があった。

【0009】 そして、大画面においてこのような書き込み不足を改善する方法として、ダブルゲート駆動法がある。

【0010】 このダブルゲート駆動法では、ゲート信号で画素電極に本書き込みを行う前に、予備書き込みで別のラインの画素信号を書き込み、書き込み不足を改善するものである。

【0011】 しかしながら、この方法であっても予備書き込みのときの表示データによっては、画質への悪影響があった。

【0012】 そこで、本発明は上記問題点に鑑み、画面サイズが大きくなっても、ゲート信号による書き込み不足が発生しない平面表示装置を提供するものである。

【0013】

【課題を解決するための手段】 請求項 1 の発明は、互いに直交して配置される複数本の信号線及び走査線と、この信号線と走査線との交点近傍にスイッチ素子を介して配置される画素電極とを備えたアレイ基板を含み、前記信号線に接続され、画像信号を供給する信号線駆動回路と、前記走査線に接続され、前記スイッチング素子を ON 状態にして前記画像信号を前記画素電極に書き込むゲート信号を供給する走査線駆動回路と、を有する平面表示装置において、前記走査線駆動回路は、前記ゲート信号を基準電圧から中間電圧に一旦上昇させた後、書き込み電圧に上昇させることを特徴する平面表示装置である。

【0014】 請求項 2 の発明は、前記画像信号を発生させるタイミングを指示する水平スタート信号を前記信号線駆動回路へ出力し、また、前記ゲート信号を発生させるタイミングを指示する垂直スタート信号と、所定のパルス幅を有する出力禁止信号を前記走査線駆動回路へ出力する制御回路を有し、前記走査線駆動回路は、前記垂直スタート信号が入力した時刻を基準にして前記出力禁止信号が入力してから前記ゲート信号を中間電圧に上昇させ、その後、前記出力禁止信号が停止してから前記ゲート信号を書き込み電圧に上昇させることを特徴とする請求項 1 記載の平面表示装置である。

【0015】 本発明の平面表示装置であると、ゲート信

号が一旦中間電圧まで上昇した後、書き込み電圧まで上昇するため、この書き込み電圧まで上昇した時点でのなまりが、基準電圧からいきなり書き込み電圧まで上昇したときよりも小さくなり、書き込み不足を減らすことができる。

【0016】

【発明の実施の形態】以下、本発明の一実施例のアクティブマトリクス型液晶表示装置 10 について、図 1～図 5 に基づいて説明する。

【0017】この液晶表示装置 10 は、有効表示領域 10 が、例えば、対角 15 インチサイズの UXGA 仕様のカラー表示画素を備えた液晶パネル 12 を備えている。

【0018】この液晶パネル 12 は、図 1 に示すように (1600×3 (R, G, B)) 本の信号線 16 と、この信号線 6 と直交して配置される 1200 本の走査線 18 と、これら各信号線 16 及び走査線 18 の交点近傍に配置される TFT 20 を介して配置される画素電極 22 とを備えたアレイ基板 14 を備えている。また、このアレイ基板 14 の対向面上方に所定の間隙をもって配置されるカラーフィルタを備えた対向電極基板 (図示せず) と、アレイ基板 14 と対向電極基板との間に配置される光変調層としての液晶 (図示せず) とを備えている。

【0019】なお、液晶パネルに代えて有機 EL パネルにするのであれば、液晶に代えて誘起 EL 層を配置する必要がある。

【0020】走査線 18 のそれぞれは TFT 20 のゲートに、信号線 16 のそれぞれは TFT 20 のドレインに、画素電極 22 のそれぞれは TFT 20 のソースに、それぞれ電氣的に接続されており、これにより走査線 18 に供給されるゲート信号 Vg に対応して信号線 16 からの画像信号 Vs が画素電極 22 に書き込まれ、画素電極 22 と対向電極との電位差に基づいて表示される。

【0021】信号線 16 は、ソースドライバ 24 に接続され、このソースドライバ 24 はデジタルの画像データ信号 DATA を D/A 変換してアナログの画像信号 Vs を信号線 16 に供給する。

【0022】走査線 18 は、ゲートドライバ 28 に接続され、ゲート信号 Vg が供給される。

【0023】そして、ソースドライバ 24 とゲートドライバ 28 を制御する液晶コントローラ 30 を備えている。

【0024】この液晶コントローラ 30 からはソースドライバ 24 に対して、水平クロック信号 XCLK、水平スタート信号 STH、前記した画像データ信号 DATA、極性反転信号 POL が供給される。また、ゲートドライバ 28 に対しては、垂直クロック信号 YCLK、垂直スタート信号 STV、出力禁止信号 OE が供給される。

【0025】電源回路 32 は、外部から供給される直流電圧 Vin を、DC/DC 変換を行い、液晶表示装置 10

に必要な複数の直流電圧を生成するものである。

【0026】例えば、電源回路 32 は、ソースドライバ 24 へ直流電圧 V1 を供給し、液晶コントローラ 30 にも直流電圧 V2 を供給している。そして、ゲートドライバ 28 には、後で説明する書き込み電圧 Vgh と中間電圧 VDD を供給している。

【0027】ゲートドライバ 28 内部には、電源選択回路 30 が設けられ、電源回路 32 から供給された書き込み電圧 Vgh と中間電圧 VDD とを液晶コントローラ 30 から送られてきた制御信号に基づいて選択してゲート信号 Vg として出力している。

【0028】そのゲート信号 Vg の出力波形を示したものが図 2 である。

【0029】図 2 に示すように、基準電圧 V0 から中間電圧 VDD に一旦上昇させ、出力禁止時間 t1 後に、書き込み電圧である Vgh に上昇させる。そして、ゲート遅延時間 t2 分だけ早く立ち下げる。これによって、画像信号 Vs の書き込み時間を必要時間得ることができ、書き込み不足が行われない。

【0030】すなわち、この波形であると、中間電圧 VDD から書き込み電圧 Vgh に上昇させるため、Vgh に上昇させた時点でのなまりが、基準電圧 V0 からいきなり上昇させたときよりも小さくすむため、書き込み不足が発生しない。

【0031】上記のゲート信号 Vg の波形を得るための液晶表示装置 10 の動作について、図 3 に基づいて説明する。

【0032】図 3 は、液晶コントローラ 30 から出力される各信号のタイミングチャートである。

【0033】図 3 は、上から垂直クロック信号 YCLK、垂直スタート信号 STV、出力禁止信号 OE、ゲート信号 Vg、遅延信号 TE、水平クロック信号 XCLK、水平スタート信号 STH、アナログの画像信号 Vs を示している。

【0034】液晶コントローラ 30 において、水平クロック信号 XCLK と垂直スタート信号 STV と出力禁止信号 OE がゲートドライバ 28 に出力される。

【0035】ゲートドライバ 28 は、垂直スタート信号 STV が入力し、その後初めて垂直クロック信号 YCLK が立ち上がる時点からゲート信号 Vg を出力する。

【0036】しかし、従来技術で説明したようにゲート信号 Vg の立ち上がり時のなまりによるフリッカー発生を防止するため、一定時間ゲート信号 Vg を出力禁止の状態にする必要がある。そのため、この時間を液晶コントローラ 30 から出力された出力禁止信号 OE によって決定する。

【0037】まず、本実施例では、垂直スタート信号 STV が入力し、垂直クロック信号 YCLK が立ち上がった時点及び出力禁止信号 OE が立ち上がった時点で、ゲート信号 V0 (例えば、-1.2V) を中間電圧 VDD (例

えば、3 V) まで一旦上昇させる。

【0038】次に、この出力禁止信号OEが出力禁止時間 t_1 (例えば、20 μ 秒) 後に立ち下がってからゲート信号Vgを書き込み電圧Vgh (例えば、18 V) にさらに上昇させる。

【0039】次に、ゲート遅延信号について説明する。

【0040】ゲートドライバ28に出力された垂直スタート信号STVが立ち上がってから、遅延信号TEが立ち下がるまでの時間である遅延時間 t_2 の後に、ソースドライバ24に出力する水平スタート信号STHを発生させ、ソースドライバ24に出力する。すると、図2に示すように、水平スタート信号STHがゲート遅延時間 t_2 だけ遅れるため、立ち下がり時も同様にゲート遅延時間 t_2 だけ遅れる。

【0041】これによって、画像信号Vsもその立ち下がり時間がゲート遅延時間 t_2 だけ遅れるため、図2に示すように、ゲート信号Vgが画像信号Vsに対してゲート遅延時間 t_2 だけ相対的に早く立ち下がる状態となる。

【0042】以上により本実施例の液晶表示装置10で20
あると、ゲート信号Vgを2段階で書き込み電圧Vghまで上昇させるため、立ち上げ時のなまりが生じることが少なく、従来のように書き込み不足が発生することがなく画像への悪影響がない。

【0043】なお、上記実施例では、電源選択回路をゲートドライバに内蔵にしたが、独立した回路で構成してもよい。

*

*【0044】

【発明の効果】本発明の平面表示装置であると、ゲート信号を2段階で書き込み電圧まで上昇させるため、基準電圧からいきなり上昇させる時よりもゲート信号のなまりが少なく、書き込み不足が生じることがないので、鮮明な画像を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す液晶表示装置のブロック図である。

【図2】本実施例のゲート信号と画像信号の波形図である。

【図3】液晶コントローラから出力される信号のタイミングチャートである。

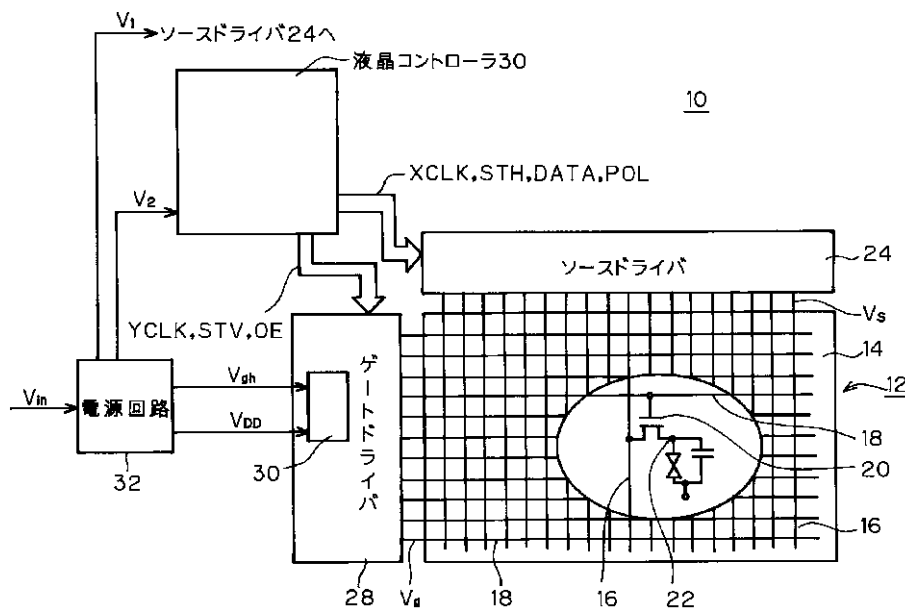
【図4】走査線の始端部近傍の波形図である。

【図5】走査線の終端部近傍の波形図である。

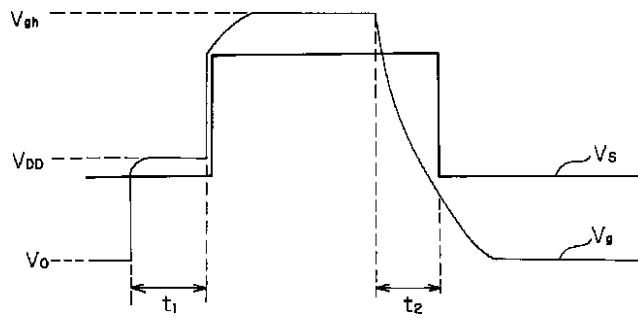
【符号の説明】

- 10 液晶表示装置
- 12 液晶パネル
- 14 アレイ基板
- 16 信号線
- 18 走査線
- 20 TFT
- 22 画素電極
- 24 ソースドライバ
- 28 ゲートドライバ
- 30 液晶コントローラ

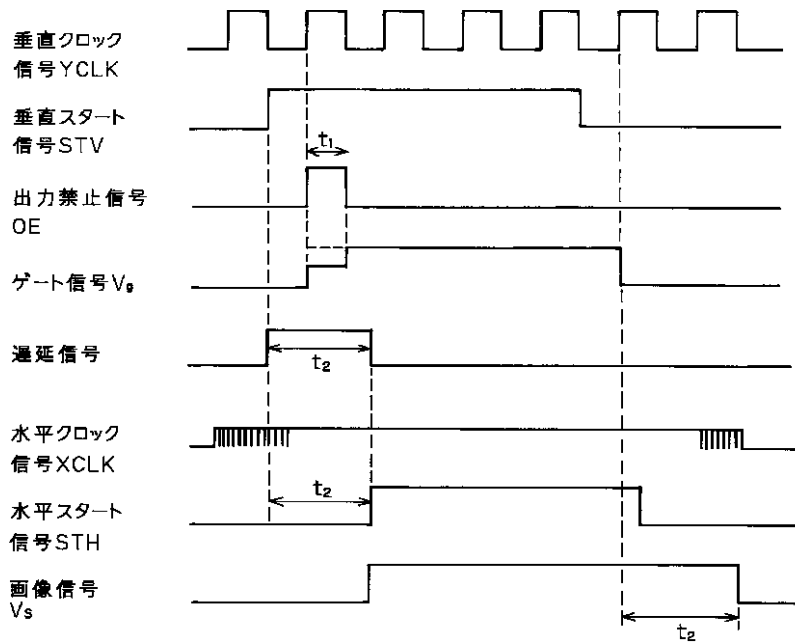
【図1】



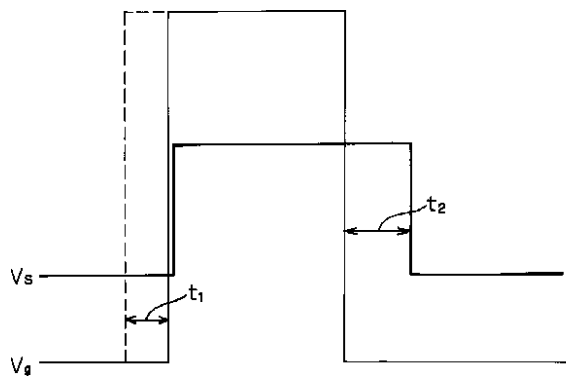
【図2】



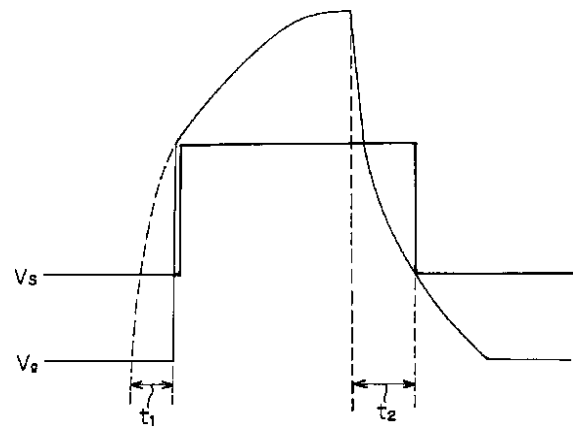
【図3】



【図4】



【図5】



专利名称(译)	平面表示装置		
公开(公告)号	JP2002099256A	公开(公告)日	2002-04-05
申请号	JP2000290778	申请日	2000-09-25
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	木村浩		
发明人	木村 浩		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.J G09G3/20.622.C G09G3/20.622.D		
F-TERM分类号	2H093/NB11 2H093/NC09 2H093/ND36 5C006/AA22 5C006/AC22 5C006/AF50 5C006/BB16 5C006/FA37 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/FF11 5C080/JJ02 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，即使屏幕尺寸变大，也不会发生由于栅极信号引起的写入不足。液晶显示装置10的栅极驱动器可以将栅极信号从参考电压 V_0 的舍入增加到中间电压 V_{DD} ，然后增加到写入电压 V_{gh} 以减少舍入，导致写入不足。不会发生。

