

(51) Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 3
1/1368		G 0 9 G 3/20	611 D 5 C 0 0 6
G 0 9 G 3/20	611	611 E 5 C 0 8 0	
		624 C	
審査請求 未請求 請求項の数 5 O L (全 16数) 最終頁に続く			

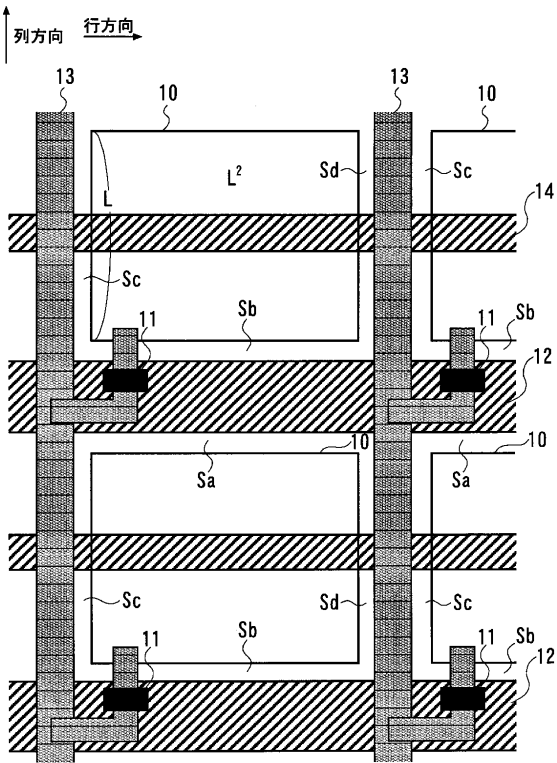
(21)出願番号	特願2000 - 240013(P2000 - 240013)	(71)出願人	000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号
(22)出願日	平成12年8月8日(2000.8.8)	(72)発明者	山口 郁博 東京都八王子市石川町2951番地5 カシオ計 算機株式会社八王子研究所内
		(74)代理人	100090033 弁理士 荒船 博司 (外 1 名)
		最終頁に続く	

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 フリッカや垂直ストロークが低減されるために高表示品位であり、かつ、高開口率である液晶表示装置を提供する。

【解決手段】 縦横に多数配列される画素電極 1 0 と、この画素電極 1 0 の周囲で行方向に配列されるゲートライン 1 2 および列方向に配列されるデータライン 1 3 と、ゲートライン 1 2 と平行に行方向に設けられる補助容量ライン 1 4 と、を備える液晶表示装置である。駆動に際して、ゲートラインとの寄生容量が画素電位の変動に与える寄与分をうち消すように、補助容量ライン 1 4 の各行で異なる波形の電圧を印加する。上記構成によれば、寄生容量の影響を低減してフリッカや垂直クロストークなどの表示劣化が抑制されると共に、補助容量を小さくできるために高開口率化が図られる。



【特許請求の範囲】

【請求項 1】 相対向する一対の基板間に液晶が封入されてなり、

画素電極の周囲に縦横に設けられるゲートラインおよびデータラインと、補助容量ラインと、を少なくとも一方の基板に備える液晶表示装置であって、ゲートラインに沿った行方向に、該ゲートラインに平行となるように補助容量ラインを設け、

駆動に際して、画素電極の周囲のゲートラインと画素電極との間の寄生容量が、画素電位の変動に与える寄与分をうち消すように、前記補助容量ラインごとに異なる波形の補助容量電圧が印加されることを特徴とする液晶表示装置。

【請求項 2】 請求項 1 記載の液晶表示装置において、画素電極が、自行あるいは隣行のゲートライン上にまで広がることを特徴とする液晶表示装置。

【請求項 3】 相対向する一対の基板間に液晶が封入されてなり、

画素電極の周囲に縦横に設けられるゲートラインおよびデータラインと、補助容量ラインと、を少なくとも一方の基板に備える液晶表示装置であって、データラインに沿った列方向に、該データラインに平行となるように補助容量ラインを設け、

駆動に際して、画素電極の周囲のデータラインと画素電極との間の寄生容量が、画素電位の変動に与える寄与分をうち消すように、前記補助容量ラインごとに異なる波形の補助容量電圧が印加されることを特徴とする液晶表示装置。

【請求項 4】 請求項 3 記載の液晶表示装置において、画素電極が、自列あるいは隣列のデータライン上にまで広がることを特徴とする液晶表示装置。

【請求項 5】 請求項 3 または 4 記載の液晶表示装置において、

駆動に際して、補助容量ラインごとに印加される補助容量電圧の波形が、データラインから画素電極に与えられる信号電圧の波形の極性を反転させた波形とされていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高開口率であり、かつ、フリッカや垂直ストロークが低減されるために高表示品位である液晶表示装置に関する。

【0002】

【従来の技術】従来、アクティブマトリクス駆動の液晶表示装置では、図 13 に示すように、画素電極 100 の周囲に縦横にゲートライン 101 およびデータライン 102 が設けられ、画素電極 100 につながる TFT 103 を介して所定の電圧が印加されて駆動される。しかしながら、駆動に際して、1 画素を囲む 2 つのゲートライン 101 および 2 つのデータライン 102 の電圧変動

が、画素電極 100 に印可される電圧に影響を与え、フリッカや垂直クロストークなどが生じ、表示品位の低下につながる場合がある。これらの現象は、画素電極 100 とゲートライン 101 および画素電極 100 とデータライン 102 との間の寄生容量に基づく。このために、補助容量ライン 104 が設けられ、駆動に際してこの補助容量ライン 104 に所定の電圧を印可して補助容量 C_s をもたせ、フリッカや垂直クロストークなどの表示劣化が低減される。この補助容量ライン 104 は、例えば、図 15 および図 16 に等価回路で示すように接続される。図 15 では、補助容量ラインは共通電極に接続され、「Cs on common」と呼ばれ、補助容量ライン 104 には共通電極と同じ信号が印加される。図 16 では、補助容量ラインは隣行ゲートライン（図 16 中、 $V_{g(0)} \sim V_{g(4)}$ で図示）に接続され、「Cs on Gate」と呼ばれ、補助容量ライン 104 には隣行ゲートライン信号と同じ信号が印加される。

【0003】

【発明が解決しようとする課題】図 14 に、図 13 に示す構成の 1 画素（ n 行 m 列目）の等価回路を示す。この画素は、この画素の TFT 103 につながる n 行目の自行ゲートライン（ $V_{g(n)}$ ）と、この画素の隣に配置する画素の TFT につながる（ $n-1$ ）行目の隣行ゲートライン（ $V_{g(n-1)}$ ）と、この画素の TFT 103 につながる m 列目の自列データライン（ $V_{d(m)}$ ）と、この画素の隣に配置する画素の TFT につながる（ $m+1$ ）列目の隣列データライン（ $V_{d(m+1)}$ ）と、に囲まれる。そして、 n 行目の自行ゲートラインおよび（ $n-1$ ）行目の隣行ゲートラインと画素電極 100 との間の寄生容量を、各々、 $C_{pg-self}$ および C_{pg-pre} で示す。また、 m 列目の自列データラインおよび（ $m+1$ ）列目の隣列データラインと画素電極 100 との間の寄生容量を、各々、 $C_{pd-left}$ および $C_{pd-right}$ で示す。また、液晶層がもつ容量を C_{lc} で示し、補助容量を C_s で示す。なお、図 2 中では、一般性のため全ての寄生容量を示しているが、画素構造によってはこのうちの幾つかは非常に小さく無視できる場合もある。ここで、ゲートラインとの寄生容量 $C_{pg-self}$ 、 C_{pg-pre} は主にフリッカの原因となる。データラインとの寄生容量 $C_{pd-left}$ 、 $C_{pd-right}$ は主に垂直クロストークの原因となる。

【0004】ゲートラインとの寄生容量 $C_{pg-self}$ 、 C_{pg-pre} は、主に画素トランジスタ部分の容量に依存し、画素電極 100 を一辺 L の正方形とした場合、画素面積 L^2 （図 13 に図示）にほぼ比例する。データライン 102 との寄生容量 $C_{pd-left}$ 、 $C_{pd-right}$ は、画素電極 100 の長さ L （データライン 102 の方向の長さ、図 1 に図示）に依存する。また、液晶容量 C_{lc} は画素面積 L^2 に比例する。従って、画素寸法 L がある程度大きい場合には、画素面積 L^2 に比例するゲートラインとの寄生容量 $C_{pg-self}$ 、 C_{pg-pre} の影響が生じやすく、垂直

クロストークよりもフリッカが生じ易いという傾向があり。逆に、画素寸法 L がある程度小さい場合には、画素の長さ L に比例するデータラインとの寄生容量 C

$C_{pd-left}$ 、 $C_{pd-right}$ の影響が生じやすく、フリッカよりも垂直クロストークが生じ易いという傾向がある。

【0005】フリッカや垂直クロストークを抑えるには、これらの寄生容量が、画素電位の変動に与える影響*

$$\Delta V_{p(n)} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \Delta V_{g(n)} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \Delta V_{g(n)} \\ + \left(\frac{C_{pd-left}}{C_{total}} \right) \cdot \Delta V_{d(m)} + \left(\frac{C_{pd-right}}{C_{total}} \right) \cdot \Delta V_{d(m+1)}$$

但し、 $C_{total} = C_{1c} + C_s + C_{pg-self} + C_{pg-pre} + C_{pd-left} + C_{pd-right}$

式(1)中、右辺第1項および第2項が、自行および隣行ゲートラインからの寄与分を示し、第3項および第4項が、自列および隣列データラインからの寄与分を示す。なお、1つの画素電極に対してこれらの容量は並列に接続されるとみなせ、全容量 C はこれらの容量

$$\frac{dV_{p(n)}}{dt} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \frac{dV_{g(n)}}{dt} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \frac{dV_{g(n-1)}}{dt} \\ + \left(\frac{C_{pd-left}}{C_{total}} \right) \cdot \frac{dV_{d(m)}}{dt} + \left(\frac{C_{pd-right}}{C_{total}} \right) \cdot \frac{dV_{d(m+1)}}{dt}$$

式(1)中、例えば、右辺第1項は、自行ゲートライン(n 行目)の電位 $V_{g(n)}$ の変動 $\Delta V_{g(n)}$ が与える画素電位の変動を示す。この電位変動 $\Delta V_{g(n)}$ を「0」とすることは原理的に出来ないので、 $C_{pg-self}$ が「0」でない限り、右辺第1項を「0」とすることはできない。また、右辺第2項から第4項までについても同様である。そこで、画素電位の変動 $\Delta V_{p(n)}$ を小さくするためには、補助容量 C_s を大きくとることで右辺各項の分母 C_{total} を大きくし、各項全ての値を十分小さく抑えることになる。

【0006】しかしながら、補助容量 C_s を大きくすることは、補助容量ラインの面積を大きくすることである。このために、補助容量ラインが占有する面積が大きくなり開口率の低下を招く。これにより、十分な明るさが得られず表示品位が低下してしまう。そこで、補助容量 C_s を大きくすることなく、フリッカや垂直クロストークを抑制して高品位の表示が可能である液晶表示装置が要求されていた。

【0007】本発明の課題は、フリッカや垂直ストロークが低減されるために高表示品位であり、かつ、高開口率である液晶表示装置を提供することである。

【0008】

【課題を解決するための手段】以上の課題を解決するため、請求項1記載の発明は、ゲートラインに沿った行方向に、該ゲートラインに平行となるように補助容量ラインを設け、駆動に際して、画素電極の周囲のゲートラインと画素電極との間の寄生容量が、画素電位の変動に与

*を小さくすることが必要である。1画素(n 行 m 列目)を囲む2つのゲートラインおよび2つのデータラインから与えられる画素電位の変動 $\Delta V_{p(n)}$ は下記式(1)で与えられる。なお、補助容量 C_s に印加される電圧は一定として考える。

【数1】式(1)

の総和となる。なお、 Δ は各電圧の時間変化を示しているが、より数学的に時間要素を含めて表すには、微分形式を用いて下記式(2)の通りに示される。

【数2】式(2)

える寄与分をうち消すように、前記補助容量ラインごとに異なる波形の補助容量電圧が印加されることを特徴とする。

【0009】請求項1記載の発明によれば、画素電極の周囲のゲートラインと画素電極との間の寄生容量は、主にフリッカの原因となるが、駆動に際して、画素電極の周囲のゲートラインと画素電極との間の寄生容量が画素電位の変動に与える寄与分をうち消すように、補助容量ラインごとに異なる波形の補助容量電圧を印加することでフリッカが抑制され、良好な表示品位の液晶表示装置が得られる。また、従来、補助容量ラインは、フリッカなどの表示劣化を抑制するために、所定の補助容量をもつ。ここで、請求項1記載の発明を適用すれば、一定寸法の画素電極に対して従来必要な補助容量よりも小さな補助容量で、フリッカなどの表示劣化が抑制され、良好な表示品位の液晶表示装置が得られる。また、このように「補助容量を小さくする」とは、補助容量ラインの面積を小さくできることに対応する。この補助容量ラインは、例えば、画素電極上に配設されるので、「補助容量ラインの面積を小さくする」ことで、液晶表示装置の高開口率化が図られる。以上から、フリッカなどの表示劣化を抑制すると共に、高開口率化が図られ、優れた表示品位の液晶表示装置が得られる。

【0010】また、フリッカや垂直クロストークなどの表示劣化は、画素電極の寸法に応じて発生傾向が異なる。すなわち、ある程度大きな寸法の画素電極では、垂直クロストークよりもフリッカの方が生じ易い。ここ

で、垂直クロストークは、主に画素電極の周囲のデータラインと画素電極との間の寄生容量が原因となる。従って、請求項 1 記載の発明を適用するには、フリッカが生じ易いある程度大きな画素電極の寸法の範囲内で、予め垂直クロストークが抑制される程度の補助容量ラインの寸法に設定しておくことが好ましい。この場合には、予め補助容量ラインの寸法を調整することで垂直クロストークが抑制されると共に、補助容量ラインごとに寄生容量が画素電位の変動に与える寄与分をうち消すように異なる波形の補助容量電圧が印加されることで、フリッカが抑制される。これにより、フリッカと垂直クロストークの両方が抑制され、優れた表示品位の液晶表示装置が得られる。

【0011】請求項 2 記載の発明は、請求項 1 記載の液晶表示装置において、画素電極が、自行あるいは隣行のゲートライン上にまで広がることを特徴とする。

【0012】請求項 2 記載の発明によれば、請求項 1 と同様の効果を奏することができるとともに、ゲートラインと画素電極とはアクティブ素子（例えば、TFT など）を介して接続され、他の部分では、両者は絶縁膜を介して短絡が防止されるが、自行あるいは隣行ゲートライン上に画素電極が広がって絶縁膜を挟んで重なる部分が、寄生容量として機能する。従って、この寄生容量の分だけ、補助容量ラインがもつべき補助容量を小さくでき、補助容量ラインの面積が低減され、さらに、高開口率化が図られる。また、自行あるいは隣行ゲートライン上に画素電極が広がる部分は遮光性を与える。これにより、ブラックマスクなどの遮光性を与えるための構成を設けることなく、表示のコントラストが向上される。

【0013】なお、画素電極が、自行あるいは隣行のゲートライン上にまで広がると共に、この画素電極の周囲に配設されるデータライン上にも広がる構成としても良い。この場合には、画素電極の周囲に全体的に遮光性が与えられ、さらに表示のコントラストが向上される。

【0014】また、「自行ゲートライン」とは、ある 1 つの画素電極に対して、この画素電極の TFT につながるゲートラインを意味する。また、「隣行ゲートライン」とは、この画素電極の隣に配設される画素電極の TFT につながり、行方向に多数配設されるゲートラインのうちの自行ゲートラインの隣に配設されるゲートラインを意味する。

【0015】請求項 3 記載の発明は、データラインに沿った列方向に、該データラインに平行となるように補助容量ラインを設け、駆動に際して、画素電極の周囲のデータラインと画素電極との間の寄生容量が、画素電位の変動に与える寄与分をうち消すように、前記補助容量ラインごとに異なる波形の補助容量電圧が印加されることを特徴とする。

【0016】請求項 3 記載の発明によれば、画素電極の周囲のデータラインと画素電極との間の寄生容量は、主

に垂直クロストークの原因となるが、駆動に際して、画素電極の周囲のデータラインと画素電極との間の寄生容量が、画素電位の変動に与える寄与分をうち消すように、補助容量ラインごとに異なる波形の補助容量電圧を印加することで垂直クロストークが抑制され、良好な表示品位の液晶表示装置が得られる。また、請求項 1 と同様に、一定寸法の画素電極に対して従来必要な補助容量よりも小さな補助容量で、垂直クロストークなどの表示劣化が抑制され、良好な表示品位の液晶表示装置が得られる。これにより、液晶表示装置の高開口率化が図られる。以上から、垂直クロストークなどの表示劣化を抑制すると共に、高開口率化が図られ、優れた表示品位の液晶表示装置が得られる。

【0017】また、請求項 1 の場合と逆に、ある程度小さな寸法の画素電極では、フリッカよりも垂直クロストークの方が生じ易い。従って、請求項 3 記載の発明を適用するには、垂直クロストークが生じ易いある程度小さな画素電極の寸法の範囲内で、予めフリッカが抑制される程度の画素電極の寸法に設定しておくことが好ましい。

【0018】請求項 4 記載の発明は、請求項 3 記載の液晶表示装置において、例えば、図 9 に示すように、画素電極が、自列あるいは隣列のデータライン上にまで広がることを特徴とする。

【0019】請求項 4 記載の発明によれば、請求項 3 と同様の効果を奏することができるとともに、請求項 2 の場合と同様に、自列あるいは隣列データライン上に画素電極が広がる部分の絶縁膜の部分が、寄生容量として機能する。従って、この寄生容量の分だけ、補助容量ラインがもつべき補助容量を小さくでき、補助容量ラインの面積が低減され、さらに、高開口率化が図られる。また、自列あるいは隣列データラインが画素電極上に広がる部分が、画素に対して遮光性を与え、ブラックマスクなどの遮光性を与えるための構成を設けることなく、表示のコントラストが向上する。なお、画素電極が、自列あるいは隣列のデータライン上にまで広がると共に、この画素電極の周囲に配設されるゲートライン上にも広がる構成としても良い。この場合には、画素電極の周囲に全体的に遮光性が与えられ、さらに表示のコントラストが向上される。

【0020】また、「自列データライン」とは、ある 1 つの画素電極に対して、この画素電極の TFT につながるデータラインを意味する。また、「隣列データライン」とは、この画素電極の隣に配設される画素電極の TFT につながり、列方向に多数配設されるデータラインのうちの自列データラインの隣に配設されるデータラインを意味する。

【0021】請求項 5 記載の発明は、請求項 3 または 4 記載の液晶表示装置において、駆動に際して、補助容量ラインごとに印加される補助容量電圧の波形が、データ

ラインから画素電極に与えられる信号電圧の波形の極性を反転させた波形とされていることを特徴とする。

【0022】請求項5記載の発明によれば、請求項3または4と同様の効果を奏することができる。また、以下に示す通りに、補助容量ラインをデータラインと平行に列状に設けると共に、隣列データラインとの寄生容量がほぼ「0」とみなせ、かつ、補助容量が自列データラインとの寄生容量とほぼ同じとなるように構成する場合に*

$$\Delta V_{p(n)} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \Delta V_{g(n)} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \Delta V_{g(n-1)} \\ + \left(\frac{C_{pd-left}}{C_{total}} \right) \cdot \Delta V_{d(m)} + \left(\frac{C_{pd-right}}{C_{total}} \right) \cdot \Delta V_{d(m+1)} + \left(\frac{C_s}{C_{total}} \right) \cdot \Delta V_{cs(m)}$$

ここで、 $\Delta V_{cs(m)}$ として下記式(4)で示される波形の電圧を印加すると、データラインの補助容量の寄与分に関する項が相殺され、画素電位の変動 $\Delta V_{p(n)}$ は下記式(5)で与えられる。すなわち、下記式(5)には、*

$$V_{cs(m)} = - \left(\frac{C_{pd-left}}{C_s} \right) \cdot \Delta V_{d(m)} - \left(\frac{C_{pd-right}}{C_s} \right) \cdot \Delta V_{d(m+1)}$$

【数5】式(5)

$$\Delta V_{p(n)} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \Delta V_{g(n)} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \Delta V_{g(n-1)}$$

ここで、上述の通り「 $C_{pd-right} = 0$ 」かつ「 $C_s = C_{pd-left}$ 」となるように構成されているので、これらの条件を上記式(4)に適用すると、補助容量ラインに印加する電圧 $\Delta V_{cs(m)}$ は下記式(6)の通りに単純化される。

【数6】式(6)

$$\Delta V_{cs(m)} = -\Delta V_{d(m)}$$

すなわち、この場合には、補助容量ラインに印加される補助容量電圧としては、信号電圧の極性を反転させた電圧を印加すれば良い。従って、より単純な制御でフリッカや垂直クロストークなどの表示劣化が抑制され、良好な表示品位の液晶表示装置が得られる。

【0024】

【発明の実施の形態】〔第1の実施の形態〕以下、図1～3を参照して、本発明の第1の実施の形態の液晶表示装置を詳細に説明する。図1に示すように、第1の実施の形態の液晶表示装置の基本的な構成要素は、周知のアクティブマトリクス方式で駆動される液晶表示装置と同様であり、補助容量ライン14の構成が本実施の形態特有の構成とされる。そして、駆動に際して、補助容量ライン14に所定の電圧(後述する)が印加されて補助容量 C_s を与え、フリッカや垂直クロストークが低減される。従って、以下の説明では、補助容量ライン14の周辺の構成および駆動方法を主体に説明し、その他の構成要素については周知の構成要素が適用可能である。

【0025】図1に示すように、第1の実施の形態の液晶表示装置は、TFT1を備えかつ縦横に多数配列さ

*は、補助容量ラインに印加する補助容量電圧は、自列データラインから印加される信号電極の極性を反転させた波形に単純化される。

【0023】すなわち、先ず、画素電位の変動 $\Delta V_{p(n)}$ は、さらに補助容量ライン(m列目)の補助容量電圧の変動 $\Delta V_{cs(m)}$ を考慮して下記式(3)で与えられる。

【数3】式(3)

*画素電極の周囲のゲートラインとの寄生容量の寄与分を示す項のみが残り、予め画素寸法をある程度小さく設定しておけば、下記式(5)の右辺は十分に小さい。

【数4】式(4)

れる画素電極10と、この画素電極10の周囲で行方向に配設されるゲートライン12および列方向に配設されるデータライン13と、補助容量 C_s を与えてゲートライン12およびデータライン13との寄生容量の影響を低減する補助容量ライン14と、を備えている。第1の実施の形態では、補助容量ライン14は、ゲートライン12と平行に行方向に設けられる。1本の補助容量ライン14は、例えば、行方向に配設される各画素電極10のほぼ中心で各画素電極10に渡るように設けられる。そして、補助容量ライン14の各行で異なる波形の電圧を印加できるようになっている。また、図示はしないが、本実施の形態の液晶表示装置は、互いに間隔をあけて平行に配置された1対の透明基板(例えば、ガラス基板)と、この1対の透明基板の間に封入された液晶と、透明基板の内面に設けられ画素電極10と対向して配設される共通電極(コモン電極)と、を備える。さらに、この液晶表示装置には、ブラックマスク、配向膜、偏光板などが設けられる。

【0026】画素電極としては、第1の実施の形態では、比較的大きな寸法(データライン13の方向の寸法L)のものが適用される。このために、1画素を囲むゲートライン12およびデータライン13から画素電位に与えられる変動 $\Delta V_{p(n)}$ (以下、画素電位の変動 $\Delta V_{p(n)}$)は、データライン13との寄生容量の寄与(前記寸法Lにほぼ比例する)よりも、ゲートライン12との寄生容量の寄与(画素電極10を一辺Lの正方形とした場合、画素電極の面積 L^2 にほぼ比例する)の方が大き

くなる。上述の通り、ゲートライン 12 との寄生容量はフリッカの原因となり、データライン 13 との寄生容量は垂直クロストークの原因となる。すなわち、第 1 の実施の形態では、ある一定の面積の補助容量ライン 14 において（すなわち一定の補助容量 C_s ）、垂直クロストークよりもフリッカの方が生じやすい構成となっている。

【0027】補助容量ライン 14 は、その面積が以下の*

$$\Delta V_{p(n)} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \Delta V_{g(n)} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \Delta V_{g(n)} \\ + \left(\frac{C_{pd-left}}{C_{total}} \right) \cdot \Delta V_{d(m)} + \left(\frac{C_{pd-right}}{C_{total}} \right) \cdot \Delta V_{d(m+1)}$$

$$\text{但し、} C_{total} = C_{1c} + C_s + C_{pg-self} + C_{pg-pre} + C_{pd-left} + C_{pd-right}$$

【0028】第 1 の実施の形態では、上述の通り、画素電極 10 の寸法 L はある程度の大きさを持ち、垂直クロストークよりもフリッカの方が生じ易い。従って、例えば、補助容量ライン 14 の面積を大きくしていくと、先ず、垂直クロストークが視認されなくなり、次いで、フリッカが視認されなくなる。ここで、第 1 の実施の形態の補助容量ライン 14 の面積は、従来同様の方法で駆動したときに、少なくとも垂直クロストークは視認されず、かつ、フリッカは視認される範囲に設定される。これにより、補助容量ライン 14 は、周知の構成（例えば、図 13 に示す従来の構成）と比較して幅（データラ

*通りに考慮されている。すなわち、先ず、図 2（図 1 の構成の等価回路）に示す 1 つの画素において、画素電位の変動 $\Delta V_{p(n)}$ は下記式（1）で与えられる。従って、下記式（1）において、 $\Delta V_{p(n)}$ を小さくするためには、補助容量 C_s を大きくすることになる。なお、図 2 中、画素電極 10 と、データライン 13 との寄生容量と、については省略されている。

【数 7】式（1）

*イン 13 の方向）が小さくされ、補助容量ライン 14 の面積が小さくなるように設定される。これにより、従来より開口率が大きく取れ、十分な明るさの液晶表示装置が得られる。

【0029】補助容量ライン 14 に印加される電圧の波形は、以下の通りに考慮されている。すなわち、先ず、上記式（1）中で、さらに、n 行目の補助容量ライン 14 の電位変動 $\Delta V_{cs(n)}$ を考慮すると、画素電位の変動 $\Delta V_{p(n)}$ は下記式（7）で与えられる。

【数 8】式（7）

$$\Delta V_{p(n)} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \Delta V_{g(n)} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \Delta V_{g(n-1)} \\ + \left(\frac{C_{pd-left}}{C_{total}} \right) \cdot \Delta V_{d(m)} + \left(\frac{C_{pd-right}}{C_{total}} \right) \cdot \Delta V_{d(m+1)} + \left(\frac{C_s}{C_{total}} \right) \cdot \Delta V_{cs(n)}$$

ここで、第 1 の実施の形態では $\Delta V_{cs(n)}$ として下記式（8）に示す波形の電圧が印加される。従って、式（7）中で第 1 項と第 2 項と第 5 項とが相殺され、画素

電位の変動 $\Delta V_{p(n)}$ は、下記式（9）で与えられる。

【数 9】式（8）

$$\Delta V_{cs(n)} = - \left(\frac{C_{pg-self}}{C_s} \right) \cdot \Delta V_{g(n)} - \left(\frac{C_{pg-pre}}{C_s} \right) \cdot \Delta V_{g(n-1)}$$

【数 10】式（9）

$$\Delta V_{p(n)} = \left(\frac{C_{pd-left}}{C_{total}} \right) \cdot \Delta V_{d(m)} + \left(\frac{C_{pd-right}}{C_{total}} \right) \cdot \Delta V_{d(m+1)}$$

【0030】すなわち、上記式（9）に示されるように、駆動に際して、補助容量電圧 $\Delta V_{cs(n)}$ として上記式（8）に示される波形の電圧が印加されることで、ゲートライン 12 との寄生容量の寄与分がうち消される。そして、画素電位の変動 $\Delta V_{p(n)}$ としては、データライン 13 との寄生容量の寄与分に関する項だけが残る。これは、液晶表示装置の表示との対応で言うと、フリッカがキャンセルされ、垂直クロストークに関する寄与分だけが残ることを意味する。しかしながら、上述の通り

に、第 1 の実施の形態では、補助容量ライン 14 の面積は垂直クロストークを生じない程度の大きさを持つように設定されており、上記式（5）の右辺は既に十分に小さい。すなわち、以上の通りに駆動することで、補助容量ライン 14 の面積を大きく取ることなく、フリッカや垂直クロストークが視認されない程度に低減される。すなわち、フリッカや垂直クロストークなどの表示劣化が抑制されると共に、高い開口率をもち、高表示品の液晶表示装置が得られる。

【0031】例えば、図3のタイムチャートに示すように、駆動に際して、(n-1)行目のゲートライン12に時刻 T_1 から時刻 T_2 のあいだ所定の電圧が印加され(図3(a)に $V_{g(n-1)}$ として図示)、次いで、n行目のゲートライン12に時刻 T_2 から時刻 T_3 のあいだ所定の電圧が印加される(図3(b)に $V_{g(n)}$ として図示)場合を考える。ここでコモン電圧は一定とする。この場合に、n行目の補助容量ライン14には、上記式(8)に基づいて、図3(c)に示す補助容量電圧 $V_{cs(n)}$ が印加されるように制御される。すなわち、 $V_{cs(n)}$ として、上記式(8)に基づいて、印加される電圧 $V_{g(n-1)}$ と $V_{g(n)}$ との時間変化が生じる時刻(すなわち、時刻 T_1 、時刻 T_2 、時刻 T_3)で、寄生容量 $C_{pg-self}$ 、 C_{pg-pre} の大きさにより電圧値が階段状の波形となると共に、 $V_{g(n-1)}$ や $V_{g(n)}$ と極性が反転された波形の電圧が印加される。

【0032】次に、第1の実施の形態の液晶表示装置の駆動方法は、補助容量ライン14に上記式(8)に基づいた波形の電圧 $\Delta V_{cs(n)}$ が入力されることを除いては、基本的に従来の駆動方法と同様である。すなわち、基本的には、あるゲートライン12に所定の電圧を印加したときに、個々のデータライン13に順次所定の電圧を印加していくことで、ゲートライン12とデータライン13との対応する交差部分の画素電極10に所定の電圧が順次供給されて駆動される。このように画素電極10に電圧が順次供給されるに伴って、補助容量ライン14には、上記式(8)に基づいて、補助容量ライン14ごとに異なる波形の電圧 $\Delta V_{cs(n)}$ が印加される。これにより、上述の通り、ゲートライン12との寄生容量が画素電位の変動 $\Delta V_{p(n)}$ に与える寄与分がうち消される。従って、従来必要となる面積よりも小さな面積の補助容量ライン14でも、フリッカがキャンセルされる。以上の通りにして、第1の実施の形態の液晶表示装置が駆動される。

【0033】以上の第1の実施の形態の液晶表示装置によれば、フリッカや垂直クロストークなどの表示劣化が*

$$\Delta V_{p(n)} = \left(\frac{C_{pd-left}}{C_{total}} \right) \cdot \Delta V_{d(m)} + \left(\frac{C_{pd-right}}{C_{total}} \right) \cdot \Delta V_{d(m+1)}$$

ここで、全容量 C_{total} は、下記式(10)で与えられる。

$$C_{total} = C_{1c} + C_s + C_{pg-self} + C_{pg-pre} + C_{pd-left} + C_{pd-right}$$

従って、残った垂直クロストークを抑えるために必要な補助容量 C_s は、自行ゲートライン12aおよび隣行ゲートライン12bとの寄生容量 $C_{pg-self}$ 、 C_{pg-pre} が大きい程小さくできる。

【0037】これにより、自行ゲートライン12aおよび隣行ゲートライン12bと画素電極10aとの重なる部分Pが、第2の補助容量として機能する。従って、第2の実施の形態では、この互いに重なる部分Pの容量に

*視認されない程度に低減される。また、駆動に際して、ゲートライン12との寄生容量の寄与分をうち消すように、補助容量ライン14に所定の波形の電圧が印加されるので、補助容量ライン14の面積が小さくでき、十分な開口率をもたせられる。以上により、高表示品の液晶表示装置を得ることができる。

【0034】〔第2の実施の形態〕以下、図4~5を参照して、本発明の第2の実施の形態の液晶表示装置を詳細に説明する。第2の実施の形態の液晶表示装置は、画素電極10がゲートライン12上にまで広がっている所を除いては、基本的に第1の実施の形態の液晶表示装置と同様である。従って、以下の説明では、第1の実施の形態と異なる部分を主体に説明し、同様の構成要素については同一の符号を付してその説明を省略する。

【0035】第2の実施の形態では、図4に示すように、1つの画素電極10aは、この画素電極10aのTF T11aにつながる自行ゲートライン12aと、この画素電極10aの隣(列方向)に配置される画素電極10bのTF T11bにつながる隣行ゲートライン12bと、互いに上下に重なる部分Pを持つように構成される。この互いに重なる部分Pでは、自行ゲートライン12aおよび隣行ゲートライン12bと画素電極10aとの間に絶縁膜(図示しない)が設けられ、両者の短絡が防止される。また、第1の実施の形態と同様に、補助容量ライン14は、ゲートライン12と平行に設けられると共に、駆動に際して、上記式(8)に基づいた波形の電圧 $\Delta V_{cs(n)}$ が印加される。

【0036】本実施の形態では、ゲートライン12と画素電極10との間の容量が、寄生容量として否定的に働くのではなく、むしろ補助容量として積極的に働く。すなわち、駆動に際して、上記式(8)に基づく電圧 $\Delta V_{cs(n)}$ が補助容量ライン14に印加されると、画素電位の変動 $\Delta V_{p(n)}$ には、下記式(9)に示すように、垂直クロストークに関する項のみが残る。

【数11】式(9)

【数12】式(10)

相当する分だけ、補助容量ライン14の面積が小さくされる(すなわち第1の実施の形態よりも幅が細くされる)。これにより、第1の実施の形態よりもさらに開口率が大きく取られる。従って、さらに高開口率でかつ良好な表示品位を得ることができる。

【0038】また、液晶表示装置では、一般に表示のコントラストを向上させるために画素電極とゲートライン12、データライン13との隙間(図1における、S

a、S b、S c、S d) を遮光するように構成される。何故ならば、この隙間部分の液晶には電圧が印加されないため、光が透過してしまい、表示のコントラストを低下させる原因となるためである。遮光のためには、例えば、ブラックマスクが設けられる。このブラックマスクは、例えばコモン基板側に設けられる。この場合には、ブラックマスクの配置には、製造時の「基板合わせのずれ分」を見込んでマージンを余計に取らなくてはならないため、開口率が低下する。しかしながら、第2の実施の形態の構成では、自行ゲートライン12aおよび隣行ゲートライン12bが画素電極10aと重なるように構成されるため、画素電極10aとゲートライン12a、12bとの隙間S a、S bが無くなり、ゲートライン12が遮光性を与える。また、この部分は、従来のブラックマスクのように「基板合わせのずれ分」を見込む必要がないため、開口率をより向上させることができる。

【0039】第2の実施の形態では、自行ゲートライン12aおよび隣行ゲートライン12bと画素電極10aとが互いに重なる部分Pに介在する絶縁膜は、光吸収による大きな損失が伴わない厚さに設定できる。すなわち、従来の駆動方式のもとで、本実施の形態と同様の構成を実現するためには、自行ゲートライン12aおよび隣行ゲートライン12bと画素電極10aとが互いに重なる部分に介在する絶縁膜を厚くして、この間の寄生容量を小さく抑える必要があった。しかし、このように絶縁膜を厚くすると、絶縁膜での光吸収により透過率の低下を招き表示品位が劣化するという問題があった。対して、本実施の形態では、駆動に際して、補助容量ライン14に上記式(8)に基づく波形の電圧 $\Delta V_{cs(n)}$ が印加され、画素電位の変動 $\Delta V_{p(n)}$ に対するゲートラインとの寄生容量の寄与分がキャンセルされる。これにより、垂直クロストークやフリッカが抑制される。このために、絶縁膜の厚さは光吸収による大きな損失が伴わない厚さの範囲で設定でき、表示品位の劣化を抑制することができる。

【0040】なお、以上の構成では、ゲートラインとの寄生容量 $C_{pg-self}$ 、 C_{pg-pre} を各々任意に与えているが、これら容量 $C_{pg-self}$ 、 C_{pg-pre} が同じとなるように設計しても良い。この場合には、図5にタイムチャートを示すように、補助容量ライン14に印加される電圧 $V_{cs(n)}$ の波形が、時刻 T_2 での電圧値が同じとなるために、矩形状に単純化される。これにより、駆動の際の制御がより単純にされる。

【0041】次に、第2の実施の形態の液晶表示装置の駆動方法は、第1の実施の形態の液晶表示装置と同様に駆動される。すなわち、駆動に際して、補助容量ライン14に上記式(8)に基づく電圧 $\Delta V_{cs(n)}$ が印加され、周知のアクティブマトリクス方式と同様に駆動され

る。

【0042】以上の第2の実施の形態の液晶表示装置によれば、第1の実施の形態と同様の効果を奏するとともに、1つの画素電極10aが自行ゲートライン12aおよび隣行ゲートライン12bと重なる部分Pを持つように構成されることで、補助容量ライン14の面積を低減して、高開口率化に寄与する。同時に、この構成によって、画素電極10aとゲートライン12a、12bとの隙間が無くなり、ゲートラインが遮光性を与えるため、その部分に「基板合わせのずれ分」を見込んだブラックマスクを設ける必要がなく、さらに高開口率化に寄与する。

【0043】〔第3の実施の形態〕以下、図6～8を参照して、第3の実施の形態の液晶表示装置を詳細に説明する。第3の実施の形態の液晶表示装置は、画素電極の寸法、補助容量ライン14がデータラインと平行に設けられること、駆動に際して補助容量ライン14に与えられる電圧の波形、を除いては、第1の実施の形態と同様である。従って、以下の説明においては、第1の実施の形態の液晶表示装置と異なる部分を主体に説明し、同様の構成要素については同一の符号を付してその説明を省略する。

【0044】第3の実施の形態の液晶表示装置は、図6に示すように構成される。補助容量ライン14は、図6(a)に示すように、データライン13に沿った列状に配設され、例えば、データライン13と同層に配設される。これら同層に配設されるデータライン13および補助容量ライン14と、画素電極10とは、図6(b)に示すように、層間絶縁膜15を介して配設され互いに絶縁される。また、列状に配設されるデータライン13および補助容量ライン14と、行状に配設されるゲートライン12とは、ゲート絶縁膜16を介して配設され互いに絶縁される。なお、図6(b)は、図6(a)に示すA-B間の断面構成を示す。また、第3の実施の形態の画素電極10としては、第1の実施の形態とは異なり、比較的小さな寸法のものが適用されている。これにより、第1の実施の形態とは反対に、一定の補助容量 C_s の下で、フリッカよりも垂直クロストークの方が生じやすい構成となっている。従って、補助容量ライン14の面積は、フリッカを視認させない程度の面積となるように設定されている。

【0045】補助容量ライン14に印加される電圧の波形は、以下の通りに考慮される。まず、図7(図6の構成の等価回路)に示す1つの画素電極10において、画素電位の変動 $\Delta V_{p(n)}$ は、m列目の補助容量ライン14の電位変動 $\Delta V_{cs(m)}$ を考慮して下記式(3)で与えられる。

【数13】式(3)

$$\Delta V_{p(n)} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \Delta V_{g(n)} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \Delta V_{g(n-1)} \\ + \left(\frac{C_{pd-left}}{C_{total}} \right) \cdot \Delta V_{d(m)} + \left(\frac{C_{pd-right}}{C_{total}} \right) \cdot \Delta V_{d(m+1)} + \left(\frac{C_s}{C_{total}} \right) \cdot \Delta V_{cs(m)}$$

ここで、 $\Delta V_{cs(m)}$ を下記式 (4) の通りに定めると、*素電位の変動 $\Delta V_{p(n)}$ は、下記式 (5) で与えら
式 (3) 中で第 3 項と第 4 項と第 5 項とが相殺され、画* れる。

$$V_{cs(m)} = - \left(\frac{C_{pd-left}}{C_s} \right) \cdot \Delta V_{d(m)} - \left(\frac{C_{pd-right}}{C_s} \right) \cdot \Delta V_{d(m+1)}$$

【数 15】式 (5)

$$\Delta V_{p(n)} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \Delta V_{g(n)} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \Delta V_{g(n-1)}$$

【0046】上記式 (5) に示されるように、駆動に際して、補助容量電圧 $\Delta V_{cs(m)}$ として上記式 (4) に示される電圧を印加すると、データライン 13 との寄生容量の寄与分がうち消される。これにより、画素電位の変動 $\Delta V_{p(n)}$ としては、ゲートライン 12 との寄生容量の寄与分に関する項だけが残る。しかしながら、上述の通りに、本実施の形態では、補助容量ライン 14 の面積はフリッカを生じない程度の大きさを持つように考慮されており、上記式 (5) の右辺は既に十分に小さい。従って、以上の通りに駆動することで、フリッカや垂直クロストークが視認されない程度に低減され、充分な開口率をもち、かつ、良好な表示品位の液晶表示装置が得られ
20 える。例えば、本実施の形態では、図 8 のタイムチャートに示すように、駆動に際して、補助容量ライン 14 に、上記式 (4) に示す $\Delta V_{cs(m)}$ に基づいた波形の電圧が印加されるように制御される。

【0047】次に、第 3 の実施の形態の液晶表示装置の駆動方法は、上記式 (4) に基づいて、補助容量ライン 14 の各列で異なる波形の電圧 $\Delta V_{cs(m)}$ が印加されることを除いては、基本的に第 1 の実施の形態と同様に駆動される。

【0048】以上の第 3 の実施の形態の液晶表示装置に 30 よれば、第 1 の実施の形態と同様の効果を奏し、フリッカや垂直クロストークなどの表示劣化が視認されない程度に低減されると共に、高開口率かつ高表示品位の液晶表示装置が得られる。

【0049】〔第 4 の実施の形態〕以下、図 9、10 を参照して、第 4 の実施の形態の液晶表示装置を詳細に説明する。第 4 の実施の形態の液晶表示装置は、画素電極 10 がデータライン 13 上にまで広がっている所を除いては、基本的に第 3 の実施の形態の液晶表示装置と同様である。また、第 2 の実施の形態では、補助容量ライン 40 14 をゲートライン 12 と平行に行方向に配設すると共*

*に、画素電極 10 がゲートライン 12 上にまで広がる構成とした。対して、第 4 の実施の形態では、補助容量ライン 14 をデータライン 13 と平行の列方向に配設し、第 2 の実施の形態と同様の構成を列方向に置き換えて適用したものである。従って、以下の説明では、第 2 の実施の形態および第 3 の実施の形態と異なる部分を主体に説明し、同様の構成要素については同一の符号を付してその説明を省略する。

【0050】第 4 の実施の形態では、図 9 に示すように、1 つの画素電極 10 a は、この画素電極 10 a の TFT 11 a につながる自列データライン 13 a と、この画素電極 10 a の隣 (行方向) に配置される画素電極 10 c の TFT 11 c につながる隣列データライン 13 c と、互いに上下に重なる部分 Q を持つように構成される。この互いに重なる部分 Q では、第 2 の実施の形態と同様に、自列データライン 13 a および隣列データライン 13 c と画素電極 10 との間に層間絶縁膜 15 が設けられ、両者の短絡が防止される。

【0051】第 4 の実施の形態では、データライン 13 と画素電極 10 との間の容量が、寄生容量として否定的に働くのではなく、第 2 の補助容量として積極的に働く。このことは、第 2 の実施の形態において、ゲートライン 12 と画素電極 10 との間に介在する絶縁膜の容量が、第 2 の補助容量として機能し、補助容量ライン 14 の面積を低減させ高開口率化に寄与することと同様である。

【0052】すなわち、駆動に際して、上記式 (4) に基づく電圧 $\Delta V_{cs(m)}$ が補助容量ライン 14 に印加されると、画素電位の変動 $\Delta V_{p(n)}$ としては、下記式 (5) に示すように、フリッカに関する項のみが残る。また、全容量 C_{total} は、下記式 (10) で与えられる。

【数 16】式 (5)

$$\Delta V_{p(n)} = \left(\frac{C_{pg-self}}{C_{total}} \right) \cdot \Delta V_{g(n)} + \left(\frac{C_{pg-pre}}{C_{total}} \right) \cdot \Delta V_{g(n-1)}$$

【数 17】式 (10)

$$C_{\text{total}} = C_{1c} + C_s + C_{\text{pg-self}} + C_{\text{pg-pre}}^{18} + C_{\text{pd-left}} + C_{\text{pd-right}}$$

従って、残ったフリッカに関する項を抑えるために必要な補助容量 C_s は、 $C_{\text{pd-left}}$ 、 $C_{\text{pd-right}}$ が大きい程小さくできる。これにより、第 2 の実施の形態と同様に、自列データライン 13 a および隣列データライン 13 b と画素電極 10 a との重なる部分 Q が、第 2 の補助容量として機能する。従って、第 4 の実施の形態では、第 2 の実施の形態と同様に、この互いに重なる部分 Q の容量に相当する分だけ、補助容量ライン 14 の面積が小さくされ、第 3 の実施の形態よりもさらに開口率が大きく取られる。従って、さらに高開口率でかつ良好な表示品位 10 を得ることができる。

【0053】また、自列データライン 13 a および隣列データライン 13 b と画素電極 10 a との重なるように構成されるため、画素電極 10 a とデータライン 13 a、13 c との隙間 S c、S d (図 1 に図示) が無くなり、データライン 13 が遮光性を与えるため、第 2 の実施の形態と同様に、この部分において、「基板合わせのずれ分」を見込む必要がなく高開口率化が図られる。さらに、第 2 の実施の形態と同様に、互いに重なる部分 Q に介在する絶縁膜は、光吸収による大きな損失が伴わない厚さに設定でき、表示品位の劣化を抑制することができる。

【0054】なお、以上の構成では、画素電極 10 がデータライン 13 上にまで広がる構成としたが、第 2 の実施の形態の画素電極 10 がゲートライン 12 上にまで広がる構成を組み合わせた構成としても良い。この場合には、図 10 に示すように、1 つの画素電極 10 a は、先ず、第 4 の実施の形態と同様、自列データライン 13 a と隣列データライン 13 c と互いに上下に重なる部分 Q を持つ。さらに、この画素電極 10 a の T F T 11 a に 30 つながる自行ゲートライン 12 a と、この画素電極 10 a の隣 (列方向) に配置される画素電極 10 b の T F T 11 b につながる隣行ゲートライン 12 b と、互いに上下に重なる部分 P を持つように構成される。また、データライン 13 a、13 b と平行に列状に配設される補助容量ライン 14 d と、ゲートライン 12 a、12 c と平行に行状に配設される補助容量ライン 14 g と、が設けられる。

【0055】図 10 に示す構成によれば、画素電極 10 a の周囲の全てに重なる部分 P、Q を持たせることがで 40 ける。これにより、画素電極 10 a の全ての隙間 S a、S b、S c、S d (図 1 に図示) が無くなるため、液晶表示装置の表示のコントラストがさらに高められる。

【0056】次に、第 4 の実施の形態の液晶表示装置の駆動方法は、第 3 の実施の形態の液晶表示装置と同様に*

$$V_{\text{cs}(m)} = - \left(\frac{C_{\text{pd-left}}}{C_s} \right) \cdot \Delta V_{\text{d}(m)} - \left(\frac{C_{\text{pd-right}}}{C_s} \right) \cdot \Delta V_{\text{d}(m+1)}$$

ここで、第 5 の実施の形態では、画素電極 10 a は隣列データライン 13 c には及んでいない。このために、隣

*駆動される。すなわち、駆動に際して、補助容量ライン 14 に上記式 (4) に基づく電圧 $\Delta V_{\text{cs}(m)}$ が印加され、周知のアクティブマトリクス方式と同様に駆動される。

【0057】以上の第 4 の実施の形態の液晶表示装置によれば、第 3 の実施の形態と同様の効果を奏するとともに、1 つの画素電極 10 a が自列データライン 13 a および隣列データライン 13 b と重なる部分 Q を持つように構成されることで、補助容量ライン 14 の面積を低減して、高開口率化に寄与する。同時に、この構成によって、画素電極 10 a とデータライン 13 a、13 c との隙間が無くなり、データラインが遮光性を与えるため、その部分に「基板合わせのずれ分」を見込んだブラックマスクを設ける必要がなく、さらに高開口率化に寄与する。

【0058】〔第 5 の実施の形態〕以下、図 11、12 を参照して、本発明の第 5 の実施の形態の液晶表示装置を詳細に説明する。第 5 の実施の形態の基本的な構成要素は、第 1 ~ 4 の実施の形態と同様であり、補助容量ライン 14 がデータライン 13 と平行に列状に設けられる所が、第 3 の実施の形態と共通する。従って、以下の説明では、第 3 の実施の形態と異なる部分を主体に説明し、同様の構成要素については同一の符号を付してその説明を省略する。なお、図 11 は画素電極 10 a の部分の要部拡大図であり、データライン 13 としては、自列データライン 13 a および隣列データライン 13 b のみ図示し、ゲートライン 12 としては、自行ゲートライン 12 a および隣行ゲートライン 12 c のみ図示する。

【0059】1 つの画素電極 10 a において、この画素電極 10 a の T F T 11 a につながる自列データライン 13 a は、画素電極 10 a の端部 10 a a で上下に重なる部分 Q を持つように配設される。第 4 の実施の形態とは異なり、この自列データライン 13 a は、隣に配設される画素電極 10 とは重なる部分を持たない。そして、補助容量ライン 14 が、画素電極 10 a のもう一方の端部 10 a b で、上下に重なる部分 Q を持つように配設される。補助容量ライン 14 は、データライン 13 と平行に列状に配設される。ここで、第 5 の実施の形態では、自列データライン 13 a との寄生容量 $C_{\text{pd-left}}$ は、補助容量 C_s と同じになるように形成される。

【0060】以上の通りに構成されることで、 $\Delta V_{\text{cs}(m)}$ としては、先ず、第 3 の実施の形態と同様に、下記式 (4) で定まる波形とされる。

【数 18】式 (4)

列データラインとの寄生容量 $C_{\text{pd-right}}$ はほぼ「0」とみなせる。また、上述の通り、 $C_s = C_{\text{pd-left}}$ となるよ

うに形成されており、上記式(4)にこれらの条件を適用すると、 $\Delta V_{cs(m)}$ は下記式(6)で定まり単純化される。

【数19】式(6)

$$\Delta V_{cs(m)} = -\Delta V_{d(m)}$$

【0061】すなわち、第5の実施の形態の液晶表示装置では、上記式(6)に示されるように、補助容量ライン14には、自列データラインのデータ電圧 $\Delta V_{d(m)}$ の極性を単に反転させた波形の電圧が印加される。図12にこのタイムチャートを示す。これにより、駆動に際して、複雑な制御が伴わず制御系の簡略化が図られると共に、高開口率でかつ良好な表示品位の液晶表示装置が得られる。ここで、補助容量ライン14をダミーのデータラインとみなすと、上記式(6)で示される駆動波形は、いわゆる周知のドット反転駆動と共通する。すなわち、周知のドット反転駆動と同じ構成のドライブ回路を用いて、第5の実施の形態の液晶表示装置で、補助容量ライン14に印加する電圧波形が容易に得られる。

【0062】次に、第5の実施の形態の液晶表示装置の駆動方法は、上記式(6)に基づいて、自列データラインのデータ電圧 $\Delta V_{d(m)}$ を反転した波形の電圧が印加されることを除いては、基本的に第3の実施の形態と同様に駆動される。

【0063】以上の第5の実施の形態の液晶表示装置によれば、第3の実施の形態と同様の効果を奏すると共に、補助容量ライン14には、自列データラインのデータ信号を反転した波形の電圧を印加すれば良く、高開口率かつ良好な表示品位の液晶表示装置が簡単に得られる。

【0064】なお、本発明は上記実施の形態に限定されるものではない。すなわち、本発明の趣旨を逸脱しない範囲において、適宜に変更可能であることは勿論である。

【0065】

【発明の効果】請求項1記載の発明によれば、ゲートラインと画素電極との間との寄生容量に基づくフリッカが抑制され、良好な表示品位の液晶表示装置が得られる。また、従来必要な補助容量よりも小さな補助容量で、フリッカなどの表示劣化が抑制され、液晶表示装置の高開口率化が図られる。

【0066】請求項2記載の発明によれば、請求項1と同様の効果を奏することができるとともに、画素電極が自行あるいは隣行ゲートライン上に広がる部分の絶縁膜の部分が、補助容量として機能する。この容量の分だけ、補助容量ラインがもつべき補助容量を小さくでき、さらに高開口率化が図られる。さらに、画素電極が自行あるいは隣行ゲートライン上に広がる構成によって画素電極とゲートライン間の間隙が無くなり、表示のコントラストが向上される。

【0067】請求項3記載の発明によれば、データライ

ンと画素電極との間の寄生容量に基づく垂直クロストークが抑制され、良好な表示品位の液晶表示装置が得られる。また、補助容量を従来必要な補助容量よりも小さくでき、液晶表示装置の高開口率化が図られる。

【0068】請求項4記載の発明によれば、請求項3と同様の効果を奏することができるとともに、補助容量ラインがもつべき補助容量を小さくでき、さらに高開口率化が図られる。さらに、画素電極が自行あるいは隣列データライン上に広がる構成によって画素電極とデータライン間の間隙が無くなり、表示のコントラストが向上される。

【0069】請求項5記載の発明によれば、請求項3または4と同様の効果を奏することができるとともに、より単純な制御でフリッカや垂直クロストークなどの表示劣化が抑制され、良好な表示品位の液晶表示装置が得られる。

【図面の簡単な説明】

【図1】本発明を適用した第1の実施の形態の液晶表示装置の構成を示す図である。

【図2】図1の等価回路図である。

【図3】第1の実施の形態の液晶表示装置に印可される電圧のタイムチャートを示した図である。

【図4】本発明を適用した第2の実施の形態の液晶表示装置の構成を示す図である。

【図5】第2の実施の形態の液晶表示装置において、自行ゲートラインおよび隣行ゲートラインとの寄生容量 $C_{pg-self}$ 、 C_{pg-pre} が同じとなるように構成した場合のタイムチャートを示した図である。

【図6】本発明を適用した第3の実施の形態の液晶表示装置の構成を示す図である。

【図7】図6の等価回路図である。

【図8】第3の実施の形態の液晶表示装置に印可される電圧のタイムチャートを示した図である。

【図9】本発明を適用した第4の実施の形態の液晶表示装置の構成を示す図である。

【図10】第4の実施の形態の液晶表示装置において、さらにゲートライン12を画素電極10上にまで広げた場合の構成を示す図である。

【図11】本発明を適用した第5の実施の形態の液晶表示装置の構成を示す図である。

【図12】第5の実施の形態の液晶表示装置に印可される電圧のタイムチャートを示した図である。

【図13】従来例の液晶表示装置の構成を示す図である。

【図14】図13の等価回路図である。

【図15】従来例の液晶表示装置において、補助容量ラインを共通電極に接続する場合の等価回路図である。

【図16】従来例の液晶表示装置において、補助容量ラインをゲートラインに接続する場合の等価回路図である。

【符号の説明】

1 0、1 0 a、1 0 b、1 0 c	画素電極
1 2	ゲートライン
1 2 a	自行ゲートライン
1 2 b	隣行ゲートライン

* 1 3

1 3 a

1 3 c

14

*

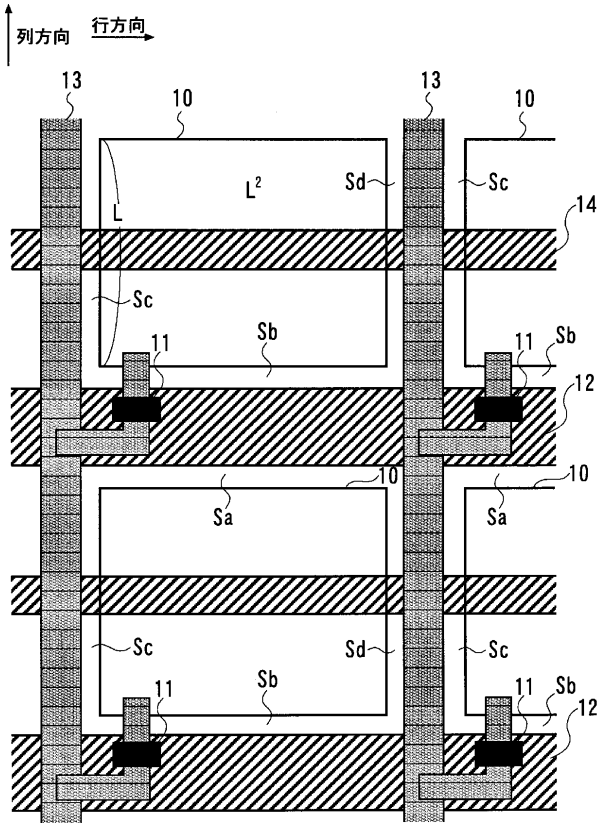
データライン

自列データライン

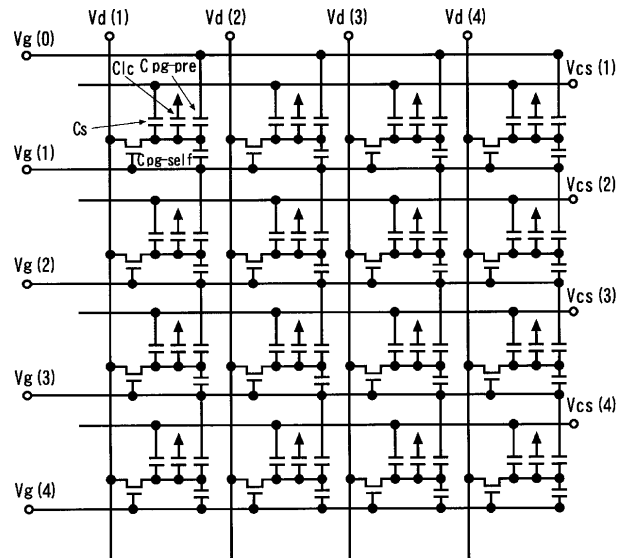
隣列データライン

補助容量ライン

【圖 1】

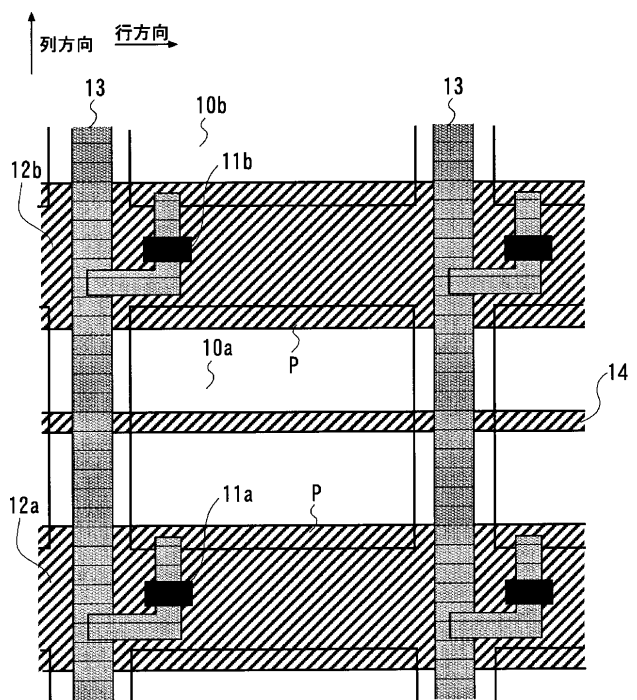
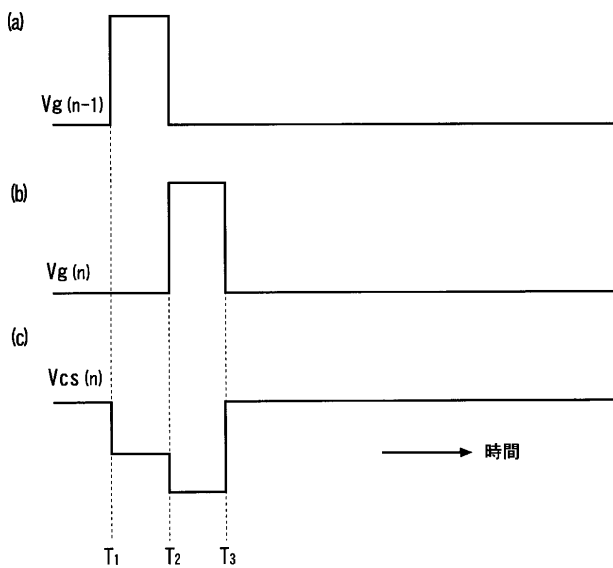


【図 2】

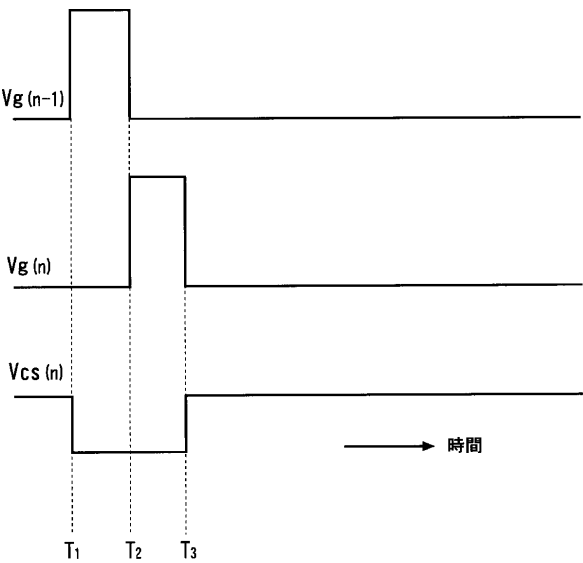


【圖 4】

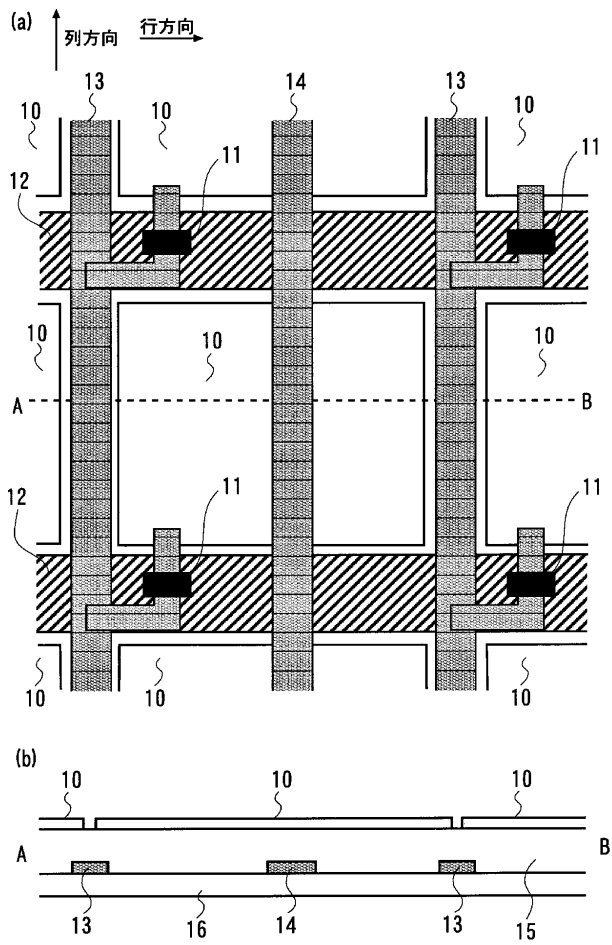
【図 3】



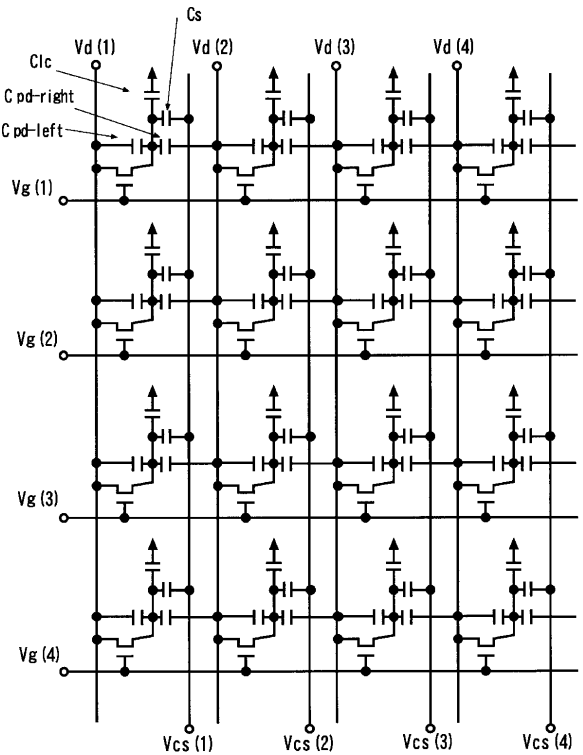
【図 5】



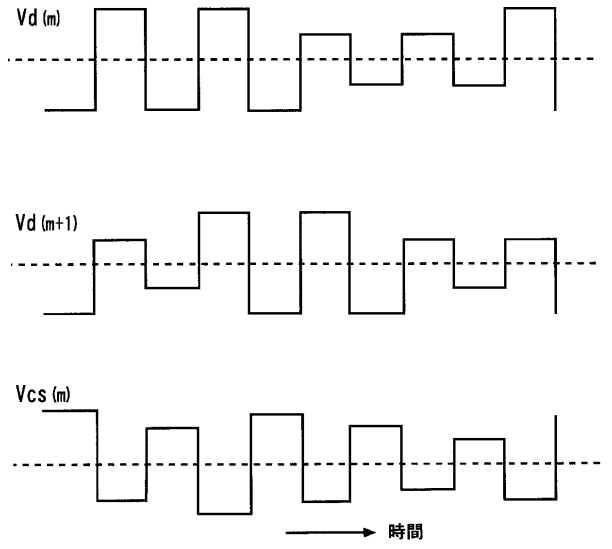
【図 6】



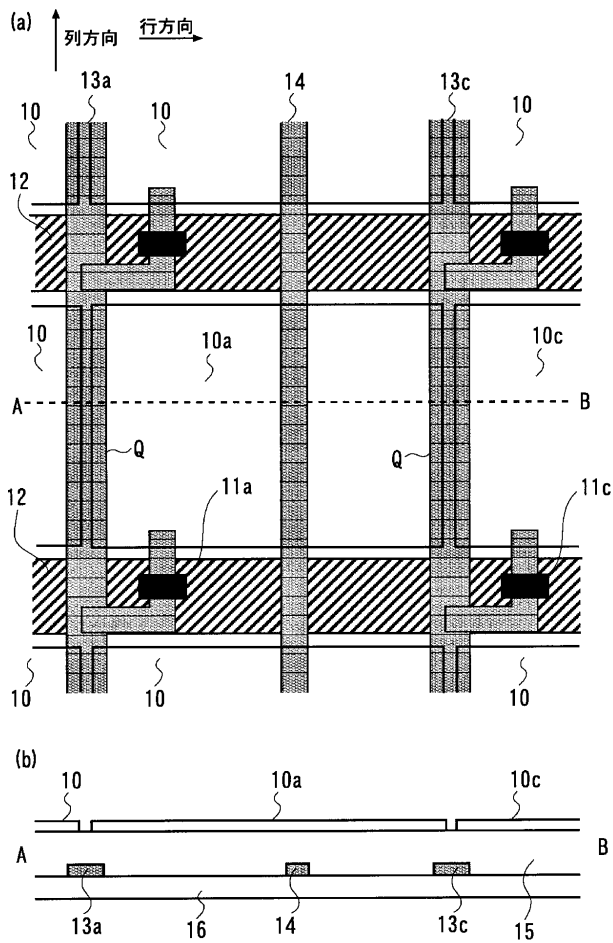
【図 7】



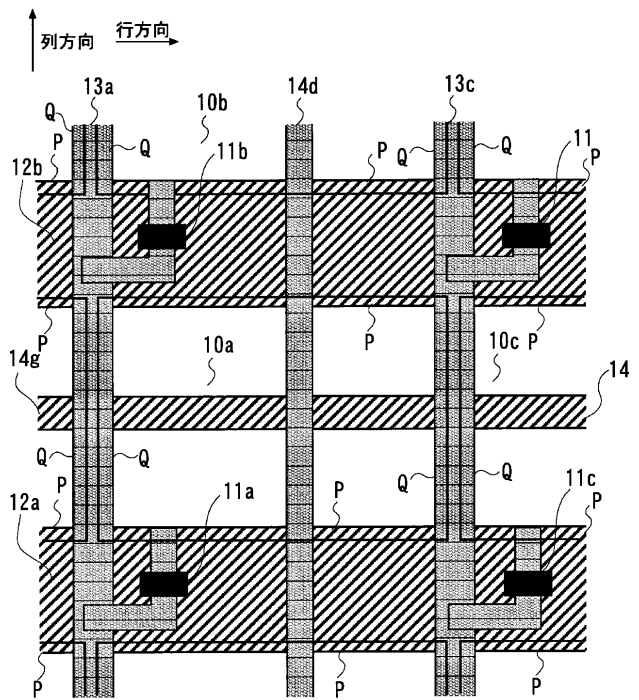
【図 8】



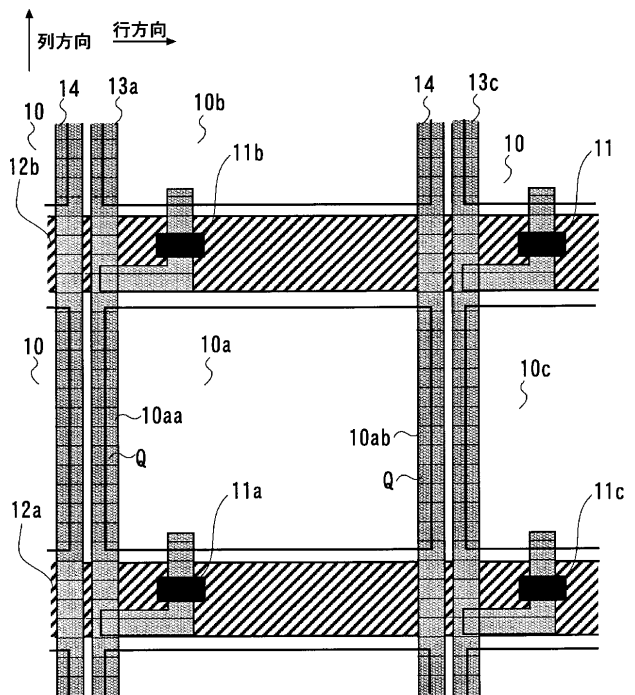
【図 9】



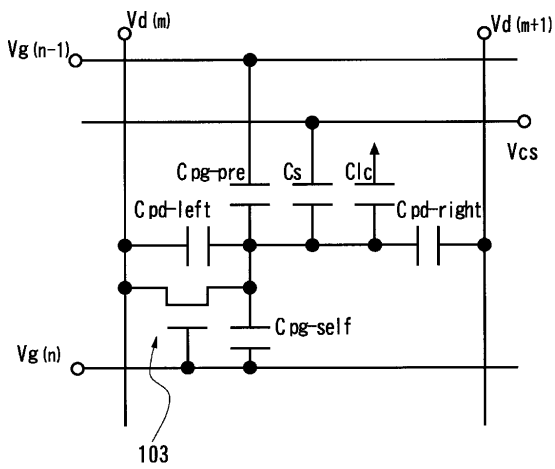
【図 10】



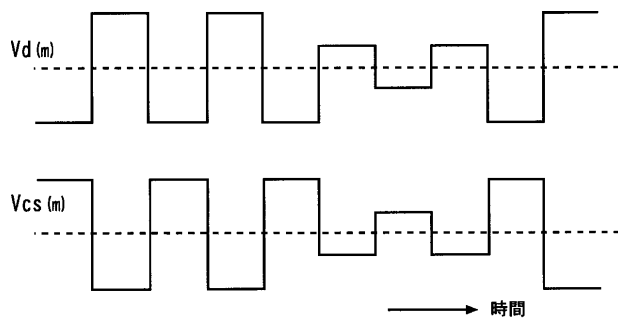
【図 11】



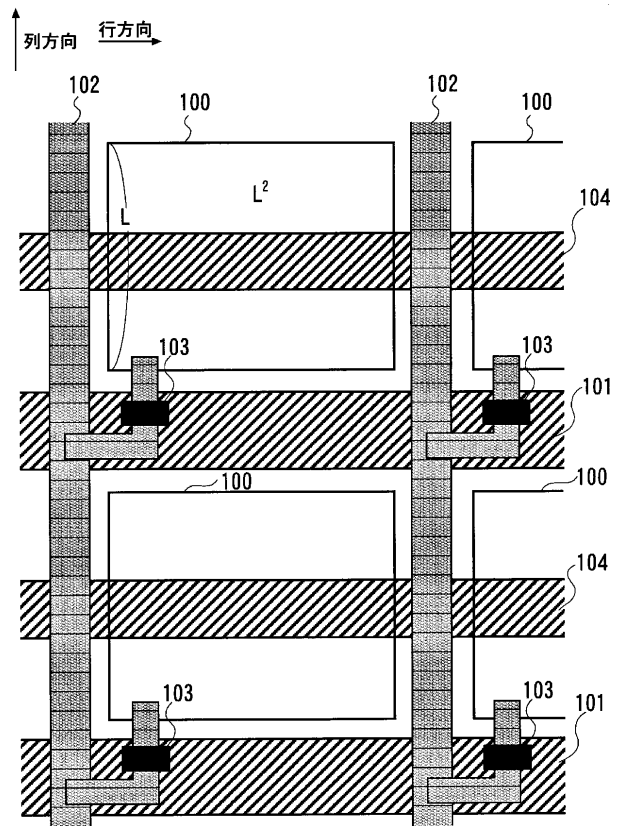
【図 14】



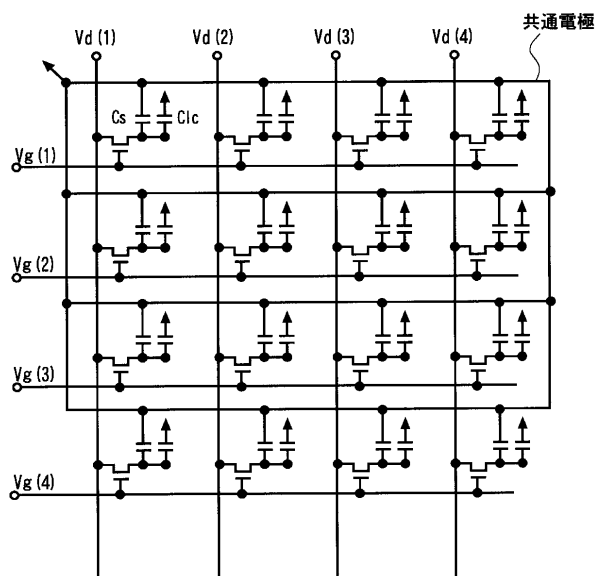
【図 12】



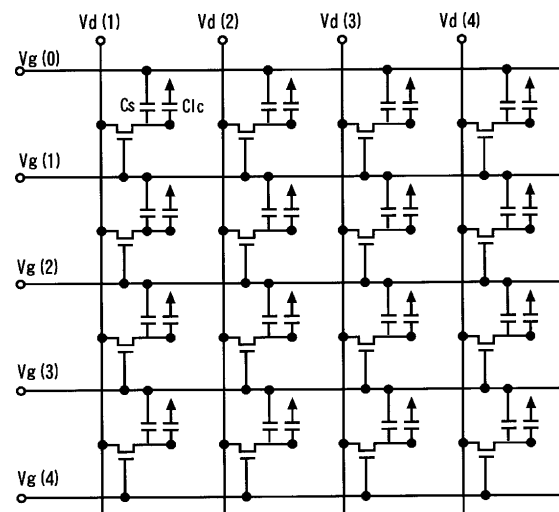
【図 13】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト(参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 8 0 F
	6 8 0	G 0 2 F 1/136	5 0 0

F タ-ム(参考) 2H092 JA24 JB62 JB69 NA01 NA23
 NA25 PA06
 2H093 NA16 NC13 NC35 NC36 NC90
 ND35 NF05 NH05
 5C006 AA22 AC02 AC25 AF64 BB16
 BC06 FA23 FA36
 5C080 AA10 BB05 CC03 DD06 DD10
 EE32 FF09 JJ02 JJ04 JJ06
 KK02 KK43

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002055656A	公开(公告)日	2002-02-20
申请号	JP2000240013	申请日	2000-08-08
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	山口郁博		
发明人	山口 郁博		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.D G09G3/20.611.E G09G3/20.624.C G09G3/20.680.F G02F1/136.500 G02F1/1368 G09G3/20.624.D G09G3/20.624.E		
F-TERM分类号	2H092/JA24 2H092/JB62 2H092/JB69 2H092/NA01 2H092/NA23 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NC13 2H093/NC35 2H093/NC36 2H093/NC90 2H093/ND35 2H093/NF05 2H093/NH05 5C006/AA22 5C006/AC02 5C006/AC25 5C006/AF64 5C006/BB16 5C006/BC06 5C006/FA23 5C006/FA36 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD10 5C080/EE32 5C080/FF09 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK43 2H192/AA24 2H192/BA12 2H192/CC04 2H192/DA02 2H192/DA12 2H192/DA15 2H192/DA42 2H192/DA65 2H192/EA04 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZQ06		
其他公开文献	JP3845763B2		
外部链接	Espacenet		

摘要(译)

解决的问题：由于减少了闪烁和垂直行程，因此提供了一种具有高显示质量和高开口率的液晶显示装置。 解决方案：大量像素电极10垂直和水平排列，围绕像素电极10沿行方向排列的栅极线12和沿列方向排列的数据线13，以及在该方向上设置有辅助电容线14。 在驱动时，将不同的波形电压施加到辅助电容线14的各行，从而消除了栅极线的寄生电容对像素电位的波动的影响。 根据上述配置，减小了寄生电容的影响以抑制诸如闪烁和垂直串扰之类的显示劣化，并且可以减小辅助电容，从而可以增大开口率。

