

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2002 - 32064

( P2002 - 32064A )

(43)公開日 平成14年1月31日 (2002.1.31)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-コード* ( 参考 )
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	570	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	612		612 R
	622		622 L

審査請求 未請求 請求項の数 21 O L ( 全 10数 ) 最終頁に続く

(21)出願番号 特願2000 - 274229(P2000 - 274229)

(22)出願日 平成12年9月8日 (2000.9.8)

(31)優先権主張番号 2000 - 36648

(32)優先日 平成12年6月29日 (2000.6.29)

(33)優先権主張国 韓国 (KR)

(71)出願人 599127667

エルジー フィリップス エルシーディー  
カンパニー リミテッド

大韓民国 ソウル, ヨンドンポーク, ヨ  
イドードン 20

(72)発明者 白 宗尚

大韓民国 慶北 龜尾市 荊谷洞 169 ジ  
ュコン - 4ブロック 404 - 506號

(72)発明者 金 彰坤

大韓民国 大邱市 北區 觀音洞 1235 -  
10

(74)代理人 100109726

弁理士 園田 吉隆 ( 外 1 名 )

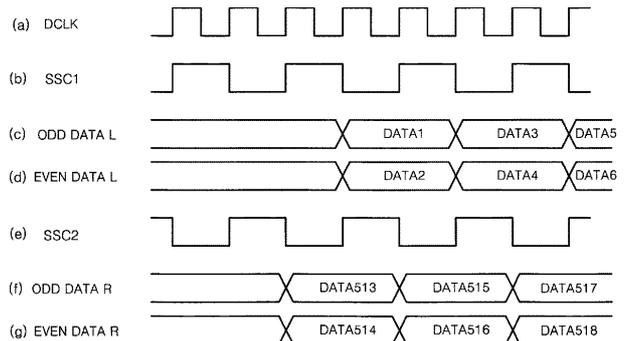
最終頁に続く

(54)【発明の名称】 液晶表示装置及びその駆動方法

(57)【要約】

【課題】 液晶表示装置において、過電流の発生を抑制する。

【解決手段】 外部から入力される少なくとも1ライン分のデータを複数個のグループに分割して保存し、各グループから所定の単位でデータを出力するラインメモリ420と；ラインメモリと液晶パネルに連結されて、ラインメモリから出力されるデータに対応して液晶パネル430を駆動するn ( nは0以上の正数 ) 個の駆動集積回路などを含む駆動回路20, 40と；ラインメモリと駆動回路に連結されて、外部から入力されるデータクロックを受けて、データクロックの各周期毎にラインメモリの複数個のグループからデータを前記グループ数に応じた始点に対応して駆動回路に出力させるタイミングコントローラ410とを具備する液晶表示装置を提供する。



## 【特許請求の範囲】

【請求項1】 液晶表示装置において、外部から入力される少なくとも1ライン分のデータを複数のグループに分割して保存し、各グループから所定の単位でデータを出力するラインメモリと；該ラインメモリと液晶パネルとに連結されて、前記ラインメモリから出力されるデータに対応して液晶パネルを駆動する $n$  ( $n$ は0以上の正数)個の駆動集積回路を含む駆動回路と；前記ラインメモリと駆動回路とに連結されて、外部から入力されるデータクロックを受けて、該データクロックの各周期毎に、前記ラインメモリの複数のグループから前記駆動回路へ、前記データを前記グループ数に相当する時点に出力させるタイミングコントローラとを具備することを特徴とする液晶表示装置。

【請求項2】 前記複数のグループが、 $1 \sim n/2$ 番目の駆動集積回路及び $(n+1)/2 \sim n$ 番目の駆動集積回路に入力されるデータによりそれぞれ構成される第1グループと第2グループとから構成されることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記タイミングコントローラは、入力されるデータクロックと位相が反対である反転データクロックを生成し、前記データクロックに対応してラインメモリの第1グループからデータを出力し、前記反転データクロックに対応してラインメモリの第2グループからデータを出力し、データクロックの毎周期の間の互いに異なる時点で、第1グループのデータと第2グループのデータとをそれぞれ駆動回路に出力させることを特徴とする請求項2記載の液晶表示装置。

【請求項4】 前記複数のグループが、液晶パネルに連結された駆動回路において、奇数番目の駆動集積回路及び偶数番目の駆動集積回路にそれぞれ入力されるデータを含む第1グループと第2グループとから構成されることを特徴とする請求項1記載の液晶表示装置。

【請求項5】 前記タイミングコントローラは、入力されるデータクロックと位相が反対である反転データクロックを生成し、前記データクロックに対応して第1グループからデータを出力し、前記反転データクロックに対応して第2グループからデータを出力し、データクロックの毎周期の間の互いに異なる時点において、第1グループのデータ及び第2グループのデータをそれぞれ駆動回路に出力することを特徴とする請求項4記載の液晶表示装置。

【請求項6】 前記複数のグループが、液晶パネルの上、下側にそれぞれ連結された駆動回路において、上側の駆動集積回路と下側集積回路にそれぞれ入力されるデータを含む第1グループと第2グループとから構成されることを特徴とする請求項1記載の液晶表示装置。

【請求項7】 前記タイミングコントローラは、入力されるデータクロックと位相が反対である反転データクロックを生成し、前記データクロックに対応して第1グ

ープからデータを出力し、前記反転データクロックに対応して第2グループからデータを出力し、データクロックの毎周期の間の互いに異なる時点において第1グループのデータ及び第2グループのデータをそれぞれ駆動回路へ出力することを特徴とする請求項6記載の液晶表示装置。

【請求項8】 液晶表示装置において、外部から入力される少なくとも1ライン分のデータを複数のグループに分割して保存し、各グループから所定の単位でデータを出力するラインメモリと；該ラインメモリと液晶パネルとに連結されて、前記ラインメモリから出力されるデータに対応して液晶パネルを駆動する $n$  ( $n$ は0以上の正数)個の駆動集積回路を含む駆動回路と；前記ラインメモリと駆動回路とに連結されて、外部から入力されるデータクロックを受けて、分割されたグループの数に対応する分周比で分周して第1データクロックを生成し、該第1データクロックの各周期毎に、互いに異なる時点で各グループのデータを前記駆動回路に出力させるタイミングコントローラとを具備することを特徴とする液晶表示装置。

【請求項9】 前記複数のグループが、 $1 \sim n/2$ 番目の駆動集積回路と、 $(n+1)/2 \sim n$ 番目の駆動集積回路と連結された液晶パネル領域に表示されるデータによりそれぞれ構成される第1グループと第2グループとから構成されることを特徴とする請求項8記載の液晶表示装置。

【請求項10】 前記タイミングコントローラは、前記分周されたデータクロックと位相が反対である反転データクロックを生成し、前記分周されたデータクロックに対応してラインメモリの第1グループからデータを出力し、前記反転データクロックに対応してラインメモリの第2グループからデータを出力し、データクロックの毎周期の間の互いに異なる時点において、第1グループのデータと第2グループのデータをそれぞれ駆動回路に出力することを特徴とする請求項9記載の液晶表示装置。

【請求項11】 前記複数のグループが、液晶パネルに連結された駆動回路において、奇数番目の駆動集積回路と偶数番目の駆動集積回路とにそれぞれ入力されるデータを含む第1グループと第2グループとから構成されることを特徴とする請求項8記載の液晶表示装置。

【請求項12】 前記タイミングコントローラは、入力されるデータクロックと位相が反対である反転データクロックを生成し、前記データクロックに対応して第1グループからデータを出力し、前記反転データクロックに対応して第2グループからデータを出力し、データクロックの毎周期の間の互いに異なる時点において、第1グループのデータと第2グループのデータとをそれぞれ駆動回路へ出力することを特徴とする請求項11記載の液晶表示装置。

【請求項 13】 液晶表示装置において、外部から入力される 2 画素データずつを順次的に受けて、少なくとも 1 ラインのデータを複数個のグループに分割して保存し、各グループから 2 画素データずつ出力するラインメモリと；前記ラインメモリと液晶パネルとに連結されて、前記ラインメモリから出力されるデータに対応して液晶パネルを駆動する  $n$  ( $n$  は 0 以上の正数) 個の駆動集積回路を含む駆動回路と；前記ラインメモリと駆動回路とに連結され、外部から入力されるデータクロックを受けて、分割されたグループの数に対応する分周比で分周して第 1 データクロックを生成し、該第 1 データクロックの各周期毎に互いに異なる時点で各グループの 2 画素データをそれぞれ前記駆動回路に出力させるタイミングコントローラとを具備することを特徴とする液晶表示装置。

【請求項 14】 前記複数個のグループが、液晶パネルを左、右に区分する二つの分割領域に表示されるデータからそれぞれ構成される第 1 グループ及び第 2 グループにより構成されることを特徴とする請求項 13 記載の液晶表示装置。

【請求項 15】 前記タイミングコントローラは、前記第 1 データクロックと位相が反対である第 2 データクロックを生成し、前記第 1 データクロックに対応してラインメモリの第 2 グループから 2 画素データを出力し、第 1 データクロックの毎周期の間にラインメモリの第 1 グループのデータと第 2 グループとから、所定の時間間隔で、それぞれ 2 画素データずつを駆動回路に供給することを特徴とする請求項 14 記載の液晶表示装置。

【請求項 16】 前記複数個のグループが、液晶パネルに連結された駆動回路において、奇数番目の駆動集積回路と偶数番目の駆動集積回路にそれぞれ入力されるデータを含む第 1 グループと第 2 グループとから構成されることを特徴とする請求項 13 記載の液晶表示装置。

【請求項 17】 前記タイミングコントローラは、前記第 1 データクロックと位相が反対である第 2 データクロックを生成し、前記第 1 データクロックに対応してラインメモリの第 1 グループから 2 画素データを出力し、前記第 2 データクロックに対応してラインメモリの第 2 グループから 2 画素データを出力し、第 1 データクロックの毎周期の間に、ラインメモリの第 1 グループ及び第 2 グループから所定の時間間隔で、それぞれ 2 画素データずつを駆動回路に供給することを特徴とする請求項 16 記載の液晶表示装置。

【請求項 18】 液晶表示装置において、外部から入力される 2 画素データずつをラッチ出力するラッチ回路と；前記ラッチ回路と液晶パネルとに連結されて、前記ラッチ回路から出力されるデータに対応して液晶パネルを駆動する  $n$  ( $n$  は 0 以上の正数) 個の駆動集積回路を含む駆動回路と；前記ラッチ回路と駆動回路とに連結されて、外部から入力されるデータクロックを受けて該デ

\*ータクロックの 1 周期の間にそれぞれの 1 画素データを所定の時間間隔で前記駆動回路に出力させるタイミングコントローラとを具備することを特徴とする液晶表示装置。

【請求項 19】 前記タイミングコントローラは、前記データクロックと位相が反対である反転データクロックを生成し、前記データクロックに対応して前記ラッチ回路から奇数画素データを出力し、前記反転データクロックに対応してラッチ回路から偶数画素データを出力し、データクロックの毎 1 周期の間に、前記ラッチ回路から奇数及び偶数データを所定の時間間隔でそれぞれ 1 画素データずつ、駆動回路に供給することを特徴とする請求項 18 記載の液晶表示装置。

【請求項 20】 液晶表示装置において、入力される少なくとも 1 ライン分のデータを複数個のグループに分割して保存するデータ保存段階と、入力される第 1 データクロックを前記分割されたグループ数に対応する分周比で分周して第 2 データクロックを生成するデータクロック生成段階と；前記第 2 データクロックの 1 周期の間に互いに異なる時点から各グループから所定の単位のデータをそれぞれ出力させるデータ出力段階と；前記出力されるデータを 1 ライン単位でラッチして、ラッチされたデータに対応して液晶パネルを駆動する表示段階を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 21】 前記データ保存段階が、少なくとも 2 画素データを順次的に受けて 1 ライン分のデータを二つのグループに分割保存する段階であり、前記データクロック生成段階における分周比が 2 分周であり、前記データ出力段階において、2 つのグループが 2 画素データを第 2 データクロックの 1 周期の間に、所定の時差を置いてそれぞれ出力することを特徴とする請求項 20 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置及びその駆動方法に関し、特に、過電流の発生を抑制するための液晶表示装置及びその駆動方法に関するものである。

【0002】

【従来の技術】一般的に、液晶表示装置は、集積される画素数に対応する固有の解像度を有していて、液晶表示装置の大きさが大きくなるほどその解像度も高くなる。また、高品質の画像を表示するために、液晶表示装置のメーカーなどは同一サイズの液晶表示装置間においても液晶パネル内の画素集積率を高めて解像度を高めるようにしている。

【0003】液晶表示装置で、XGA 級データによるデータクロック(DCLK)は、リフレッシュ速度 60 Hz を基準に 65 MHz である。即ち、ビデオカードを具備するシステムにおいて、液晶表示装置で伝送されるデ

ータクロック(DCLK)の周波数は、XGA解像度で65MHzであり、SXGA解像度で108MHzであり、UXGA解像度で160MHzである。

【0004】構成された液晶表示装置において、データを液晶パネルで表示する駆動ドライブ集積回路などの入力データクロックの許容周波数は大略45MHz~60MHzである。従って、最近の液晶表示装置は、データクロックの周波数を低減するために、入力及び出力データを並列に分割して、多数の伝送ラインを通して同時にデータを伝送することにより、駆動ドライブ集積回路などの駆動周波数を低減している。

【0005】図1は、一般的な液晶表示装置のブロック構成図として、XGA級の解像度の液晶表示装置を図示している。最近では、液晶表示装置の駆動クロックの周波数を低減するために、システムからインターフェースを通して予め奇数及び偶数画素データに分割された2画素分のデータの入力を同時に受ける。従って、データクロック(DCLK)の周波数は元来の映像信号のデータクロック(DCLK)周波数である65MHzより低い32.5MHzである。

【0006】図1を参照すると、タイミングコントローラ(10)は、図示されないインターフェースから奇数及び偶数データ(ODD DATA, EVEN DATA)とデータクロックの入力を受ける。タイミングコントローラ(10)はデータクロックに同期してn個のデータ駆動回路(D1~Dn)を含むデータ駆動回路(20)によって、奇数及び偶数データを供給する。以後、データ駆動回路(20)は、奇数及び偶数データを液晶パネル(30)に供給する。この時、m個のゲート駆動回路(G1~Gm)を含むゲート駆動回路(40)は、液晶パネル(30)が画像を表示できるように奇数及び偶数データに同期してパルス信号を液晶パネル(30)に供給する。データ駆動回路(D1~Dn)はタイミングコントローラ(10)からソース・サンプリング信号の入力を受けてデータをラッチする。

【0007】図2は、データクロック(DCLK)周波数の分周概念を示すタイミング図である。図2を参照すると、元来の1画素ずつのデータ(DATA:b)は、データクロック(DCLK1:(a))に同期して出力される。その後、システムまたは液晶表示装置において、データ(b)をラッチして奇数データ(ODD DATA:(d))及び偶数データ(EVEN DATA:(e))を2分周したデータクロック(DCLK2:(c))に同期させ同時に出力する。このような2画素ずつのデータ((d),(e))が同時に出力される駆動方法を2ポート駆動方法または6バス駆動方法と呼ぶ。これは、本願出願人によって先に出願された大韓民国特許出願第1995-19513号に詳細に記載されている。

【0008】しかし、上述した従来の液晶表示装置及び

駆動方法は、液晶表示装置内の駆動周波数を減少させることができたが、データ出力が増加するにつれて同時に出力されるデータ量が多くなった。一例として、8ビットデータを使用する液晶表示装置において、2ポート駆動方法の場合には、タイミングコントローラ(10)から同時に48ビットライン(48ビットライン=2ポート×3(R,G,B)×8ビット)を通してデータが出力される。このとき、データとデータとの間の転換過程(high low)において、タイミングコントローラ(10)内で過電流が発生する。

【0009】最近では、高品質の画像を表示するために、同一の大きさの液晶表示装置内でも高解像度の画像を表示することができる高解像度液晶表示装置が要求されている。一例として、高解像度のUXGA級のシステムでは、データクロック周波数は大略160MHzである。前記データクロック周波数を低減するための従来の2ポート駆動方法による図1の装置及び方法はデータクロックを約80MHzに低減することができた。しかし、上述したデータクロックは、一般的な駆動ドライブ集積回路などの許容入力値より高く、高解像度による周波数のさらなる低減が必要とされる。そこで、従来の他の装置及び方法は、奇数及び偶数データで区分されて入力されるデータを、ラインメモリを使用して1ラインずつラッチして、パネル領域の分割によって4画素データずつを同時に出力している。このような駆動方法を4ポート駆動方法と呼ぶ。

【0010】図3は、上述した従来の4ポートデータ伝送方法による動作タイミング図である。図3は、一例であって、図1に示されたように液晶パネル(30)に連結されたn個の駆動ドライブ集積回路を、左右のグループに2分割して駆動している。即ち、図3の(b),(c)のように、入力される1水平ライン分のデータ(DATA1~DATA1024)をラッチして、次の水平ラインデータの入力時に、図3の(e)~(h)のように同時に4画素データを出力する。従って、入力されるデータクロック(DCLK:(a))は、2分周されたソース・サンプリング・クロック(SSC:(d))のように、1/2の周波数に低減される。

【0011】上述した従来の駆動方法による液晶表示装置は、例えば、8ビットデータを使用していると、前記タイミングコントローラ(10)の出力データラインは4×3(R,G,B)×8ビット=96ビットラインとなる。従って、n番目の4個のデータからn+1番目の4個のデータに転換出力されるときに、タイミングコントローラ(10)内で過電流が発生する。即ち、データがlow highまたはhigh lowに転換されたり、多数のデータがlow highに転換される時に、タイミングコントローラ(10)内で過電流が流れる。

【0012】このような過電流は、液晶表示装置の寿命を短縮させ、電流供給のためのDC-DCコンバーター

(図示されていない)などの素子に悪影響を与え、また、アナログ・パワー・ノイズなどを発生させる。また、このような過電流を除去するために、従来の液晶表示装置は、過電流除去用のコンデンサを追加している。しかし、このような過電流除去用のコンデンサを追加すると、構成が複雑になると共にコストが上がる問題点がある。

#### 【0013】

【発明が解決しようとする課題】従って、本発明の目的は、液晶表示装置の複数個の画像データの出力タイミングを異なるように設定して過電流の発生を抑制する液晶表示装置を提供することである。また、本発明の他の目的は、複数個の画像データ出力による過電流の発生を低減する液晶表示装置の駆動方法を提供することである。

#### 【0014】

【課題を解決するための手段】前記目的を達成するために、本発明による液晶表示装置は、外部から入力される少なくとも1ライン分のデータを複数個のグループに分割して保存し、各グループから所定の単位でデータを出力するラインメモリと；該ラインメモリと液晶パネルとに連結されて、ラインメモリから出力されるデータに対応して液晶パネルを駆動する $n$  ( $n$ は0以上の正数)個の駆動集積回路を含む駆動回路と；ラインメモリと駆動回路に連結されて、外部から入力されるデータクロックを受けて、データクロックの各周期毎にラインメモリの複数個のグループからデータを前記グループ数に相当する回数で駆動回路に出力させるタイミングコントローラとを具備する。

【0015】本発明による液晶表示装置は、外部から入力される少なくとも1ライン分のデータを複数個のグループに分割して保存し、各グループから所定の単位でデータを出力するラインメモリと；該ラインメモリと液晶パネルとに連結されて、前記ラインメモリから出力されるデータに対応して液晶パネルを駆動する $n$  ( $n$ は0以上の正数)個の駆動集積回路を含む駆動回路と；前記ラインメモリと駆動回路とに連結されて、外部から入力されるデータクロックを受けて、分割されたグループの数に対応する分周比で分周して第1データクロックを生成し、該第1データクロックの各周期毎に互いに異なる時点で各グループのデータを前記駆動回路に出力させるタイミングコントローラとを具備する。

【0016】本発明による液晶表示装置は、外部から2画素データずつを順次的に inputs されて、少なくとも1ラインのデータを複数個のグループに分割して保存し、各グループから2画素データずつ出力するラインメモリと；該ラインメモリと液晶パネルとに連結されて、前記ラインメモリから出力されるデータに対応して液晶パネルを駆動する $n$  ( $n$ は0以上の正数)個の駆動集積回路を含む駆動回路と；ラインメモリと駆動回路とに連結されて、外部から入力されるデータクロックを受けて、分

割されたグループの数に対応する分周比で分周して第1データクロックを生成し、該第1データクロックの各周期毎に互いに異なる時点で各グループの2画素データをそれぞれ駆動回路に出力させるタイミングコントローラとを具備する。

【0017】本発明による液晶表示装置は、外部から入力される2画素データずつをラッチ出力するラッチ回路と；該ラッチ回路と液晶パネルとに連結されて、ラッチ回路から出力されるデータに対応して液晶パネルを駆動する $n$  ( $n$ は0以上の正数)個の駆動集積回路を含む駆動回路と；ラッチ回路と駆動回路とに連結されて、外部から入力されるデータクロックを受けてデータクロックの1周期の間にそれぞれの1画素データを所定の時間間隔で前記駆動回路に出力させるタイミングコントローラとを具備する。

【0018】本発明による液晶表示装置の駆動方法は、入力される少なくとも1ライン分のデータを複数個のグループに分割して保存するデータ保存段階と、入力された第1データクロックを分割されたグループ数に対応する分周比で分周して第2データクロックを生成するデータクロック生成段階と；第2データクロックの1周期の間の互いに異なる時点から各グループから所定の単位のデータをそれぞれ出力させるデータ出力段階と；出力されるデータを1ライン単位でラッチし、ラッチされたデータに対応して液晶パネルを駆動する表示段階とを含む。

#### 【0019】

【作用】本発明による液晶表示装置及びその駆動方法によれば、駆動周波数及びデータの同時出力量を減らして過電流の発生を抑制することができる。また、同一の駆動周波数を使用してもデータの同時出力量を減らして過電流の発生を抑制する。従って、過電流を除去するためのコンデンサをなくすことができ、製造費用が節減されることになる。

#### 【0020】

【発明の実施の態様】以下、本発明の実施形態を添付図4～図7を参照して詳細に説明する。図4は、本発明の好ましい実施形態による液晶表示装置のブロック構成図である。図4を参照すると、タイミングコントローラ(410)は、図示しないインターフェース部から入力された奇数及び偶数データ(ODD DATA, EVEN DATA)をラインメモリ(420)に保存する。このようなラインメモリ(420)は、図5のように第1ラインメモリブロック(411)と第2ラインメモリブロック(416)とから構成される。第1ラインメモリ(411)は、液晶パネル(430)を左、右領域に区分するとき、1～512番目の画素の中の奇数番目データを保存する第1奇数メモリブロック(412)と、1～512番目の画素の中の偶数番目データを保存する第1偶数メモリブロック(413)と、513～1

024番目の画素の中の奇数番目のデータを保存する第2奇数メモリブロック(414)と、513~1024番目の画素の中の偶数番目のデータを保存する第2偶数メモリブロック(415)とから構成される。第2ラインメモリブロック(416)は、第1ラインメモリブロック(411)と同じ構成である。

【0021】第1ラインメモリブロック(411)は、タイミングコントローラ(410)のリード/ライト制御信号に対応して1水平ラインのデータを左右領域に区分してそれぞれ第1奇数及び偶数メモリブロック(412、413)と第2奇数及び偶数メモリブロック(414、415)に保存する。第1ラインメモリブロック(411)のデータ保存が完了すると、次のラインデータは、第2ラインメモリブロック(416)に左、右領域に区分されて保存される。前記第2ラインメモリブロック(416)が、データを保存しているとき、タイミングコントローラ(410)は、第1ラインメモリブロック(411)から図6に示すように第2ソース・サンプリング・クロック(SSC2:(e))の下降エッジに同期して、第2奇数及び偶数メモリブロック(414、415)から奇数データ及び偶数データ(DATA513、DATA514)を右側データドライブ集積回路グループ(D6~D10)に出力する。その後、タイミングコントローラ(410)は、第1ラインメモリブロック(411)から図6に示すように第1ソース・サンプリング・クロック(SSC2:(b))の下降エッジに同期して、第1奇数及び偶数メモリブロック(412、413)からそれぞれ奇数データ及び偶数データ(DATA1:(c)、DATA2:(d))を左側データドライブ集積回路グループ(D1~D5)に順次出力する。即ち、それぞれ2画素データが、交番して第1ソースサンプリングクロック(SSC1:(b))と第2ソースサンプリングクロック(SSC2:(e))に同期して、互いに1/2周期の差のタイミングで前記第1奇数及び偶数メモリブロック(412、413)と第2奇数及び偶数メモリブロック(414、415)とから出力される。このとき、上述した第1及び第2ソースサンプリングクロック(SSC1、SSC2)は入力されるデータクロック(DCLK)から2分周された周波数を有する。

【0022】従って、タイミングコントローラ(410)は、入力されるデータクロックの周波数を1/2に低減した周波数を有し、互いに位相が反対である第1及び第2ソースサンプリングクロック(SSC1、SSC2)を生成し、該第1及び第2ソースサンプリングクロック(SSC1、SSC2)に同期して、4画素データをそれぞれ2画素データずつ互いに1/2周期の時間差で、液晶パネルの左、右領域に連結された左、右データドライブ集積回路グループに順次出力する。

【0023】従って、本発明の一実施例による液晶表示

装置は、入力されるデータクロックの周波数を1/2に低減した周波数のクロックによって、データドライブ集積回路を駆動する。即ち、タイミングコントローラ(410)が、2画素データずつをそれぞれ同時に出力するので、駆動周波数を低減できると共に、多くのデータ出力による過電流の発生を抑制することができる。即ち、本発明によれば、4ポート駆動方法を使用して周波数を減らし、従来の96ビット出力の半分である48ビットだけを同時に出力するので、過電流の発生を抑制することができる。

【0024】上述した本発明の一実施例では、右側データを先に出力しているが、左側データを先に出力することもできる。また、第1ソースサンプリングクロック(SSC1)と第2ソースサンプリングクロック(SSC2)とが互いに1/2周期の遅延時間を有しているが、1/4周期、3/4周期などの多様な応用が可能である。また、図4乃至図6では動作周波数を1/2に減らす4ポート駆動方法を一例として示しているが、本発明の他の実施例では、動作周波数を1/4に減らすために、液晶パネルを4領域に区分して、8画素を1/2周期の時間差を置いて4画素データずつ出力したり、1/4周期の時間差を置いて2画素データずつ出力することもできる。また、上述した図4乃至図6に実施例では、液晶パネルを左、右領域に区分しているが、データドライブ集積回路などを奇数及び偶数グループ(D1~D9、D2~D10)に区分して適用することもできる。また、データドライブ集積回路などをパネルの上下に配置してデータラインを奇数及び偶数単位で分割して適用することもできる。

【0025】また、駆動周波数を減らさない場合にも本発明を適用することができる。このような本発明の他の実施例を図7のタイミング図を参照して、以下に詳細に説明する。図7を参照すると、データクロック(DCLK:(a))、第1ソースサンプリングクロック(SSC1:(d))と第2ソースサンプリングクロック(SSC2:(f))の周波数は同一である。また、入力されるデータの伝送速度と出力されるデータの伝送速度も同一である。タイミングコントローラ(410)は、まず、入力されるデータクロック(DCLK)から同一周波数を有して互いに位相が反対である第1ソースサンプリングクロック(SSC1)と第2ソースサンプリングクロック(SSC2)を生成する。その後、タイミングコントローラ(410)は、2ポートの入力奇数及び偶数データ(DATA2n-1:(b)、DATA2n:(c))を入力される。そして、タイミングコントローラ(410)は、第1ソースサンプリングクロック(SSC1)の上昇エッジに同期して、奇数データ(DATA2n-1:(e))の出力始点からデータクロック(DCLK)の1/2周期の時間差を置いて偶数データ(DATA2n:(g))を出力させる。上

述した駆動方法によると、前記タイミングコントローラ(410)内では2ライン分のラインメモリ(420)は必要ではなく、少なくとも2画素をラッチするラッチ回路だけで構成することもできる。従って、上述した本発明の他の実施例では、2ポート駆動方法を使用しても、24ビットずつを同時に出力する。

【0026】

【発明の効果】上述したように、本発明による液晶表示装置及びその駆動方法によれば、駆動周波数及びデータ同時出力量を減らして過電流の発生を抑制することができ、また、同一の駆動周波数を使用する場合でも、データの同時出力量を減らして過電流の発生を抑制することができる。従って、過電流を除去するためのコンデンサを減らすことができ、製造費用が節減されるという利点がある。

【0027】以上説明した内容を通して、当業者であれば、本発明の技術思想を逸脱しない範囲で、多様な変更及び修正が可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

【図1】 一般的な液晶表示装置を表すブロック構成図である。

【図2】 図1の6バス駆動方式の液晶表示装置の入出力のタイミング図である。

【図3】 従来の4ポートデータ伝送方法による動作タイミング図である。

【図4】 本発明の一実施形態による液晶表示装置の、ブロック構成図である。

【図5】 図4に図示されたタイミングコントローラに集積されたラインメモリの構成図である。

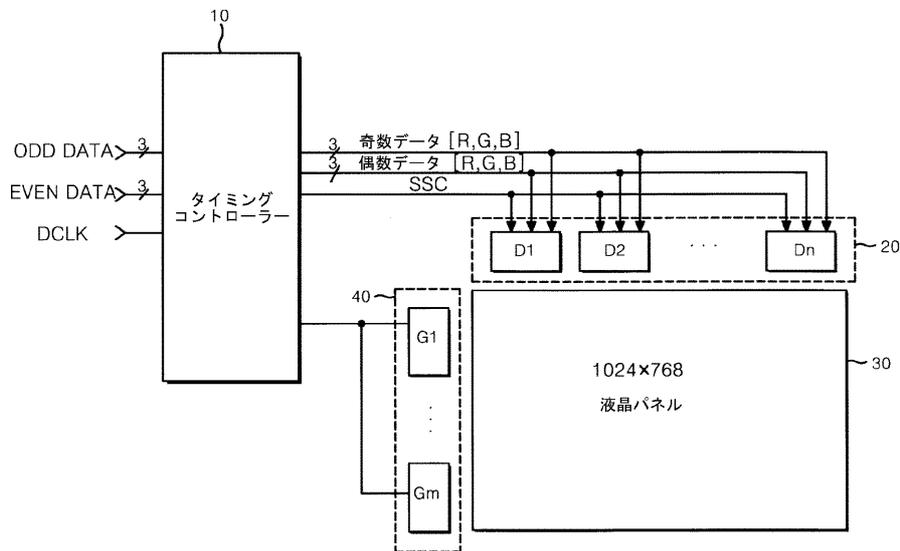
【図6】 本発明の一実施形態によって動作タイミングを示す、波形図である。

【図7】 本発明による他の実施形態による動作タイミングを示す波形図である。

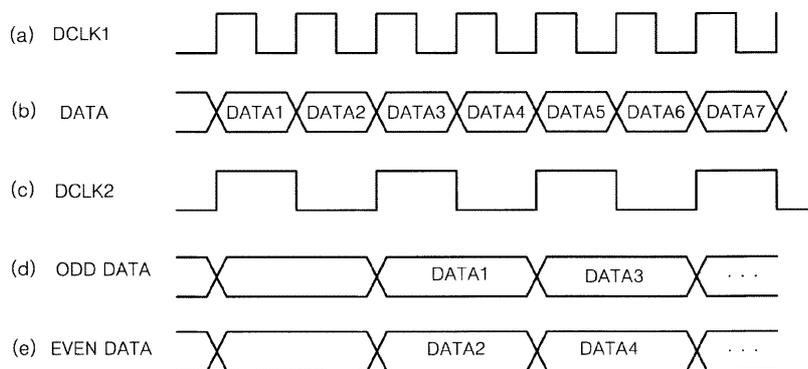
【符号の説明】

- 10, 410 : タイミングコントローラ
- 20 : データ駆動回路
- 30, 430 : 液晶パネル
- 40 : ゲート駆動回路
- 420 : ラインメモリ
- 411, 416 : ラインメモリブロック
- 412, 414 : 奇数メモリブロック
- 413, 415 : 偶数メモリブロック
- D1 ~ Dn : データドライブ集積回路
- G1 ~ Gm : ゲートドライブ集積回路

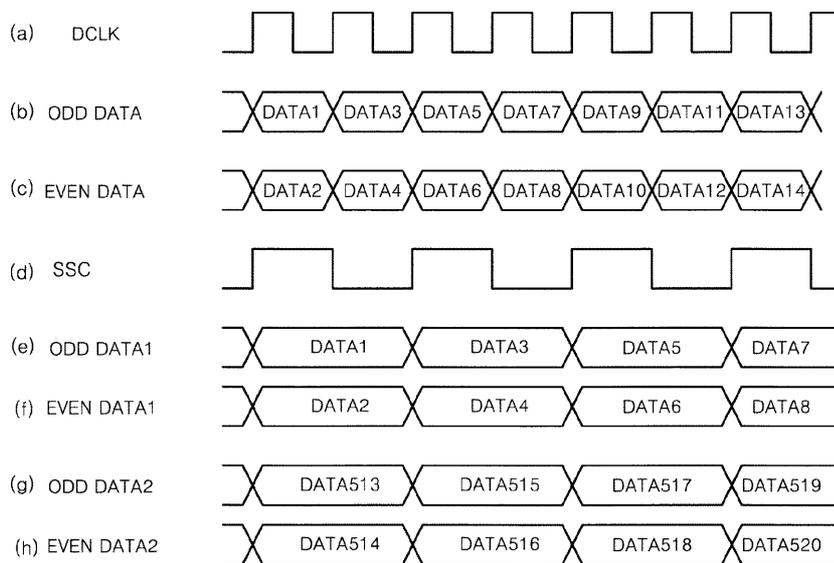
【図1】



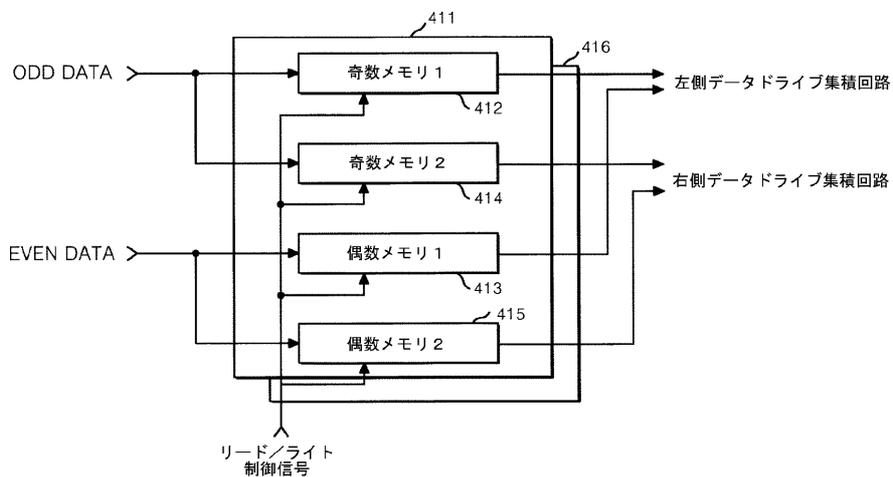
【図2】



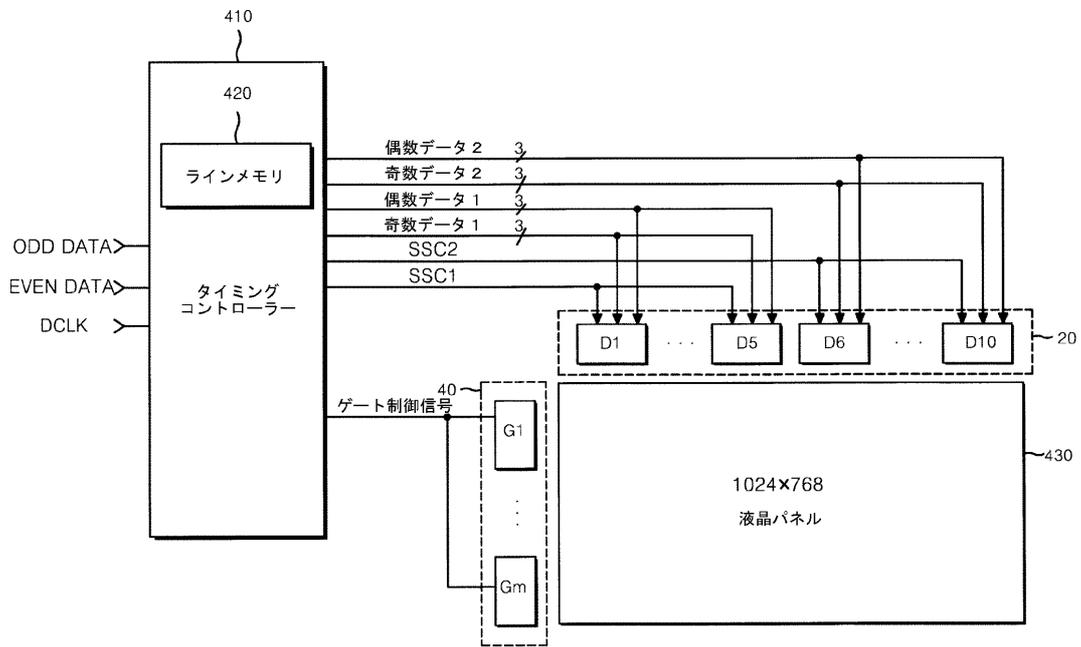
【図3】



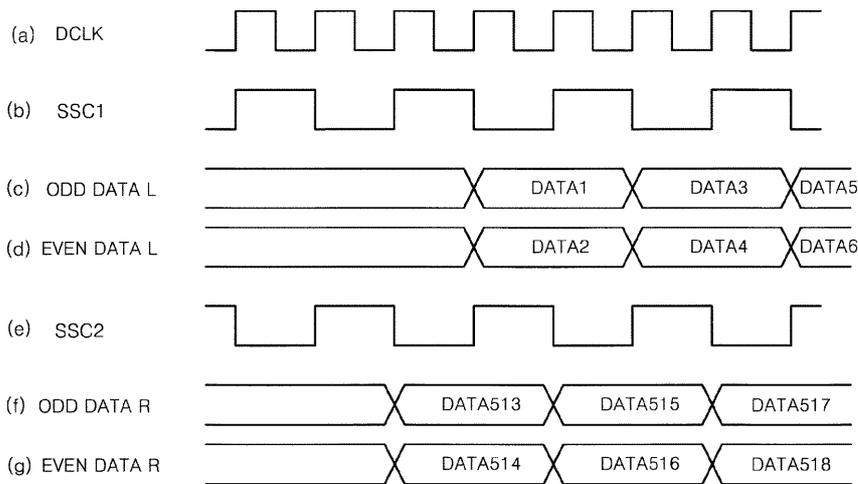
【図5】



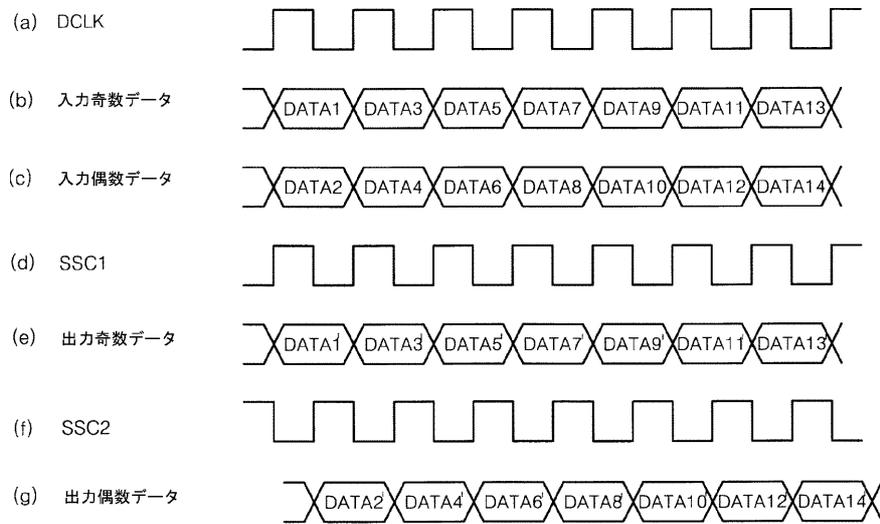
【図4】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ド <sup>*</sup> (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 D
			6 2 3 W
			6 2 3 X
	6 3 1		6 3 1 Q

F タ-ム(参考) 2H093 NA06 NC11 NC21 NC49 ND37  
 ND40 ND60  
 5C006 AB05 AC02 AC24 AF42 AF43  
 AF61 AF72 BB16 BC03 BC06  
 BC13 FA52  
 5C080 AA10 BB05 DD27 DD30 FF09  
 JJ02 JJ04 KK02

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2002032064A</a>	公开(公告)日	2002-01-31
申请号	JP2000274229	申请日	2000-09-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	白宗尚 金彰坤		
发明人	白宗尚 金彰坤		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3611 G09G2310/0297 G09G2330/025		
FI分类号	G09G3/36 G02F1/133.570 G09G3/20.611.Z G09G3/20.612.R G09G3/20.622.L G09G3/20.623.D G09G3/20.623.W G09G3/20.623.X G09G3/20.631.Q		
F-TERM分类号	2H093/NA06 2H093/NC11 2H093/NC21 2H093/NC49 2H093/ND37 2H093/ND40 2H093/ND60 5C006/AB05 5C006/AC02 5C006/AC24 5C006/AF42 5C006/AF43 5C006/AF61 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC13 5C006/FA52 5C080/AA10 5C080/BB05 5C080/DD27 5C080/DD30 5C080/FF09 5C080/JJ02 5C080/JJ04 5C080/KK02 2H193/ZB42		
优先权	1020000036648 2000-06-29 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的目的是抑制液晶显示装置中的过电流的发生。 解决方案：行存储器420将从外部输入的至少一行数据划分并存储为多组，并以预定单位输出每组的数据； 并且，驱动电路20和40包括n个（n为0以上的正数）驱动集成电路，用于与从行存储器输出的数据相对应地驱动液晶面板430；行存储器和驱动电路用于接收从外部输入的数据时钟并根据数据时钟的每个周期中的组的数量将数据从多个行存储器的组输出到与起点相对应的驱动电路的定时。 提供了一种包括控制器410的液晶显示装置。

