

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4797740号
(P4797740)

(45) 発行日 平成23年10月19日 (2011.10.19)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/133 (2006.01)	GO2F 1/133

請求項の数 9 (全 15 頁)

(21) 出願番号	特願2006-85953 (P2006-85953)	(73) 特許権者	000002185
(22) 出願日	平成18年3月27日 (2006.3.27)		ソニー株式会社
(65) 公開番号	特開2007-264080 (P2007-264080A)		東京都港区港南1丁目7番1号
(43) 公開日	平成19年10月11日 (2007.10.11)	(74) 代理人	100092152
審査請求日	平成20年2月19日 (2008.2.19)		弁理士 服部 毅巖
		(72) 発明者	小野木 智英
			東京都港区浜松町二丁目4番1号 三洋エ
			プソンイメージングデバイス株式会社内
		(72) 発明者	瀬川 泰生
			東京都港区浜松町二丁目4番1号 三洋エ
			プソンイメージングデバイス株式会社内
		審査官	小濱 健太

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1の基板上に複数の第1の画素及び第2の画素を備え、
 前記第1の画素は第1の画素電極と、この第1の画素電極上に絶縁膜を介して配置され、
 複数の第1のスリットを有する第1の共通電極とを備え、
 前記第2の画素は、第2の共通電極と、この第2の共通電極上に前記絶縁膜を介して配置され、
 複数の第2のスリットを有する第2の画素電極とを備え、
 第1の行に、第1の画素を繰り返し配置し、第1の行に隣接した第2の行に、第2の画素を繰り返し配置し、
 前記第1の基板と、この第1の基板と対向する第2の基板の間に液晶を封入し、

前記第1の画素電極及び前記第2の共通電極が第1層透明電極からなり、前記第2の画素電極及び前記第1の共通電極が第2層透明電極からなる液晶表示装置。

【請求項 2】

第1の基板上に複数の第1の画素及び第2の画素を備え、
 前記第1の画素は第1の画素電極と、この第1の画素電極上に絶縁膜を介して配置され、
 複数の第1のスリットを有する第1の共通電極とを備え、
 前記第2の画素は、第2の共通電極と、この第2の共通電極上に前記絶縁膜を介して配置され、
 複数の第2のスリットを有する第2の画素電極とを備え、
 第1の列に、第1の画素を繰り返し配置し、第1の列に隣接した第2の列に、第2の画素を繰り返し配置し、
 前記第1の基板と、この第1の基板と対向する第2の基板の間に液

晶を封入し、

前記第 1 の画素電極及び前記第 2 の共通電極が第 1 層透明電極からなり、前記第 2 の画素電極及び前記第 1 の共通電極が第 2 層透明電極からなる液晶表示装置。

【請求項 3】

第 1 の基板上に複数の第 1 の画素及び第 2 の画素を備え、

前記第 1 の画素は第 1 の画素電極と、この第 1 の画素電極上に絶縁膜を介して配置され、複数の第 1 のスリットを有する第 1 の共通電極とを備え、

前記第 2 の画素は、第 2 の共通電極と、この第 2 の共通電極上に前記絶縁膜を介して配置され、複数の第 2 のスリットを有する第 2 の画素電極とを備え、

第 1 の行に、第 1 の画素と第 2 の画素を交互に繰り返し配置し、第 1 の行に隣接した第 2 の行に、第 1 の画素と第 2 の画素を第 1 の行とは逆の順序で繰り返し配置し、前記第 1 の基板と、この第 1 の基板と対向する第 2 の基板の間に液晶を封入し、

前記第 1 の画素電極及び前記第 2 の共通電極が第 1 層透明電極からなり、前記第 2 の画素電極及び前記第 1 の共通電極が第 2 層透明電極からなる液晶表示装置。

【請求項 4】

複数の第 1 の画素にそれぞれ配置された第 1 の共通電極が互いに一体化され、複数の第 2 の画素にそれぞれ配置された第 2 の共通電極が一体化されている請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 1 及び第 2 の画素電極に、1 水平期間毎に共通電位に対して、反転された表示信号を供給する請求項 2 に記載の液晶表示装置。

【請求項 6】

前記第 1 及び第 2 の画素電極に、1 垂直期間毎に共通電位に対して反転された表示信号を供給する請求項 1、3 のいずれかに記載の液晶表示装置。

【請求項 7】

前記第 1 及び第 2 の共通電極に、1 水平期間毎に極性が反転された共通電位を供給する請求項 2 に記載の液晶表示装置。

【請求項 8】

前記第 1 及び第 2 の共通電極に、1 垂直期間毎に極性が反転された共通電位を供給する請求項 1、3 のいずれかに記載の液晶表示装置。

【請求項 9】

前記第 1 の画素電極に第 1 の薄膜トランジスタが接続され、前記第 2 の画素電極に第 2 の薄膜トランジスタが接続されている請求項 1、2、3 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、液晶表示装置に関し、特に、画素電極と共通電極との間に生じる横方向電界によって液晶分子の配向方向が制御される液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置の広視野角化を図る手段の一つとして、同一基板上の電極間に横方向の電界を発生させ、この電界により液晶分子を基板に平行な面内で回転させることで光スイッチング機能を持たせる方式が開発されている。この技術の例としては、インプレーン・スイッチング (In-plane Switching, 以降、「IPS」と略称する) 方式や、IPS 方式を改良したフリンジフィールド・スイッチング (Fringe-Field Switching, 以降、「FFS」と略称する) 方式が知られている。

【0003】

FFS 方式の液晶表示装置の製造工程について図面を参照して説明する。図 17 乃至図 19 は、FFS 方式の液晶表示装置の一画素の製造工程を示す図であり、各図の (a) 図

10

20

30

40

50

は平面図であり、(b)図は(a)図のX-X線に沿った断面図である。実際の液晶表示装置では、複数の画素がマトリクスに配置されているが、これらの図では1画素のみを示している。

【0004】

図17に示すように、ガラス基板等からなるTFT基板10上に、シリコン酸化膜(SiO₂膜)もしくはシリコン窒化膜(SiN_x膜)からなるバッファ層11、アモルファスシリコン層がCVDにより連続成膜される。このアモルファスシリコン層はエキシマレーザー・アニールにより結晶化されてポリシリコン層となる。このポリシリコン層がU字状にパターンニングされて薄膜トランジスタ1の能動層12が形成される。

【0005】

その後、能動層12を覆ってゲート絶縁膜13が成膜される。能動層12と重畳したゲート絶縁膜13上にはクロム、モリブデン等からなるゲートライン14が形成される。ゲートライン14は能動層12と2箇所で交差し、行方向に延びている。ゲートライン14には薄膜トランジスタ1のオンオフを制御するゲート信号が印加される。一方、ゲートライン14と平行に、ゲートライン14と同一材料からなり共通電位V_{com}を供給するための共通電位ライン15が形成される。

【0006】

次に、薄膜トランジスタ1及び共通電位ライン15を覆う層間絶縁膜16が形成される。そして、層間絶縁膜16に能動層12のソース領域12s、ドレイン領域12dをそれぞれ露出するコンタクトホールCH1、CH2が形成される。また、層間絶縁膜16には共通電位ライン15を露出するコンタクトホールCH3が形成される。

【0007】

そして、コンタクトホールCH1を通してソース領域12sと接続されたソース電極17、コンタクトホールCH2を通してドレイン領域12dと接続された表示信号ライン18が形成され、コンタクトホールCH3を通して共通電位ライン15と接続された電極19が形成されている。

ソース電極17、表示信号ライン18、電極19は、アルミニウムもしくはアルミニウム合金を含む金属等からなる。次に、全面に平坦化膜20が形成される。平坦化膜20には、ソース電極17、電極19をそれぞれ露出するコンタクトホールCH4、CH5が形成される。

【0008】

そして、図18に示すように、コンタクトホールCH4を通してソース電極17に接続され、平坦化膜20上に延びる画素電極21が形成される。画素電極21は、ITO等の第1層透明電極からなり、表示信号ライン18からの表示信号V_{sig}が薄膜トランジスタ1を通して印加される。

【0009】

その後、図19に示すように、画素電極21を覆う絶縁膜22が形成されている。また、絶縁膜22をエッチングして電極19を露出するコンタクトホールCH6が形成される。そして、画素電極21上に絶縁膜22を介して、複数のスリットSを有した共通電極23が形成される。共通電極23は、ITO等の第2層透明電極からなり、コンタクトホールCH6を通して電極19と接続される。

【0010】

また、TFT基板10と対向して、ガラス基板等からなる対向基板30が配置されている。対向基板30には、偏光板31が貼り付けられる。また、TFT基板10の裏面にも偏光板32が貼り付けられる。偏光板31、32は、各偏光板の偏光軸が互いに直交する関係を以って配置されている。そして、TFT基板10と対向基板30との間には、液晶40が封入されている。

【0011】

上記液晶表示装置では、画素電極21に表示電圧が印加されない状態(無電圧状態)では、液晶40の液晶分子の長軸の平均的な配向方向(以降、単に「配向方向」と略称する

10

20

30

40

50

）が偏光板 3 2 の偏光軸と直交する傾きとなる。このとき、液晶 4 0 を透過する直線偏光は、その偏光軸が偏光板 3 1 の偏光軸と直交するため、偏光板 3 1 から出射されない。即ち表示状態は黒表示となる（ノーマリーブブラック）。

【 0 0 1 2 】

一方、画素電極 2 1 に表示電圧が印加されると、画素電極 2 1 からスリット S を通して下方の共通電極 2 3 へ向かう電界が生じる。この電界は平面的に見ると、スリット S の長手方向に垂直な電界であり、液晶分子はその電界の電気力線に平行又は垂直に配向する。このとき、液晶 4 0 に入射した直線偏光は複屈折により楕円偏光となるが、偏光板 3 1 を透過する直線偏光成分を有することになり、この場合の表示状態は白表示となる。なお、F F S 方式の液晶表示装置については特許文献 1 に記載されている。

10

【特許文献 1】特開 2 0 0 2 - 2 9 6 6 1 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

ところで、液晶表示装置では液晶の劣化を防止するために表示信号ライン 1 8 に与える表示信号 V s i g の共通電位 V c o m に対する極性を反転することで液晶にかかる電圧を 1 フレームごとに反転している。しかしながら全画面を同時に反転する方式（フレーム反転駆動）ではフリッカーなどによる表示品位の低下が発生する。そこでフリッカーを抑制するために 1 水平線ごとに極性を反転するライン反転駆動もしくは 1 ドットごとに極性を反転するドット反転駆動が有効であることが知られている。さらに駆動 I C 及び T F T 内蔵回路の駆動電圧低電圧化のために、共通電極に交流電圧を供給する対極 A C 駆動が有効であることが知られている。

20

【 0 0 1 4 】

通常の液晶表示装置においてライン反転駆動と対極 A C 駆動を組み合わせた場合、水平周期ごとに共通電極を振るため信号歪による輝度ムラ等が発生しやすく、表示品位が低下するという問題点を有していた。

【 0 0 1 5 】

さらに通常の液晶表示装置においてドット反転駆動を行う場合、対極 A C 駆動と組み合わせることはできないことから駆動電圧の低電圧化が困難であった。さらにドット反転駆動を行うためには表示信号 V s i g の極性をドット反転する回路が必要となり、画素の周辺回路の構成が複雑になるとともに、反転駆動に伴って消費電力が増大する問題点を有していた。

30

【課題を解決するための手段】

【 0 0 1 6 】

本開示の液晶表示装置は、絶縁膜を介して画素電極と共通電極が同一基板上に設けられるという F F S 方式の液晶表示装置の特徴を生かして、画素のパターンレイアウトを工夫することにより、上記課題の解決を可能としたものである。本開示は以下の通りである。

【 0 0 1 7 】

本開示の液晶表示装置（請求項 1）は、第 1 の基板上に複数の第 1 の画素及び第 2 の画素を備える。第 1 の画素は第 1 の画素電極と、この第 1 の画素電極上に絶縁膜を介して配置され、複数の第 1 のスリットを有する第 1 の共通電極とを備える。第 2 の画素は、第 2 の共通電極と、この第 2 の共通電極上に絶縁膜を介して配置され、複数の第 2 のスリットを有する第 2 の画素電極とを備える。そして、第 1 の行に、第 1 の画素を繰り返し配置し、第 1 の行に隣接した第 2 の行に、第 2 の画素を繰り返し配置し、第 1 の基板と、この第 1 の基板と対向する第 2 の基板の間に液晶を封入し、第 1 の画素電極及び第 2 の共通電極が第 1 層透明電極からなり、第 2 の画素電極及び第 1 の共通電極が第 2 層透明電極からなるものである。

40

【 0 0 1 8 】

これにより、1 行毎に画素電極と共通電極の上下の配置関係が逆転するので、周辺回路側ではフレーム反転駆動を行うだけで、画素領域ではライン反転駆動が行われることにな

50

る。これにより、通常のライン反転駆動と対極AC駆動を組み合わせた場合に比べ、信号歪による輝度ムラが抑制される。

【0019】

本開示の液晶表示装置（請求項2）は、第1の基板上に複数の第1の画素及び第2の画素を備える。第1の画素は第1の画素電極と、この第1の画素電極上に絶縁膜を介して配置され、複数の第1のスリットを有する第1の共通電極とを備える。第2の画素は、第2の共通電極と、この第2の共通電極上に絶縁膜を介して配置され、複数の第2のスリットを有する第2の画素電極とを備える。そして、第1の列に、第1の画素を繰り返し配置し、第1の列に隣接した第2の列に、第2の画素を繰り返し配置し、第1の基板と、この第1の基板と対向する第2の基板の間に液晶を封入し、第1の画素電極及び第2の共通電極が第1層透明電極からなり、第2の画素電極及び第1の共通電極が第2層透明電極からなるものである。これにより、1列毎に画素電極と共通電極の上下の配置関係が逆転するので、周辺回路側では対極AC駆動とライン反転駆動を行うだけで、画素領域ではドット反転駆動が行われることになる。

10

【0020】

本開示の液晶表示装置（請求項3）は、第1の基板上に複数の第1の画素及び第2の画素を備え、前記第1の画素は第1の画素電極と、この第1の画素電極上に絶縁膜を介して配置され、複数の第1のスリットを有する第1の共通電極とを備える。第2の画素は、第2の共通電極と、この第2の共通電極上に前記絶縁膜を介して配置され、複数の第2のスリットを有する第2の画素電極とを備える。そして、第1の行に、第1の画素と第2の画素を交互に繰り返し配置し、第1の行に隣接した第2の行に、第1の画素と第2の画素を第1の行とは逆の順序で繰り返し配置し、前記第1の基板と、この第1の基板と対向する第2の基板の間に液晶を封入し、第1の画素電極及び第2の共通電極が第1層透明電極からなり、第2の画素電極及び第1の共通電極が第2層透明電極からなるものである。

20

【0021】

これにより、1行毎、1列毎に画素電極と共通電極の上下の配置関係が逆転するので、周辺回路側ではフレーム反転駆動を行うだけで、画素領域ではドット反転駆動が行われるので、さらに消費電力が低減されるという効果を奏する。

【発明の効果】

【0022】

請求項1に係る発明によれば、周辺回路側ではフレーム反転駆動を行うだけで、画素領域ではライン反転駆動が行われる。これにより、通常のライン反転駆動と対極AC駆動を組み合わせた場合に比べ、信号歪による輝度ムラが抑制される。さらに、共通電極に印加される信号の周波数が低くなることから消費電力が低減される。

30

【0023】

また、請求項2に係る発明によれば、周辺回路側では対極AC駆動とライン反転駆動を行うだけで、画素領域ではドット反転駆動が行われるので、画素の周辺回路の構成が簡単になるとともに、消費電力が低減される。

【0024】

さらに、請求項3に係る発明によれば、周辺回路側ではフレーム反転駆動を行うだけで、画素領域ではドット反転駆動が行われるので、画素の周辺回路の構成が簡単になるとともに、消費電力が低減される。

40

【発明を実施するための最良の形態】

【0025】

次に第1の実施の形態について図面を参照しながら説明する。図1、図2は液晶表示装置の画素レイアウト図であり、図1は第1層透明電極のレイアウトを示し、図2は第1層透明電極のレイアウトに加えて、絶縁膜を介してその上に配置される第2層透明電極のレイアウトを示している。

【0026】

図1に示すように、第1の行では画素Aが左右方向に繰り返して配置され、その下の第

50

2の行では、画素Bが左右方向に繰り返して配置されている。画素Aについては、第1層透明電極で画素電極21Aが形成され、コンタクトホールCH4を通して薄膜トランジスタ1Aに接続されている。画素Bについては、第1層透明電極で共通電極23Bが形成され、コンタクトホールCH5を通して、共通電位ライン15に接続されている。

【0027】

また、図2に示すように、画素Aについては、第2層透明電極で複数のスリットSAを有する共通電極23Aが形成され、コンタクトホールCH6を通して共通電位ライン15に接続されている。画素Bについては、第2層透明電極で複数のスリットSBを有する画素電極21Bが形成され、コンタクトホールCH4を通して薄膜トランジスタ1Bに接続されている。

10

【0028】

画素Aは、従来例の図19の画素と同じであり、図1の薄膜トランジスタ1A、画素電極21A、共通電極23Aは、図19の薄膜トランジスタ1、画素電極21、共通電極23と同じである。画素Bは、図3の断面図を参照すれば明らかなように、画素Aとは逆に、共通電極23Bが第1層透明電極で形成され、画素電極21Bが第1層透明電極の上層の第2透明電極で形成されている。共通電極23Bと画素電極21Bの間には絶縁膜22が形成されている。画素Bのその他の構成部分は画素Aと全く同じである。このような構成によれば、隣接する画素A、Bの間で画素電極と共通電極の上下の配置関係が逆転される。

【0029】

20

図4は画素領域全体のレイアウト図である。奇数行では、画素Aが左右方向に繰り返して配置され、偶数行では画素Bが左右方向に繰り返して配置されている。このようなレイアウトの液晶表示装置に対して、図5(a)のフレーム反転駆動方式の表示信号Vsigを印加する場合の動作について説明する。図5(a)の表示信号Vsigは1垂直期間(1V)毎に共通電位Vcomに対して極性が反転する。図4の1ライン目(第1行目)のゲートライン14のゲート信号がハイレベルになり、画素Aのトランジスタ1Aがオンする(薄膜トランジスタ1A、1BはNチャネル型とする)。

【0030】

すると、画素Aについて薄膜トランジスタ1Aを通して画素電極21Aに正極性の表示信号Vsigが印加されると、下層の画素電極21Aが上層の共通電極23Aに対して高電位になる。1水平期間(1H)かけて1ライン目の水平走査が行われると次に2ライン目(第2行目)のゲートライン14のゲート信号がハイレベルになり、画素Bのトランジスタ1Bがオンする。

30

【0031】

すると、画素Bについて薄膜トランジスタ1Bを通して画素電極21Bに正極性の表示信号Vsigが印加されると、上層の画素電極21Bが下層の共通電極23Bに対して高電位になる。通常、低温ポリシリコンTFTの液晶ディスプレイではゲートライン14がハイレベルになり、TFTがオンしてから表示信号Vsigが印加される。それに対し、後述するアモルファスSi-TFT液晶ディスプレイでは表示信号Vsigが印加されてからゲートライン14がハイレベルになる。

40

【0032】

このようにして画素A、Bでは画素電極と共通電極の電位の関係は反転し、ライン反転駆動が行われることになる。図6において+、-記号は液晶に印加される電界の極性の正(+)、負(-)を表している。次のフレームでは表示信号Vsigの共通電位Vcomに対する極性が反転するので、図6において液晶に印加される電界の極性の正(+)、負(-)は反転する。

【0033】

上述の液晶表示装置によれば、フレーム反転駆動を行うだけで画素領域ではライン反転駆動が行われることになる。これにより共通電極の信号歪による表示品位の低下が低減される。さらに従来のライン反転駆動と比較して共通電極に印加される信号の周波数が低く

50

なることから周辺回路の低消費電力化が可能となる。

【0034】

次に第2の実施の形態について図面を参照しながら説明する。この実施の形態は、第1の実施の形態において、共通電位ライン15を不要とするものである。図7に示すように、第1の行では第1層透明電極からなる画素電極21Aは画素毎に分離され、各薄膜トランジスタ1Aに接続されているが、第1の行の下第2の行では、第1層透明電極からなる共通電極23Bは画素毎に分離されないで、一体化されている。そして、画素領域外において、この一体化された共通電極23BにVcom電位を供給する。

【0035】

また、図8に示すように、第1の行では第2層透明電極からなる共通電極23Aは画素毎に分離されないで、一体化されている。そして、共通電極23Aには共通電極23Bと同様に、画素領域外においてVcom電位を供給する。第2の行では、第2層透明電極からなる画素電極21Bは画素毎に分離され、各薄膜トランジスタ1Bに接続されている。

【0036】

したがって、図1、2の共通電位ライン15は unnecessary になることから画素の高開口率化が可能となり、表示品位が向上する。

【0037】

次に第3の実施の形態について図面を参照しながら説明する。図9は、液晶表示装置の画素レイアウト図であり、図9(a)は第1層透明電極のレイアウトを示し、図9(b)は第1層透明電極のレイアウトに加えて、絶縁膜を介してその上に配置される第2層透明電極のレイアウトを示している。

【0038】

図9(a)に示すように、1つの行において、画素Aと画素Bが左右方向に交互に配置されている。このような構成によれば、隣接する画素A、Bの間で画素電極と共通電極の上下の配置関係が逆転される。図10は画素領域全体のレイアウト図である。各行で、画素A、画素Bが左右方向に交互に配置されているが、列方向(上下方向)では同じ画素A(または同じ画素B)が繰り返し配置されている。このようなレイアウトの液晶表示装置に対して、図11(a)のライン反転駆動方式の表示信号Vsigを印加する場合の動作について説明する。図11(a)の表示信号Vsigは1水平期間(1H)毎に、共通電位Vcomに対して極性が反転する。

【0039】

図10の1ライン目のゲートライン14のゲート信号がハイレベルになり、画素A、Bの薄膜トランジスタ1A、1Bがオンする。(薄膜トランジスタ1A、1BはNチャネル型とする)すると、画素Aについて、薄膜トランジスタ1Aを通して画素電極21Aに正極性の表示信号Vsigが印加されると、下層の画素電極21Aが上層の共通電極23Aに対して高電位になる。画素Bについては、上層の画素電極21Bが下層の共通電極23Bに対して高電位となり、画素A、Bでは、画素電極と共通電極との間に生じる電界の向きが逆になる。

【0040】

次に、1水平期間(1H)かけて1ライン目の水平走査が行われた後、2ライン目では表示信号Vsigの共通電位Vcomに対する極性が反転して水平走査が行われる。これによって、画素電極と共通電極の電位の関係は反転するが、画素A、Bでは、画素電極と共通電極との間の電界の向きが逆になる点は変わらない。このようにして、各ラインについてライン反転駆動が行われると、図12に示すようなドット反転駆動が行われることになる。図12において、+、-記号は液晶に印加される電界の極性の正(+)、負(-)を示している。

【0041】

したがって、上述の液晶表示装置によれば、ライン反転駆動を行うだけで、画素領域ではドット反転駆動が行われることになる。これにより、フリッカーを抑制することができるとともに、周辺回路の構成が簡単になり、消費電力も低減される。

【 0 0 4 2 】

次に第 4 の実施の形態について説明する。この実施の形態では、画素 A , B を用いる点は第 1、2 および 3 の実施の形態と同じであるが、画素 A , B の配置が異なっている。即ち、図 1 3 に示すように、1 つの行において、画素 A , B は左右方向に交互に配置されているが、列方向（上下方向）にも交互に配置されている。すなわち、奇数行では、画素 A , B は左右方向に交互に配置され、偶数行では画素 A , B は逆の順番で左右方向に交互に配置されている。

【 0 0 4 3 】

このような構成によれば、ライン反転駆動を行うことなく、図 1 2 のドット反転駆動が可能になる。この場合、画素電極に印加される表示信号 V_{sig} は図 5 (a) のように、1 垂直期間（ $1V$ ）毎に、共通電位 V_{com} に対して反転された信号となる。したがって、本実施の形態によれば、ライン反転駆動を行うことなく、ドット反転駆動が行われることになるので、第 3 の実施の形態に比して、さらに周辺回路の構成が簡単になり、消費電力も低減される。

【 0 0 4 4 】

次に、第 5 の実施の形態について説明する。第 1 ~ 第 4 の実施の形態では、薄膜トランジスタは 1 A、1 B は低温ポリシリコン T F T であるが、本実施の形態ではその代わりに、アモルファスシリコン T F T（以下、a S i - T F T と略称する）が用いられる。この実施の形態は、第 3 の実施形態（図 9 参照）と同様の画素配列に対応しているが、第 1、第 2、第 4 の実施の形態についても同様に適用することができる。

【 0 0 4 5 】

図 1 4 は、液晶表示装置の画素レイアウト図であり、図 1 4 (a) は第 1 層透明電極のレイアウトを示し、図 1 4 (b) は第 1 層透明電極のレイアウトに加えて、絶縁膜を介してその上に配置される第 2 層透明電極のレイアウトを示している。

【 0 0 4 6 】

図 1 4 (a) に示すように、1 つの行において、画素 A ' と画素 B ' が左右方向に交互に配置されている。画素 A ' については、第 1 層透明電極からなる画素電極 1 2 1 A が形成され、コンタクトホール C H 1 0 を通して a S i - T F T 1 1 A に接続されている。画素 B ' については、第 1 層透明電極で共通電極 1 2 3 B が形成され、共通電位ライン 1 1 5 にオーバーラップして接続されている。

【 0 0 4 7 】

また、図 1 4 (b) に示すように、画素 A ' については、第 2 層透明電極からなる複数のスリット S A ' を有する共通電極 1 2 3 A が形成され、コンタクトホール C H 1 1 を通して共通電位ライン 1 1 5 に接続されている。画素 B ' については、第 2 層透明電極で複数のスリット S B ' を有する画素電極 1 2 1 B が形成され、コンタクトホール C H 1 2 を通して a S i - T F T 1 1 B に接続されている。このような構成によれば、隣接する画素 A '、B ' の間で画素電極と共通電極の上下の配置関係が逆転される。

【 0 0 4 8 】

また、1 つの行の中で、左右方向に延びるゲートライン 1 1 4 は a S i - T F T 1 1 A、1 1 B の共通のゲート電極である。このゲートライン 1 1 4 と交差して、上下方向に複数の表示信号ライン 1 1 8 が形成されており、対応する表示信号ライン 1 1 8 に a S i - T F T 1 1 A、1 1 B が接続されている。

【 0 0 4 9 】

次に、画素 A ' の断面構造とその製造方法について図 1 5 を参照して説明する。まず、図 1 5 (a) に示すように、ガラス基板等からなる T F T 基板 1 0 0 上に、クロム、モリブデン等からなるゲートライン 1 1 4、共通電位ライン 1 1 5 が形成される。そして、ゲートライン 1 1 4 と共通電位ライン 1 1 5 との間の T F T 基板 1 0 0 上に、第 1 層透明電極からなる画素電極 1 2 1 A がパターンニングされる。

【 0 0 5 0 】

次に、図 1 5 (b) に示すように、ゲートライン 1 1 4 及び共通電位ライン 1 1 5 を覆ってゲート絶縁膜 1 0 1 が形成される。ゲートライン 1 1 4 に近接した画素電極 1 2 1 A 上のゲート絶縁膜 1 0 1 が部分的にエッチングされコンタクトホール C H 1 0 が形成される。

【 0 0 5 1 】

次に、図 1 5 (c) に示すように、ゲートライン 1 1 4 を覆ってアモルファスシリコン層 1 0 2 が形成される。そして、アモルファスシリコン層 1 0 2 に接触して、アルミニウム等からなる表示信号ライン 1 1 8 (ドレイン電極) とソース電極 1 0 3 が形成される。ソース電極 1 0 3 はコンタクトホール C H 1 0 を通して画素電極 1 2 1 A に接続される。

【 0 0 5 2 】

次に、図 1 5 (d) に示すように、全面に層間絶縁膜 1 0 4 が形成される。そして、共通電位ライン 1 1 5 上のゲート絶縁膜 1 0 1、層間絶縁膜 1 0 4 が部分的にエッチングされ、コンタクトホール C H 1 1 が形成される。次に、図 1 5 (e) に示すように、コンタクトホール C H 1 1 を通して共通電位ライン 1 1 5 に接続され、第 2 層透明電極からなる共通電極 1 2 3 A が形成される。共通電極 1 2 3 A はゲート絶縁膜 1 0 1 及び層間絶縁膜 1 0 4 を間に挟んで画素電極 1 2 1 A 上に形成される。

【 0 0 5 3 】

次に、画素 B ' の断面構造とその製造方法について図 1 6 を参照して説明する。まず、図 1 6 (a) に示すように、T F T 基板 1 0 0 上にゲートライン 1 1 4、共通電位ライン 1 1 5 が形成される。そして、共通電位ライン 1 1 5 を覆い、ゲートライン 1 1 4 と共通電位ライン 1 1 5 との間の領域に延びた共通電極 1 2 3 B が形成される。共通電極 1 2 3 B は共通電位ライン 1 1 5 に接触することで、それに接続される。

【 0 0 5 4 】

次に、図 1 6 (b) に示すように、全面にゲート絶縁膜 1 0 1 が形成される。次に、図 1 6 (c) に示すように、ゲートライン 1 1 4 を覆ってアモルファスシリコン層 1 0 2 が形成される。そして、アモルファスシリコン層 1 0 2 に接触して表示信号ライン 1 1 8 (ドレイン電極) とソース電極 1 0 3 が形成される。

【 0 0 5 5 】

次に、図 1 6 (d) に示すように、全面に層間絶縁膜 1 0 4 が形成され、ソース電極 1 0 3 上の層間絶縁膜 1 0 4 が部分的にエッチングされ、コンタクトホール C H 1 2 が形成される。次に、図 1 6 (e) に示すように、コンタクトホール C H 1 2 を通してソース電極 1 0 3 に接続され、第 2 層透明電極からなる画素電極 1 2 1 B が形成される。画素 A ' とは逆に、画素電極 1 2 1 B はゲート絶縁膜 1 0 1 及び層間絶縁膜 1 0 4 を間に挟んで共通電極 1 2 3 B 上に形成される。なお、T F T 基板 1 0 0 と対向して対向基板が設けられ、T F T 基板 1 0 0 と対向基板との間に液晶が封入されるなどの点については、第 1 ~ 第 4 の実施の形態と同様であるので詳細な説明は省略する。

【 0 0 5 6 】

第 1、第 2、第 3 の実施の形態において、更に低消費電力化のために、図 5 (b) のように共通電位 V c o m を 1 水平期間 ($\frac{1}{H}$) 毎に反転する対極 A C 駆動としてもよい。また、第 4 の実施の形態において、図 5 (b) に示すように共通電位 V c o m を 1 垂直期間 ($\frac{1}{V}$) 毎に反転する対極 A C 駆動としてもよい。

【図面の簡単な説明】

【 0 0 5 7 】

【図 1】第 1 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 2】第 1 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 3】図 1 の Y - Y 線に沿った断面図である。

【図 4】第 1 の実施の形態による画素領域全体のレイアウト図である。

【図 5】第 1 の実施の形態による表示信号 V s i g の反転駆動を説明する図である。

【図 6】ライン反転駆動を説明する図である。

【図 7】第 2 の実施の形態による液晶表示装置の画素レイアウト図である。

10

20

30

40

50

【図 8】第 2 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 9】第 3 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 10】第 3 の実施の形態による画素領域全体のレイアウト図である。

【図 11】第 3 の実施の形態による表示信号 V_{sig} の反転駆動を説明する図である。

【図 12】ドット反転駆動を説明する図である。

【図 13】第 4 の実施の形態による画素領域全体のレイアウト図である。

【図 14】第 5 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 15】第 5 の実施の形態による液晶表示装置の画素の構造及び製造方法を説明する図である。

【図 16】第 5 の実施の形態による液晶表示装置の画素の構造及び製造方法を説明する図である。 10

【図 17】従来例の液晶表示装置の構造及び製造方法を説明する図である。

【図 18】従来例の液晶表示装置の構造及び製造方法を説明する図である。

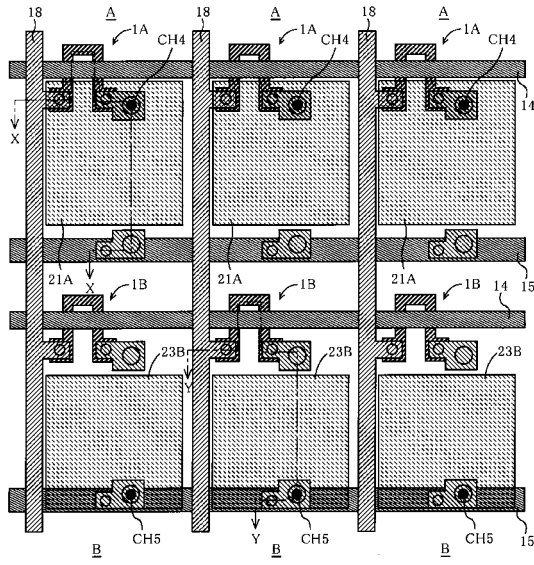
【図 19】従来例の液晶表示装置の構造及び製造方法を説明する図である。

【符号の説明】

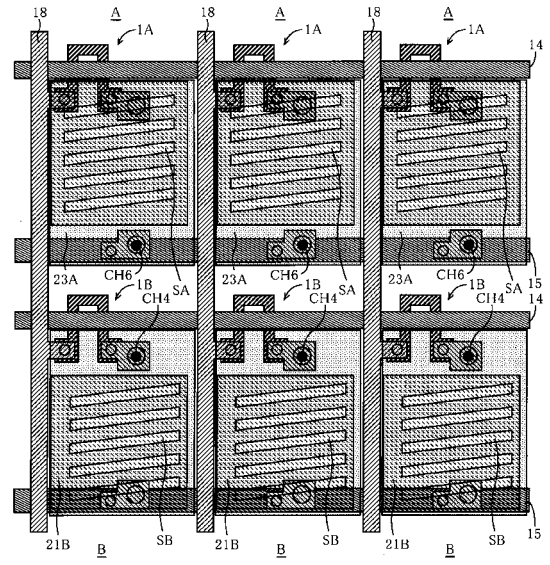
【0058】

1, 1A, 1B	薄膜トランジスタ	10, 100	TFT基板	
11	バッファ層	11A, 11B	aSi-TFT	
12	能動層	12s	ソース領域	
12d	ドレイン領域	13, 101	ゲート絶縁膜	20
14, 114	ゲートライン	15	共通電位ライン	
16, 104	層間絶縁膜	17, 103	ソース電極	
18, 118	表示信号ライン	19	電極	20 平坦化膜
21, 21A, 21B, 121, 121A, 121B	画素電極	22	絶縁膜	
23, 23A, 23B, 123, 123A, 123B	共通電極	30	対向基板	
31, 32	偏光板	40	液晶	
102	アモルファスシリコン層	A, B, A', B'	画素	
CH1 ~ CH12	コンタクトホール	S, SA, SB, SA', SB'	スリット	

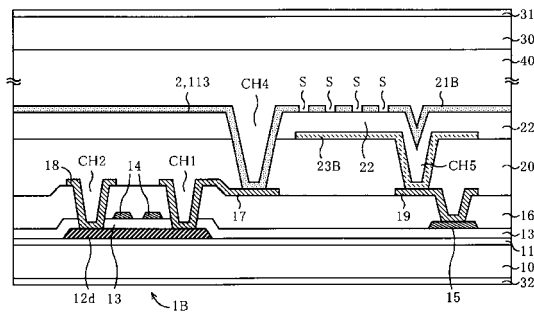
【図 1】



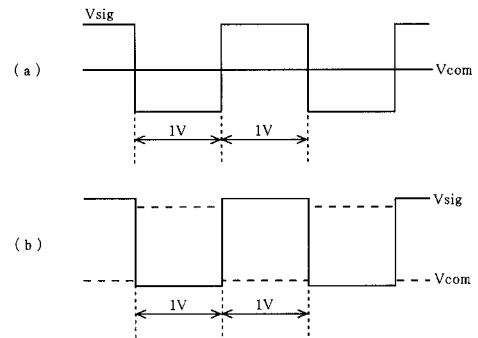
【図 2】



【図 3】



【図 5】



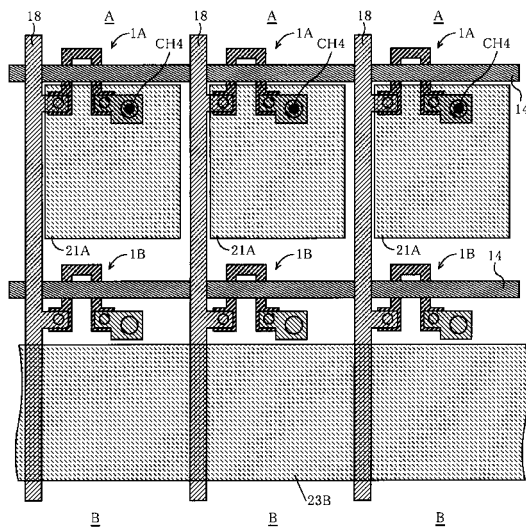
【図 4】

A	A	A	A	...
B	B	B	B	...
A	A	A	A	...
B	B	B	B	...
...	...	...	...	...

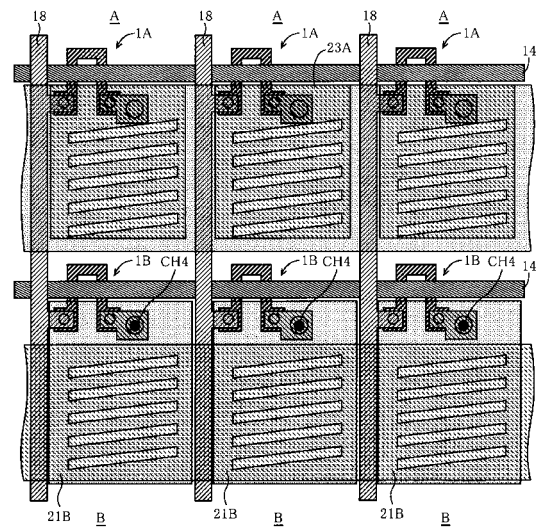
【図 6】

+	+	+	+	...
-	-	-	-	...
+	+	+	+	...
-	-	-	-	...
...	...	...	...	...

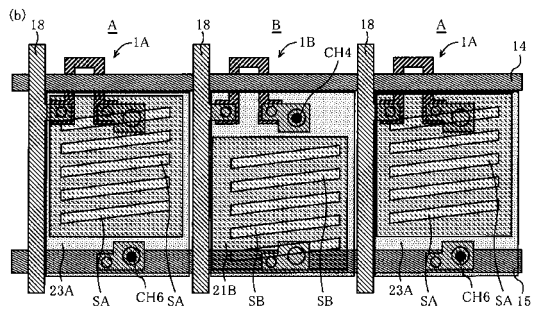
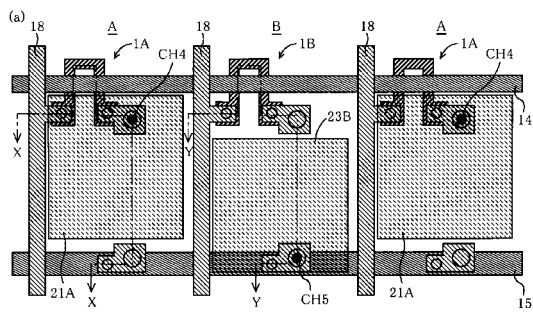
【図 7】



【図 8】



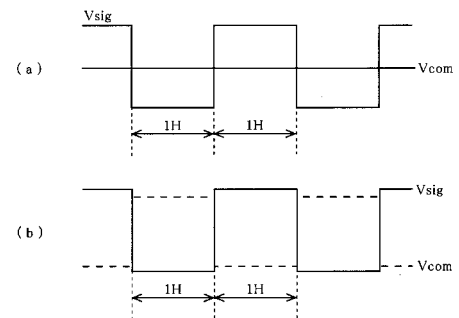
【図 9】



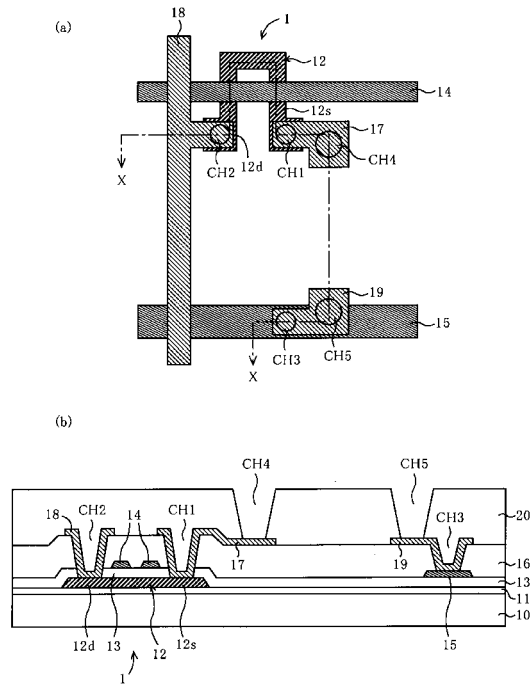
【図 10】

A	B	A	B	...
A	B	A	B	...
A	B	A	B	...
A	B	A	B	...
...	...	...	...	...

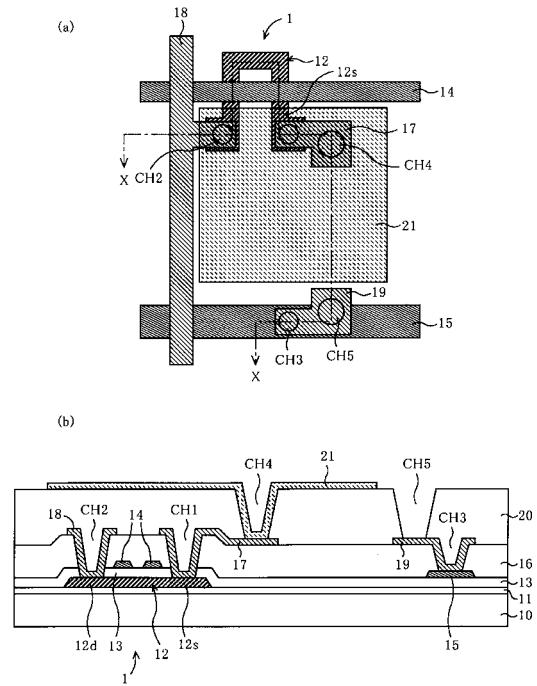
【図 11】



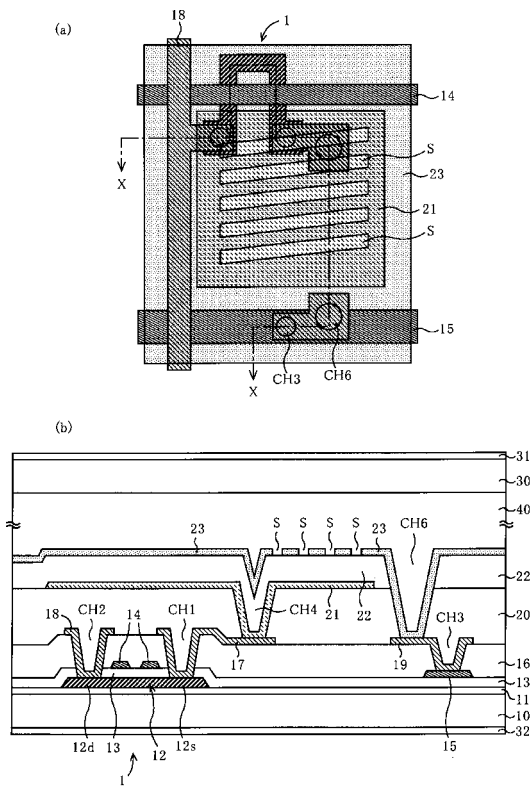
【図 17】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開 2 0 0 2 - 2 0 2 7 3 6 (J P , A)
特開 2 0 0 2 - 1 8 2 2 3 0 (J P , A)

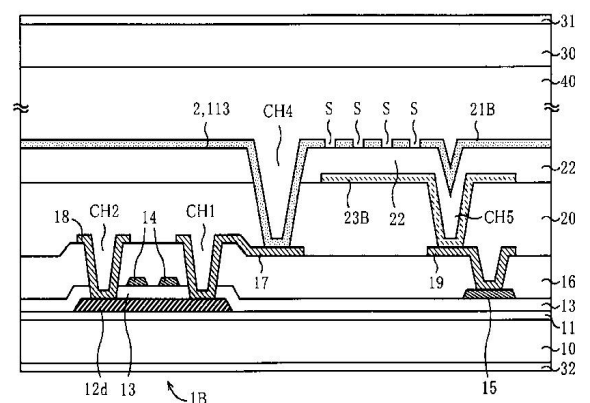
(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP4797740B2	公开(公告)日	2011-10-19
申请号	JP2006085953	申请日	2006-03-27
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	小野木智英 瀬川泰生		
发明人	小野木 智英 瀬川 泰生		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/133		
CPC分类号	G02F1/134363 G02F1/136227 G02F2001/134372 G09G3/3614 G09G3/3648 G09G2300/0426 G09G2330/021		
FI分类号	G02F1/1343 G02F1/1368 G02F1/133 G02F1/133.525 G02F1/133.550		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/HA02 2H092/JA24 2H092/KA04 2H092/KA05 2H092/NA01 2H092/NA25 2H192/AA24 2H192/AA43 2H192/BB12 2H192/BB13 2H192/BB52 2H192/BB73 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB13 2H192/CB45 2H192/GD61 2H192/JA32 2H193/ZA04 2H193/ZA08 2H193/ZB08 2H193/ZB09 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC16 2H193/ZQ16		
其他公开文献	JP2007264080A5 JP2007264080A		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现线路反转驱动，其中在FFS型液晶装置中抑制由于信号失真引起的串扰。ŽSOLUTION：在第一行中，像素A在水平方向上重复排列，而在第一行下面的第二行中，像素B在水平方向上重复排列。在像素A中，像素电极21A由第一层透明电极形成，并通过接触孔CH4连接到薄膜晶体管1A。在像素B中，公共电极23B由第一层透明电极形成，并通过接触孔CH5连接到公共电位线15。在像素A中，具有多个狭缝SA的公共电极23A由第二层透明电极形成，并通过接触孔CH6连接到公共电位线15。在像素B中，具有多个狭缝SB的像素电极21B由第二层透明电极形成，并且通过接触孔CH4连接到薄膜晶体管1B。Ž



【图 4】