

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4617861号
(P4617861)

(45) 発行日 平成23年1月26日(2011.1.26)

(24) 登録日 平成22年11月5日(2010.11.5)

(51) Int.Cl.

F 1

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 5 (全 14 頁)

(21) 出願番号 特願2004-359213 (P2004-359213)
 (22) 出願日 平成16年12月10日(2004.12.10)
 (65) 公開番号 特開2006-171033 (P2006-171033A)
 (43) 公開日 平成18年6月29日(2006.6.29)
 審査請求日 平成19年8月27日(2007.8.27)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 小山 浩寿
 東京都港区芝浦4丁目16番25号第3安
 全ビル 株式会社V S N内
 (72) 発明者 仲島 義晴
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 木田 芳利
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1基板と、前記第1基板に間隔を隔てて配置されている第2基板と、前記第1基板と前記第2基板との間に挟持されている液晶層とを有し、前記液晶層を透過した光を用いて画像を表示する表示領域と、光を遮光し画像を表示しない非表示領域とが形成されている液晶表示装置であって、

前記第1基板は、

前記表示領域に対応するように、マトリクス状に形成された複数の画素電極と、

前記複数の画素電極が形成された前記表示領域の周囲に沿うように、前記非表示領域に形成された導電体層と、

前記複数の画素電極のそれぞれに接続するように、複数のマトリクス状に前記表示領域に形成されており、前記画素電極へ印加する電位を保持する保持容量素子と、

前記複数の保持容量素子に接続する保持容量接続配線と

を含み、

前記第2基板は、

前記液晶層を介して前記複数の画素電極と前記導電体層とに対向するように形成された対向電極

を含み、

前記保持容量接続配線は、絶縁層を介して前記導電体層と対向するように前記非表示領域に形成されており、

10

20

前記表示領域にて画像を表示する際には、前記対向電極と前記画素電極との間の前記液晶層に印加する電圧を制御すると共に、前記対向電極に印加する電位と同じ電位を前記導電体層に印加する

液晶表示装置。

【請求項 2】

前記導電体層は、前記画素電極と同じ導電材料によって形成されている

請求項 1 に記載の液晶表示装置。

【請求項 3】

前記導電体層は、前記表示領域の周囲に沿って形成されている前記画素電極の幅以下の幅になるように、前記表示領域の周囲に沿って形成されている

10

請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、

前記複数の画素電極のそれぞれに対応するように複数のマトリクス状に前記表示領域に形成され、前記画素電極をスイッチング制御する画素スイッチング素子と、

前記複数の画素スイッチング素子において行方向に並ぶ複数の画素スイッチング素子に沿って延在するように前記表示領域に形成されており、前記行方向に並ぶ複数の画素スイッチング素子のそれぞれに接続し、前記行方向に並ぶ複数の画素スイッチング素子に走査信号を供給する複数の走査配線と、

前記複数の画素スイッチング素子において列方向に並ぶ複数の画素スイッチング素子に沿って延在するように前記表示領域に形成されており、前記列方向に並ぶ複数の画素スイッチング素子のそれぞれに接続し、前記列方向に並ぶ複数の画素スイッチング素子を介して前記画素電極にデータ信号を供給する複数の信号配線と、
を有し、

20

前記複数の走査配線は、前記列方向の一端部から他端部まで間隔を隔てて並ぶように形成されており、前記一端部から前記他端部に並ぶ前記画素電極を前記一端部から前記他端部へ順次選択するように前記走査信号を供給し、

前記複数の信号配線は、前記行方向に間隔を隔てて並ぶように形成されており、

さらに、当該第 1 基板の前記非表示領域には、

前記複数の走査配線において前記表示領域の前記列方向の他端部に位置する第 1 走査配線に沿って前記行方向に延在するようにダミー走査配線が形成されており、

30

前記ダミー走査配線は、前記複数の走査配線に順次供給される前記走査信号が前記第 1 走査配線の次に供給される

請求項 3 に記載の液晶表示装置。

【請求項 5】

前記ダミー走査配線は、前記複数の画素スイッチング素子および前記複数の画素電極において前記第 1 走査配線に接続している第 1 画素スイッチング素子および第 1 画素電極にて発生する第 1 寄生容量が、前記複数の画素スイッチング素子および前記複数の画素電極において前記第 1 走査配線以外の第 2 走査配線に接続している第 2 画素スイッチング素子および第 2 画素電極にて発生する第 2 寄生容量と同じになるように、前記非表示領域に形成されている

40

請求項 4 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、液晶層を透過した光を画像として表示する表示領域と、光を遮光し画像を表示しない非表示領域とが形成されている液晶表示装置に関する。

【背景技術】

【0002】

50

液晶表示装置は、CRT (Cathode Ray Tube) よりも、薄型、軽量、低消費電力などの利点を有し、パーソナルコンピュータ、デジタルスチルカメラ、携帯電話などの電子機器に多く利用されている。このような液晶表示装置の表示方式として、アクティブマトリクス方式が知られている。

【0003】

アクティブマトリクス方式の液晶表示装置は、表示領域にマトリクス状に形成された画素に、走査信号とデータ信号とを選択的に、順次、印加して駆動することにより、表示領域に画像を表示する。

【0004】

しかし、アクティブマトリクス方式の液晶表示装置においては、表示領域の周囲において液晶層に印加される電位が安定化しないために、画像にシミが発生するなど画像品質が劣化する場合がある。

【0005】

これは、表示領域の最端部にある画素と、その他の中央部などにある画素とにおいて発生する寄生容量が異なることに、主に起因する。つまり、中央部などにある画素が周囲を別の画素で囲われるのに対し、表示領域の最端部にある画素が別の画素で周囲を囲われないために、表示領域の最端部と中央部とで寄生容量が異なり、表示領域の周囲において液晶層に印加される電位が安定化しなくなって、画像品質が低下する。

【0006】

このような不具合を解消するために、液晶パネルの表示領域の周囲の非表示領域にダミー画素を形成する方法が提案されている（たとえば、特許文献1参照）。

【特許文献1】特開2004-271587号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

図5、図6、図7は、液晶表示装置601aにおいて、ダミー画素が形成された液晶パネル10aを示す図である。ここで、図5は、液晶パネル10aの構成を示す断面図である。図6は、液晶パネル10aの構成を示す平面図である。そして、図7は、液晶パネル10aの回路図である。

【0008】

図5に示すように、液晶パネル10aは、アレイ基板11aと、対向基板21aと、液晶層31aとを含む。液晶パネル10aにおいては、アレイ基板11aと対向基板21aとが間隔を隔てるように対面し、周囲がシール材51aを用いて貼り合わされており、アレイ基板11aと対向基板21aとの間隔に挟まれるように液晶層31aが配置されている。そして、液晶パネル10aにおいては、液晶層31aを透過した光を画像として表示する表示領域Dと、光を遮光し画像を表示しない非表示領域Nとが形成されている。液晶パネル10aは、光がアレイ基板11aの側から対向基板21aの側に液晶層31aを介して透過し、表示領域Dで画像を表示する。

【0009】

各部について説明する。

【0010】

アレイ基板11aには、図5と図6と図7とに示すように、表示領域Dに対応するように、画素電極101と画素スイッチング素子102と保持容量素子103と走査配線201と信号配線202と保持容量配線203とが形成されている。そして、非表示領域Nに対応するように、ダミー画素電極151とダミー画素スイッチング素子152とダミー保持容量素子153とダミー走査配線401とダミー信号配線402とダミー保持容量配線403と保持容量接続配線404とが、形成されている。ここでは、図5と図6とに示すように、複数の画素電極101が形成された表示領域Dの周囲に沿うように非表示領域Nにダミー画素電極151が形成されている。そして、保持容量配線203とダミー保持容量配線403との両者に接続している保持容量接続配線404が、そのダミー画素電極1

10

20

30

40

50

5 1の外部の周囲を沿うように、非表示領域Nに形成されている。

【0011】

一方、対向基板21には、図5と図6とに示すように、液晶層31aを介して複数の画素電極101とダミー画素電極151aとに対向するように対向電極23aが形成されている。

【0012】

上記の液晶パネル10aにおいて、表示領域Dにて画像を表示する際には、ゲートドライバ301とソースドライバ302a, 302bとが、走査信号とデータ信号とのそれぞれを画素スイッチング素子102に供給することによって所定の電位を画素電極101に加える。そして、これと共に、各画素に共通な共通電位を対向電極23aに加え、対向電極23aと画素電極101との間の液晶層31aに電圧を印加する。そして、CSドライバ303がCS線203を介して信号を供給して所定の電位を保持容量素子103に保持させ、液晶層31aに印加された電圧を保たせる。このような動作により、表示領域Dに対応する液晶層31aの配向方向が変化するため、液晶層31aを透過する光が変調され、表示領域Dにて画像が表示される。

10

【0013】

そして、この画像表示の際には、上記の動作の他に、ダミー走査配線401a, 401bを介して、ゲートドライバ301が走査信号をダミー画素スイッチング素子152に供給すると共に、CSドライバ303がダミー信号配線402a, 402bを介して所定の電位をダミー画素スイッチング素子152に供給し、対向電極23aに印加される電位と同じ電位をダミー画素電極151に印加する。これにより、対向電極23aとダミー画素電極151との間において液晶層31aに印加される電位差を無くし、液晶層31aに直流電圧が印加されることを防止している。

20

【0014】

以上のように、上記の液晶パネル10aにおいては、ダミー画素を形成することによって、表示領域の最端部にある画素と、その他の中央部などにある画素とにおける寄生容量が互いに同じになるように調整し、表示領域の周囲において液晶層に印加される電位を安定化して画像品質を向上させている。

【0015】

また、上記の液晶パネル10aにおいては、対向電極23aとダミー画素電極151との間において液晶層31aに印加される電位差を無くすことによって、液晶層31aに直流電圧が印加されることを防止している。そして、表示領域Dと非表示領域Nとの境界で液晶層31aの配向方向を安定に制御して、焼き付きやシミなどの不具合を防止し、画像品質を向上させている。

30

【0016】

しかしながら、上記のように、表示領域Dの周囲の非表示領域Nに、アレイ基板11にダミー画素を形成しているために、配線や回路のレイアウトが制限され、非表示領域Nの面積を小さくできず、装置を小型化することが困難になっていた。

【0017】

したがって、本発明は、焼き付き、シミなどの発生を防止して画像品質の向上を実現すると共に、非表示領域の面積を小さくすることができ、装置を小型化することが容易な液晶表示装置を提供することにある。

40

【課題を解決するための手段】

【0018】

上記目的の達成のため、本発明の液晶表示装置は、第1基板と、前記第1基板に間隔を隔てて配置されている第2基板と、前記第1基板と前記第2基板との間に挟持されている液晶層とを有し、前記液晶層を透過した光を用いて画像を表示する表示領域と、光を遮光し画像を表示しない非表示領域とが形成されている液晶表示装置であって、前記第1基板は、前記表示領域に対応するように、マトリクス状に形成された複数の画素電極と、前記複数の画素電極が形成された前記表示領域の周囲に沿うように、前記非表示領域に形成さ

50

れた導電体層とを含み、前記第２基板は、前記液晶層を介して前記複数の画素電極と前記導電体層とに対向するように形成された対向電極を含み、前記表示領域にて画像を表示する際には、前記対向電極と前記画素電極との間の前記液晶層に印加する電圧を制御すると共に、前記対向電極と前記導電体層との間の前記液晶層に印加する電圧が無くなるように、前記対向電極に印加する電位と同じ電位を前記導電体層に印加する。

【発明の効果】

【００１９】

本発明によれば、焼き付き、シミなどの発生を防止して画像品質の向上を実現すると共に、非表示領域の面積を小さくすることができ、装置を小型化することが容易な液晶表示装置を提供することができる。

10

【発明を実施するための最良の形態】

【００２０】

以下より、本発明にかかる実施形態の一例について説明する。

【００２１】

図１，図２，図３は、本実施形態の液晶表示装置６０１において、液晶パネル１０を示す図である。ここで、図１は、液晶パネル１０の構成を示す断面図である。そして、図２は、液晶パネル１０の構成を示す平面図である。そして、図３は、液晶パネル１０の回路図である。

【００２２】

本実施形態の液晶表示装置６０１は、アクティブマトリクス方式であり、液晶表示装置６０１における液晶パネル１０は、図１に示すように、アレイ基板１１と対向基板２１と液晶層３１とを有する。

20

【００２３】

液晶パネル１０においては、アレイ基板１１と対向基板２１とが間隔を隔てるように対面し、周囲がシール材５１により貼り合わされている。そして、アレイ基板１１と対向基板２１との間隔に挟まれるように液晶層３１が配置されている。そして、液晶パネル１０においては、液晶層３１を透過した光を画像として表示する表示領域Ｄと、光を遮光し画像を表示しない非表示領域Ｎとが形成されている。液晶パネル１０は、たとえば、透過型と反射型とを併用する併用型であり、たとえば、太陽光などの外部からの光やバックライト（図示無し）などの照明部からの光が液晶層３１を介してアレイ基板１１の側から対向基板２１の側に透過し、その液晶層３１を透過した光によって表示領域Ｄで画像が表示される。

30

【００２４】

液晶パネル１０の各部について、説明する。

【００２５】

アレイ基板１１は、たとえば、光を透過する絶縁体の基板であり、石英により形成されている。アレイ基板１１は、図１，図２，図３に示すように、画素電極１１１と、画素スイッチング素子１１２と、保持容量素子１１３と、走査配線２１１と、信号配線２１２と、保持容量配線２１３とが、表示領域Ｄに対応するように形成されている。そして、非表示領域Ｎに対応するように、ダミー走査配線４１１と保持容量接続配線４１４とダミー配線電極５０１とが形成されている。各部の詳細については、後述する。

40

【００２６】

対向基板２１は、アレイ基板１１と同様に、たとえば、光を透過する絶縁体の基板であり、石英により形成されている。そして、対向基板２１には、図１と図２とに示すように、液晶層３１を介して、複数の画素電極１１１とダミー配線電極５０１とに対向するように対向電極２３が形成されている。対向電極２３は、たとえば、ITO（Indium Tin Oxide）を用いて、複数の画素電極１１１とダミー配線電極５０１とに対向する対向基板２１の全面に一体的に形成されている。対向電極２３は、共通電位印加部（図示無し）が接続されており、共通電位印加部から共通電位Vcomが印加される。

【００２７】

50

液晶層 31 は、アレイ基板 11 の画素電極 111 と、対向基板 21 の対向電極 23 との間に挟まれるように配置されている。液晶層 31 は、たとえば、ツイストネマティック型であり、アレイ基板 11 と対向基板 21 とのそれぞれに形成された配向膜（図示なし）によって、配向されている。液晶層 31 は、画素電極 111 と対向電極 23 とにより印加される電圧に基づいて配向状態が変化して光学特性が変わり、光を制御して画像表示を実施する。

【0028】

アレイ基板 11 に形成されている各部について、順次、説明する。

【0029】

画素電極 111 は、表示領域 D に対応するように、複数のマトリクス状にアレイ基板 11 に形成されている。具体的には、画素電極 111 は、行方向 x と、その行方向 x に直交する列方向 y とに、複数の並ぶように間隔を隔てて形成されている。画素電極 111 は、たとえば、ITO を用いて形成されており、光を透過する。そして、画素電極 111 は、図 2 に示すように、互いが交差するように形成された走査配線 211 と信号配線 212 とによって区切られる領域に対応するように、行方向 x に m 個、列方向 y に n 個ずつ、形成されている。複数の画素電極 111 は、図 3 に示すように、それぞれに対応するように画素スイッチング素子 112 が形成されており、画素スイッチング素子 112 である薄膜トランジスタ (TFT) のドレイン電極に接続している。画素電極 111 は、走査信号が供給されオン状態となった画素スイッチング素子 112 を介して、信号配線 212 によって供給されるデータ信号による電位を液晶層 31 に印加する。

【0030】

画素スイッチング素子 112 は、図 3 に示すように、複数の画素電極 111 のそれぞれに対応するように、複数のマトリクス状にアレイ基板 11 の表示領域 D に形成されており、画素電極 111 をスイッチング制御する。画素スイッチング素子 112 は、たとえば、チャンネル領域が多結晶のシリコン半導体により形成されたボトムゲート型の TFT であり、行方向 x に m 個、列方向 y に n 個ずつ形成されている。そして、画素スイッチング素子 112 は、ゲート電極が走査配線 211 に接続されており、走査配線 211 を介してゲートドライバ 311 からゲート電極に入力される走査信号によって、駆動動作が制御される。また、画素スイッチング素子 112 は、ソース電極が信号配線 212 に接続されており、信号配線 212 を介してソースドライバ 312 から画素スイッチング素子 112 にデータ信号が供給される。また、さらに、画素スイッチング素子 112 は、ドレイン電極が画素電極 111 に接続されており、ゲートがオン状態の場合には、ソース電極から受けたデータ信号を画素電極 111 に印加する。

【0031】

保持容量素子 113 は、図 3 に示すように、複数の画素電極 111 のそれぞれに対応するように、複数のマトリクス状に表示領域 D に形成されており、画素電極 111 へ印加する電位を保持する。具体的には、保持容量素子 113 は、行方向 x に m 個、列方向 y に n 個ずつ、複数の形成されている。保持容量素子 113 は、誘電体膜（図示なし）を第 1 電極（図示なし）と第 2 電極（図示なし）とで挟むように構成されている。そして、保持容量素子 113 は、一方の電極が画素スイッチング素子 112 のドレイン電極に接続され、他方の電極が保持容量配線 213 に接続されている。保持容量素子 113 は、液晶層 31 による静電容量と並列になるように形成され、液晶層 31 に印加されるデータ信号による電荷を保持する。

【0032】

走査配線 211 は、図 3 に示すように、複数の画素スイッチング素子 112 において行方向 x に並ぶ複数の画素スイッチング素子 112 に沿うように行方向 x に延在しており、複数の表示領域 D に形成されている。そして、複数の走査配線 211 のそれぞれは、行方向 x に並ぶ画素スイッチング素子 112 のそれぞれに接続しており、その行方向 x に並ぶ画素スイッチング素子 112 に走査信号を供給する。また、複数の走査配線 211 のそれぞれは、図 2 に示すように、表示領域 D の列方向 y の一端部から他端部まで、それぞれが

間隔を隔てて並ぶように形成されている。ここでは、図3に示すように、複数の走査配線211は、互いが等しい間隔になるように列方向yに並んで形成されている。具体的には、列方向yにn個並ぶ画素電極111に対応するように、n本の走査配線211が形成されており、第1走査配線211a、第2走査配線211b、・・・第n-1走査配線211n-1、第n走査配線を含む。複数の走査配線211のそれぞれは、ゲートドライバ311に接続されており、ゲートドライバ311からの走査信号を、画素電極111の行を順次選択するように画素スイッチング素子112に供給する。つまり、列方向yにおいて一端部から他端部に並ぶ画素電極111を、その一端部から他端部へ順次選択して、行方向xに並ぶ画素スイッチング素子112に、順次、走査信号を供給する。たとえば、1行目の第1走査配線211aは、第1走査配線211a自身が接続している第1行目の画素スイッチング素子112のそれぞれに、走査信号を供給して、画素スイッチング素子112に画素をスイッチング制御させる。そして、ここでは、第1走査配線211a、第2走査配線211b、・・・第n-1走査配線211n-1、第n走査配線の順のように、表示領域Dの列方向yにおける一端から他端へ、順次、走査信号を供給する。

【0033】

信号配線212は、図3に示すように、複数の画素スイッチング素子112において列方向yに並ぶ複数の画素スイッチング素子112に沿うように延在しており、複数の表示領域Dに形成されている。そして、信号配線212は、列方向yに並ぶ複数の画素スイッチング素子112のそれぞれに接続し、列方向yに並ぶ複数の画素スイッチング素子112を介して画素電極111にデータ信号を供給する。そして、信号配線212は、行方向xにm個並ぶ画素スイッチング素子112に対応するように、m本が行方向xに間隔を隔てて並んで形成されている。具体的には、信号配線212は、図3に示すように、第1信号配線212a、第2信号配線212b、・・・第m-1信号配線212m-1、第m信号配線212mを含む。そして、各信号配線212は、走査信号が供給された画素スイッチング素子112を介してデータ信号を画素電極111に供給する。

【0034】

保持容量配線213は、図3に示すように、複数の画素電極111において行方向xに並ぶ複数の画素電極111に沿うように延在しており、複数の表示領域Dに形成されている。そして、複数の保持容量配線213のそれぞれは、行方向xに並ぶ画素電極111のそれぞれに接続している。また、保持容量配線213は、列方向yにn個並ぶ保持容量素子113に対応するようにn本有し、それぞれが列方向yに間隔を隔てて並んで形成されている。具体的には、図3に示すように、保持容量配線213は、第1保持容量配線213a、第2保持容量配線213b、・・・第n-1保持容量配線213n-1、第n保持容量配線213nを含む。そして、それぞれの保持容量配線213は、保持容量接続配線414を介してCSドライバ313に接続されており、CSドライバ313からの信号に基づいて、保持容量素子113に電荷を保持させ、その行方向xに並ぶ画素電極111と対向電極23との間の電位差を保持させる。

【0035】

ダミー走査配線411は、図2に示すように、複数の走査配線211において表示領域Dの列方向yの他端部に位置する第n走査配線211nに沿って行方向xに延在するように、非表示領域Nに形成されている。そして、ダミー走査配線411は、複数の走査配線411のそれぞれに順次供給される走査信号が、第n走査配線211nの次に供給される。

【0036】

そして、ダミー走査配線411は、複数の画素スイッチング素子112および複数の画素電極111において第n走査配線211nに接続している画素スイッチング素子112および画素電極111にて発生する第1寄生容量C1が、第n走査配線211n以外の走査配線211に接続している画素スイッチング素子112および画素電極111にて発生する第2寄生容量C2と同じになるように、非表示領域Nに配置されている。複数の画素スイッチング素子112および複数の画素電極111において、第n走査配線211nに

10

20

30

40

50

接続している画素スイッチング素子 1 1 2 と画素電極 1 1 1 とのそれぞれと、第 n 走査配線 2 1 1 n と当該ダミー走査配線 4 1 1 とのそれぞれとの間では、第 1 寄生容量 C 1 が発生する。一方、第 n 走査配線 2 1 1 n 以外のたとえば、第 n - 1 走査配線 2 1 1 n - 1 に接続している画素スイッチング素子 1 1 2 と画素電極 1 1 1 とのそれぞれと、当該画素スイッチング素子および当該画素電極を第 n - 1 走査配線 2 1 1 n - 1 との間で挟むように形成されている第 n - 2 走査配線 2 1 1 n - 2 と第 n - 1 走査配線 2 1 1 n - 1 とのそれぞれとの間では、第 2 寄生容量 C 2 が発生する。このため、ダミー走査配線 4 1 1 は、第 1 寄生容量 C 2 と第 2 寄生容量 C 2 とを略同じになるように、複数の走査配線 2 1 1 が互いに等しい間隔になるように列方向 y に並んで形成されているのと同様に、その複数の走査配線 2 1 1 の間と同じ間隔を第 n 走査配線 2 1 1 n から隔てるように、非表示領域 D に形成されている。

10

【 0 0 3 7 】

保持容量接続配線 4 1 4 は、図 2 に示すように、表示領域 D の周囲を沿うように非表示領域 N に帯状に一体で形成されている。そして、保持容量接続配線 4 1 4 は、複数の保持容量配線 2 1 3 に接続すると共に、その保持容量配線 2 1 3 を介して保持容量素子 1 1 3 に接続している。

【 0 0 3 8 】

図 4 は、保持容量接続配線 4 1 4 が形成されている部分を拡大して示す断面図である。

【 0 0 3 9 】

図 4 に示すように、保持容量接続配線 4 1 4 は、層間絶縁層 1 3 を介してダミー配線電極 5 0 1 と対向するように非表示領域 D に形成されている。ここでは、保持容量接続配線 4 1 4 は、ダミー配線電極 5 0 1 とアレイ基板 1 1 との間で挟まれるように形成されている。

20

【 0 0 4 0 】

ダミー配線電極 5 0 1 は、保持容量接続配線 4 1 4 と同様に、複数の画素電極 1 1 1 が形成された表示領域 D の周囲に沿うように、非表示領域 N に形成されている。ダミー配線電極 5 0 1 は、表示領域 D の周囲を帯状に囲うように一体で形成されている。ここでは、ダミー配線電極 5 0 1 は、画素電極 1 1 1 と同じ導電材料である I T O を用いて形成されている。そしてダミー配線電極 5 0 1 は、表示領域 D の周囲に沿って形成されている画素電極 1 1 1 の幅以下の幅になるように、表示領域 D の周囲に沿って形成されている。たとえば、ダミー配線電極 5 0 1 は、40 μm 幅で形成されている。

30

【 0 0 4 1 】

具体的には、ダミー配線電極 5 0 1 は、図 2 に示すように、第 1 信号配線 2 1 2 a と第 n 信号配線 2 1 2 n とのそれぞれに近接して平行に並んで列方向 y に延在するように、帯状に非表示領域 N に形成されている。ここでは、第 1 信号配線 2 1 2 a と第 n 信号配線 2 1 2 n とのそれぞれが列方向 y に延在する幅と同じ幅で、ダミー配線電極 5 0 1 が列方向 y に延在して形成されている。また、これと共に、第 1 走査配線 2 1 1 a と第 n 走査配線 2 1 1 n とのそれぞれに近接し平行に並んで行方向 x に延在するように、帯状に非表示領域 N に形成されている。ここでは、第 1 走査配線 2 1 1 a と第 n 走査配線 2 1 1 n とのそれぞれが行方向 x に延在する幅と同じ幅で、ダミー配線電極 5 0 1 が行方向 x に延在して形成されている。つまり、ダミー配線電極 5 0 1 は、画素電極 1 1 1 のサイズに対応する幅で矩形形状の表示領域 D の境界を帯状に囲って矩形を作るように設けられている。なお、表示領域 D にて画像が表示される際には、ゲートドライバ 3 1 1 からの走査信号とソースドライバ 3 1 2 a , 3 1 2 b からのデータ信号と共通電位印加部により印加される共通電位 V c o m とによって、対向電極 2 3 と画素電極 1 1 1 との間の液晶層 2 3 に印加する電圧が制御されるが、ダミー配線電極 5 0 1 には、対向電極 2 3 との間の液晶層 2 3 に印加する電圧が無くなるように、対向電極 2 3 に印加される共通電位 V c o m と同じ電位が印加される。本実施形態においては、ダミー配線電極 5 0 1 は、対向電極 2 3 と同様に、共通電位印加部に接続されており、共通電位印加部によって共通電位 V c o m が印加される。

40

50

【 0 0 4 2 】

そして、その他に、本実施形態の液晶表示装置 6 0 1 は、液晶パネル 1 0 の両面に偏光板（図示なし）が設けられている。そして、さらに、アレイ基板 1 1 の液晶層 3 1 が配置された側と反対側に、バックライト（図示なし）が偏光板を介して設けられている。

【 0 0 4 3 】

なお、上記の本実施形態において、アレイ基板 1 1 は、本発明の第 1 基板に相当する。また、本実施形態の対向基板 2 1 は、本発明の第 2 基板に相当する。また、本実施形態の対向電極 2 3 は、本発明の対向電極に相当する。また、本実施形態の液晶層 3 1 は、本発明の液晶層に相当する。また、本実施形態の画素電極 1 1 1 は、本発明の画素電極に相当する。また、本実施形態の画素スイッチング素子 1 1 2 は、本発明の画素スイッチング素子に相当する。また、本実施形態の保持容量素子 1 1 3 は、本発明の保持容量素子に相当する。また、本実施形態の走査配線 2 1 1 は、本発明の走査配線に相当する。また、本実施形態の信号配線 2 1 2 は、本発明の信号配線に相当する。また、本実施形態の第 n 走査配線 2 1 1 n は、本発明の第 1 走査配線に相当する。また、本実施形態のダミー走査配線 4 1 1 は、本発明のダミー走査配線に相当する。また、本実施形態の保持容量接続配線 4 1 4 は、本発明の保持容量接続配線に相当する。また、本実施形態のダミー配線電極 5 0 1 は、本発明の導電体層に相当する。また、本実施形態の液晶表示装置 6 0 1 は、本発明の液晶表示装置に相当する。また、本実施形態の表示領域 D は、本発明の表示領域に相当する。また、本実施形態の非表示領域 N は、本発明の非表示領域に相当する。また、本実施形態の第 1 寄生容量 C 1 は、本発明の第 1 寄生容量に相当する。また、本実施形態の第 2 寄生容量 C 2 は、本発明の第 2 寄生容量に相当する。

【 0 0 4 4 】

上記の液晶表示装置 6 0 1 を駆動する際の動作について説明する。

【 0 0 4 5 】

上記の液晶表示装置 6 0 1 を駆動する際においては、走査配線 2 1 1 を介してゲートドライバ 3 1 1 が走査信号を画素スイッチング素子 1 1 2 に供給すると共に、信号配線 2 1 2 を介してソースドライバ 3 1 2 a , 3 1 2 b がデータ信号を画素スイッチング素子 1 1 2 に供給する。そして、この時、共通電位印加部が対向電極 2 3 に共通電位 V c o m を加え、対向電極 2 3 と画素電極 1 1 1 との間の液晶層 2 3 に電位差を発生させる。これにより、液晶層 3 1 の光学特性が変化し、画像の表示が実施される。

【 0 0 4 6 】

具体的には、ゲートドライバ 3 1 1 が列方向 y に並ぶ複数の走査配線 2 1 1 に、走査信号を時間分割して順次走査して供給し、画素スイッチング素子 1 1 2 をオン状態にする。ここでは、列方向 y において一端部から他端部に並ぶ画素電極 1 1 1 を、その一端部から他端部へ順次選択するように、列方向に並ぶ走査配線 2 1 1 に、順次、走査信号を供給する。たとえば、第 1 走査配線 2 1 1 a、第 2 走査配線 2 1 1 b、・・・第 n - 1 走査配線 2 1 1 n - 1 , 第 n 走査配線の順のように、表示領域 D の列方向 y における一端から他端へ、順次、走査信号を供給する。また、さらに、ここでは、第 n 走査配線の後に、ダミー走査配線 4 1 1 に、走査信号を供給する。

【 0 0 4 7 】

そして、この走査信号の供給のタイミングに合わせて、ソースドライバ 3 1 2 がデータ信号を信号配線 2 0 2 に供給し、オン状態の画素スイッチング素子 1 1 2 を介して画素電極 1 1 1 にデータ信号を印加する。これにより、対向電極 2 3 と画素電極 1 1 1 との間の液晶層 2 3 に電位差が発生する。つまり、液晶層 3 1 に電圧が印加されたことになる。そして、これにより、液晶層 3 1 の配向方向が変化して、光透過率などの光学特性が変わり、画像の表示が実施される。

【 0 0 4 8 】

このように、表示領域 D にて画像が表示される際には、ゲートドライバ 3 1 1 からの走査信号とソースドライバ 3 1 2 a , 3 1 2 b からのデータ信号と共通電位印加部により印加される共通電位 V c o m とによって、対向電極 2 3 と画素電極 1 1 1 との間の液晶層 2

10

20

30

40

50

3に印加する電圧が制御される。

【0049】

この一方で、表示領域Dで画像を表示する際には、対向電極23に印加される共通電位Vcomと同じ電位をダミー配線電極501に印加し、ダミー配線電極501と対向電極23との間の液晶層23に印加される電位差を無くす。ここでは、共通電位印加部が対向電極23と同様な電位の共通電位を、ダミー配線電極501に印加する。

【0050】

以上のように、本実施形態においては、複数の画素電極111が形成された表示領域Dの周囲に沿うように、ダミー配線電極501が非表示領域Nに形成されている。そして、表示領域Dにて画像を表示する際には、対向電極23と画素電極111との間の液晶層31に印加する電圧を制御すると共に、対向電極23に印加する電位と同じ電位をダミー配線電極501に印加し、対向電極23とダミー配線電極501との間において液晶層31に印加される電位差を無くしている。このようにして、本実施形態は、液晶層31に直流電圧が印加されることを防止し、表示領域Dと非表示領域Nとの境界で液晶層31の配向方向が安定化している。このため、画像表示時に、焼き付きやシミなどの不具合が発生することを防止し、画像品質を向上することができる。また、前述したようなダミー画素を駆動させるためのダミースイッチング素子などを形成せずに、ダミー配線電極501で液晶層31への直流電圧の印加を防止しているために、配線や駆動回路などのレイアウトの自由度が高まるため、非表示領域が占有する面積を小さくすることができ、装置を小型化することが容易にできる。また、構成が単純化されるために、容易に製造することができ、製造効率を向上することができる。

【0051】

また、本実施形態においては、ダミー配線電極501は、画素電極111と同じ導電材料によって形成されている。このため、ダミー配線電極501と画素電極111とを同じ工程で形成可能になるため、製造効率を向上することができる。

【0052】

また、本実施形態においては、ダミー配線電極501は、表示領域Dの周囲に沿って形成されている画素電極111の幅以下の幅になるように、表示領域Dの周囲に沿って形成されている。このため、表示領域Dの最端部にある画素と、その他の中央部などにある画素とにおいて発生する寄生容量が同じになるように調整でき、画像表示時に焼き付きやシミなどの不具合が発生することを防止し、画像品質を向上することができる。

【0053】

また、本実施形態においては、保持容量接続配線414は、層間絶縁膜13を介して、ダミー配線電極501と対向するように非表示領域Dに形成されている。このため、本実施形態は、非表示領域が占有する面積を小さくすることができ、装置を小型化することが容易にできる。また、保持容量接続配線414とダミー配線電極501との間の寄生容量によって、表示領域の最端部にある画素と、その他の中央部などにある画素とにおいて発生する寄生容量が同じになるように調整でき、画像表示時に焼き付きやシミなどの不具合が発生することを防止し、画像品質を向上することができる。

【0054】

また、本実施形態においては、複数の走査配線211において表示領域Dの列方向yの他端部に位置する第n走査配線211nに沿って、行方向xに延在するようにダミー走査配線411が非表示領域Nに形成されている。そして、表示領域Dの列方向yにおける一端部から他端部に並ぶ画素電極111を、一端部から他端部へ順次選択するように、順次、走査信号を複数の走査配線211に供給すると共に、複数の走査配線に順次供給される前記走査信号が、第n走査配線211nの次にダミー走査配線411へ供給する。ここでは、ダミー走査配線411は、第n走査配線211nに接続している画素スイッチング素子112および画素電極111にて発生する第1寄生容量C1が、第n走査配線211n以外の、たとえば、第n-1走査配線211n-1に接続している画素スイッチング素子112および画素電極111にて発生する第2寄生容量C2と同じになるように、非表示

領域Dに形成されている。このため、ダミー走査配線411によって、表示領域の最端部にある画素と、その他の中央部などにある画素とにおいて発生する寄生容量が同じになるように調整できるため、画像表示時に焼き付きやシミなどの不具合が発生することを防止し、画像品質を向上することができる。

【0055】

なお、本発明の実施に際しては、上記した実施の形態に限定されるものではなく、種々の変形形態を採用することができる。

【図面の簡単な説明】

【0056】

【図1】図1は、本発明に係る実施形態の液晶表示装置において、液晶パネルの構成を示す断面図である。 10

【図2】図2は、本発明に係る実施形態の液晶表示装置において、液晶パネルの構成を示す平面図である。

【図3】図3は、本発明に係る実施形態の液晶表示装置において、液晶パネルの回路図である。

【図4】図4は、本発明に係る実施形態の液晶表示装置において、保持容量接続配線が形成されている部分を拡大して示す断面図である。

【図5】図5は、アクティブマトリクス方式の液晶パネルの構成を示す断面図である。

【図6】図6は、アクティブマトリクス方式の液晶パネルの構成を示す平面図である。

【図7】図7は、アクティブマトリクス方式の液晶パネルの回路図である。 20

【符号の説明】

【0057】

10：液晶パネル

11：アレイ基板（第1基板）

21：対向基板（第2基板）

23：対向電極（対向電極）

31：液晶層（液晶層）

111：画素電極（画素電極）、

112：画素スイッチング素子（画素スイッチング素子）、

113：保持容量素子（保持容量素子）、 30

211：走査配線（走査配線）、

212：信号配線（信号配線）、

213：保持容量配線

411：ダミー走査配線（ダミー走査配線）

414：保持容量接続配線（保持容量接続配線）、

501：ダミー配線電極（導電体層）

601：液晶表示装置（液晶表示装置）

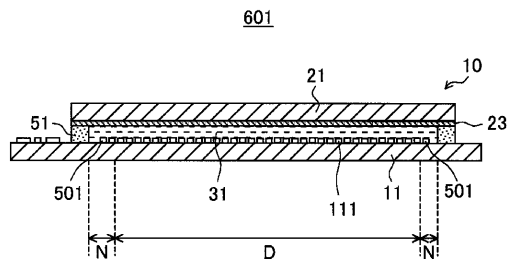
D：表示領域（表示領域）

N：非表示領域（非表示領域）

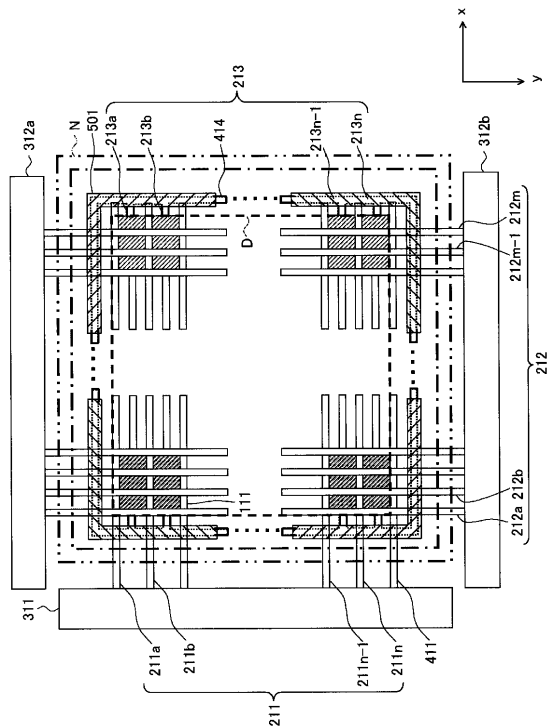
C1：第1寄生容量（第1寄生容量） 40

C2：第2寄生容量第2寄生容量）

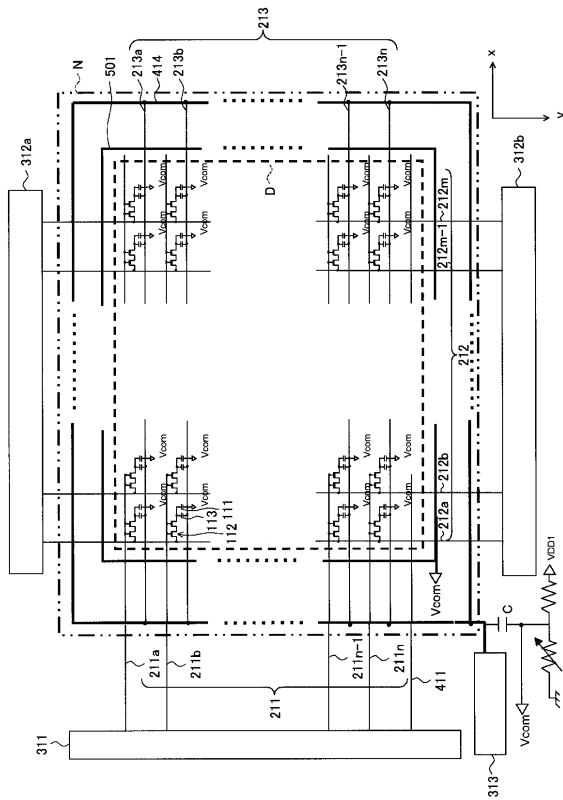
【図 1】



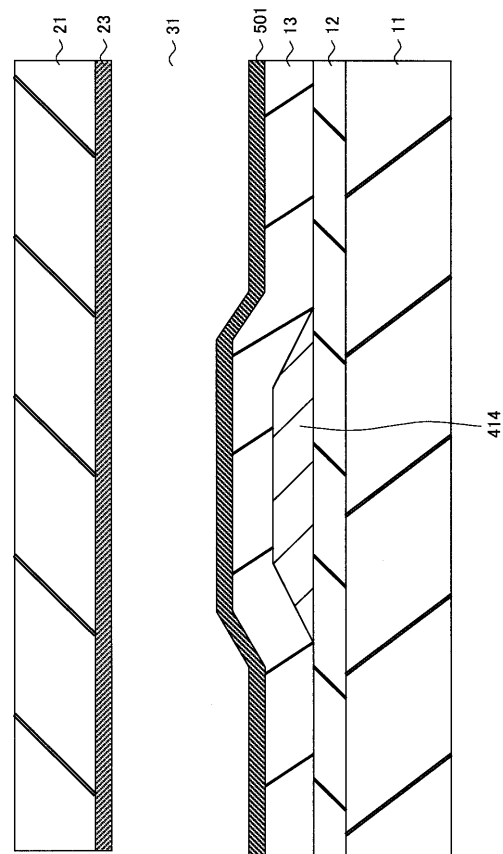
【図 2】



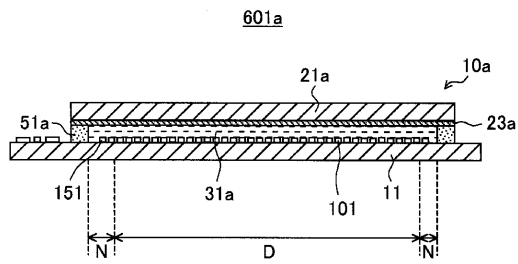
【図 3】



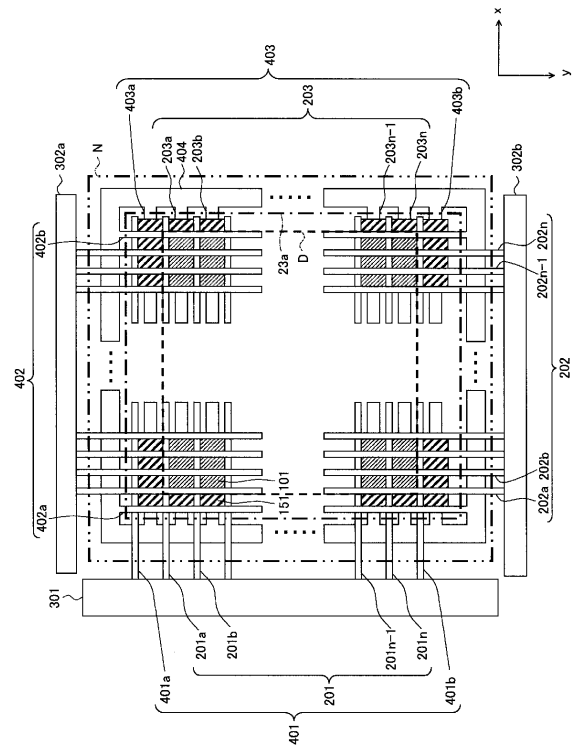
【図 4】



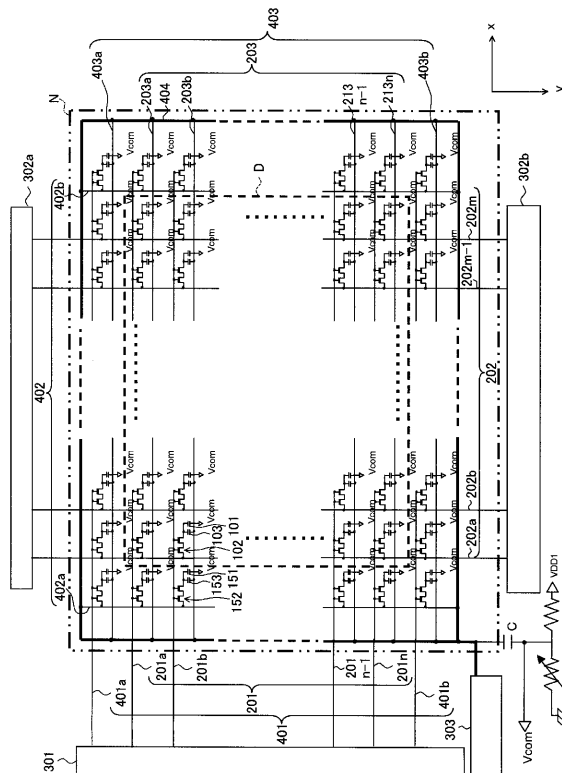
【 図 5 】



【 図 6 】



【圖 7】



フロントページの続き

審査官 鈴木 俊光

(56)参考文献 特開平09-288260(JP,A)
特開平08-234220(JP,A)
特開2003-098540(JP,A)

(58)調査した分野(Int.Cl., DB名)
G02F 1/1343 - 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP4617861B2	公开(公告)日	2011-01-26
申请号	JP2004359213	申请日	2004-12-10
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	小山浩寿 仲島義晴 木田芳利		
发明人	小山 浩寿 仲島 義晴 木田 芳利		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1362		
F-TERM分类号	2H092/GA11 2H092/GA21 2H092/GA24 2H092/GA31 2H092/GA61 2H092/JA05 2H092/JA24 2H092/JB61 2H092/JB64 2H092/JB69 2H092/NA23 2H092/NA27 2H192/AA24 2H192/BC62 2H192/CB05 2H192/CB13 2H192/DA12 2H192/DA71 2H192/DA82 2H192/FA46 2H192/JA06		
代理人(译)	佐藤隆久		
审查员(译)	铃木俊光		
其他公开文献	JP2006171033A		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止图像残留，污渍等发生，并通过缩小非显示区域的面积来改善图像质量和减小设备尺寸。虚设布线电极501形成在非显示区域N中，以沿着形成有多个像素电极111的显示区域D的周边延伸。当在显示区域D中显示图像时，将与施加到对电极23的电位相同的电位施加上到虚设布线电极501，并且在对电极23和虚设布线电极501之间，从而消除了所施加的电位差。 .The

【 图 2 】

