

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4569413号
(P4569413)

(45) 発行日 平成22年10月27日 (2010.10.27)

(24) 登録日 平成22年8月20日 (2010.8.20)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/1368 (2006.01)	G02F 1/1368
G02F 1/1345 (2006.01)	G02F 1/1345
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 642E
請求項の数 10 (全 25 頁) 最終頁に続く	

(21) 出願番号	特願2005-234826 (P2005-234826)	(73) 特許権者	000002185
(22) 出願日	平成17年8月12日 (2005.8.12)		ソニー株式会社
(65) 公開番号	特開2007-47703 (P2007-47703A)		東京都港区港南1丁目7番1号
(43) 公開日	平成19年2月22日 (2007.2.22)	(74) 代理人	100094053
審査請求日	平成18年8月7日 (2006.8.7)		弁理士 佐藤 隆久
前置審査		(72) 発明者	佐藤 友彦
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	板倉 直之
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	竹内 剛也
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、

上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、

上記画素回路の行配列に対応するように配置された複数の容量配線と、

第1の駆動回路および第2の駆動回路と、

所定の周期でレベルが切り替わるコモン電圧信号を生成する生成回路と、

を有し、

上記画素部に配列された各画素回路は、

第1画素電極および第2画素電極を有する表示エレメントと、

第1電極および第2電極を有する保持容量と、

を含み、

上記表示エレメントの第1画素電極と上記保持容量の第1電極と上記スイッチング素子の一端子が接続され、

上記保持容量の第2電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第2画素電極には上記コモン電圧信号が印加され、

上記第1の駆動回路は、上記画素回路の行配列ごとに対応する複数のドライブ段を有し、当該第1の駆動回路の各ドライブ段に、上記複数の走査ラインを順次選択して駆動する

10

20

ゲートドライバと、各ドライブ段で独立した動作を行うことで上記複数の容量配線を選択的に駆動する容量配線ドライバとを含み、

上記第 2 の駆動回路は、上記画素回路の行配列ごとに対応する複数のドライブ段を有し、当該第 2 の駆動回路の各ドライブ段に、各ドライブ段で独立して、上記第 1 の駆動回路の容量配線ドライバとともに同一の上記容量配線を両端から選択的に駆動する容量配線ドライバを含み、ゲートドライバを含まない

表示装置。

【請求項 2】

上記第 1 および第 2 の駆動回路の各ドライバ段に含まれる各容量配線ドライバは、画素書き込み時の極性信号に基づいて各行ごとに独立して対応する容量配線を駆動する

請求項 1 記載の表示装置。

【請求項 3】

上記第 2 の駆動回路の容量配線ドライバは、上記第 1 の駆動回路により供給され対応する行の走査ラインを伝搬する駆動信号に
応答して、対応する容量配線を駆動する

請求項 2 記載の表示装置。

【請求項 4】

上記第 1 の駆動回路の容量配線ドライバと、当該容量配線ドライバと同じ行配列に対応するドライブ段に含まれる上記第 2 の駆動回路の容量配線ドライバは、当該行配列の画素回路の上記走査ラインを駆動するゲート信号を入力することで同期して駆動する

請求項 3 記載の表示装置。

【請求項 5】

上記第 1 および第 2 の駆動回路は、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する

請求項 1 ～ 4 の何れか記載の表示装置。

【請求項 6】

上記第 1 および第 2 の駆動回路に含まれる容量配線ドライバは、上記容量配線を駆動する信号の第 1 レベルと当該第 1 レベルより低い第 2 レベルとのいずれかを選択して対応する容量配線に印加する

請求項 1 ～ 5 の何れか記載の表示装置。

【請求項 7】

上記第 1 および第 2 の駆動回路の駆動によって、上記コモン電圧信号の振幅値および上記第 1 レベルと上記第 2 レベルとの電位差の値は、上記コモン電圧信号および上記電位差による実効画素電位の増加分について、黒表示のときの上記増加分に対する白表示のときの上記増加分の変動を上記コモン電圧信号により補償するように選定される

請求項 6 に記載の表示装置。

【請求項 8】

上記コモン電圧信号の振幅値および上記電位差の値は、白表示のときの実効画素電位が所定のしきい値以下となるように選定されている

請求項 7 記載の表示装置。

【請求項 9】

上記所定のしきい値は、上記画素部が有する液晶セルの液晶の印加電圧に対する誘電率の特性において、上記印加電圧を上げていったときに上記誘電率が変化し始める電圧値である

請求項 8 記載の表示装置。

【請求項 10】

上記画素回路の表示エレメントが液晶セルである

請求項 1 ～ 9 の何れか記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、画素の表示エレメント（電気光学素子）を表示領域にマトリクス状に配列したアクティブマトリクス型の表示装置に関するものである。

【背景技術】

【0002】

表示装置、たとえば液晶セルを画素の表示エレメント（電気光学素子）に用いた液晶表示装置は、薄型で低消費電力であるという特徴をいかして、たとえば携帯情報端末(Personal Digital Assistant : PDA)、携帯電話、デジタルカメラ、ビデオカメラ、パーソナルコンピュータ用表示装置等、幅広い電子機器に適用されている。

【0003】

図1は、液晶表示装置の構成例を示すブロック図である（たとえば特許文献1, 2参照）。

10

液晶表示装置1は、図1に示すように、有効画素部2、垂直駆動回路(VDRV)3、および水平駆動回路(HDRV)4を有している。

【0004】

有効画素部2は、複数の画素回路21が、マトリクス状に配列されている。

各画素回路21は、スイッチング素子として薄膜トランジスタ(TFT; thin film transistor)21と、TFT21のドレイン電極（またはソース電極）に画素電極が接続された液晶セルLC21と、TFT21のドレイン電極に一方の電極が接続された保持容量Cs21により構成されている。

これら画素回路21の各々に対して、走査ライン（ゲートライン）5-1~5-mが各行ごとにその画素配列方向に沿って配線され信号ライン6-1~6-nが各列ごとにその画素配列方向に沿って配線されている。

20

そして、各画素回路21のTFT21のゲート電極は、各行単位で同一の走査ライン5-1~5-mにそれぞれ接続されている。また、各画素回路21のソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン6-1~6-nに各々接続されている。

【0005】

さらに、一般的な液晶表示装置においては、保持容量配線Csを独立に配線し、この保持容量配線とCsと液晶セルLC21の第1電極との間に保持容量Cs21を形成するが、保持容量配線Csは、コモン電圧VCOMと同相パルスが入力され、保持容量として用いる。一般的な液晶表示装置においては、有効画素部2におけるすべての画素回路21の保持容量Cs21は、一つの保持容量配線Csに共通に接続されている。

30

そして、各画素回路21の液晶セルLC21の第2電極は、たとえば1水平走査期間(1H)毎に極性が反転するコモン電圧Vcomの供給ライン7に共通に接続されている。

【0006】

各走査ライン5-1~5-mは、垂直駆動回路3により駆動され、各信号ライン6-1~6-nは水平駆動回路4により駆動される。

【0007】

垂直駆動回路3は、1フィールド期間ごとに垂直方向（行方向）に走査して走査ライン5-1~5-mに接続された各画素回路21を行単位で順次選択する処理を行う。

すなわち、垂直駆動回路3から走査ライン5-1に対して走査パルスSP1が与えられたときには第1行目の各列の画素が選択され、走査ライン5-2に対して走査パルスSP2が与えられたときには第2行目の各列の画素が選択される。以下同様にして、走査ライン5-3, ..., 5-mに対して走査パルスSP3, ..., SPmが順に与えられる。

40

【0008】

図2(A)~(E)に、図1に示す一般的な液晶表示装置のいわゆる1HVcom反転駆動方式におけるタイミングチャートを示す。

【0009】

また、他の駆動方式として、保持容量配線Csからのカップリングを利用して液晶への印加電圧を変調させる容量結合駆動方式が知られている（たとえば特許文献3参照）。

【特許文献1】特開平11-119746号公報

50

【特許文献2】特開2000-298459号公報

【特許文献3】特開平2-157815号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述した容量結合駆動方式は、1HVcom反転駆動方式に比べ、いわゆるオーバドライブによる液晶の応答速度を改善でき、また、Vcom周波数帯域で発生するオーディオノイズを低減でき、超高精細パネルにおけるコントラスト補償（最適化）が行えるなどの特徴がある。

【0011】

10

ところが、特許文献3に記載されたこの容量結合駆動方式を、図3に示すような、印加電圧に対する液晶誘電率 ϵ の特性を有する液晶材料（ノーマリホワイト対応）を用いて液晶表示装置に採用した場合、下記の式（1）、図4および図5に示すように、黒輝度を最適化しようとした際、白輝度が黒くなる（沈んでしまう）という不利益がある。

このことにより、現在の容量結合駆動方式を採用した液晶表示装置においては、黒輝度、白輝度の両者を同時に最適化することができないという不利益がある。

【0012】

（数1）

$$\Delta V_{pix1} = V_{sig} + \{C_{cs} / (C_{cs} + C_{lc})\} * \Delta V_{cs} - V_{com} \quad \dots (1)$$

20

【0013】

式（1）において、 ΔV_{pix} は実効画素電位、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 ΔV_{cs} は信号CSの電位を、 V_{com} はコモン電圧をそれぞれ示している。

上述したように、黒輝度を最適化しようとした際、白輝度が沈んでしまうのは、上記式（1）の $\{C_{cs} / (C_{cs} + C_{lc})\} * \Delta V_{cs}$ の項にあり、液晶誘電率の非線形性が実効画素電位に影響を与えるためである。

【0014】

本発明の目的は、黒輝度および白輝度の両方とともに最適化することが可能な表示装置を供することにある。

30

【課題を解決するための手段】

【0015】

本発明に係る表示装置は、スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の行配列に対応するように配置された複数の容量配線と、第1の駆動回路および第2の駆動回路と、所定の周期でレベルが切り替わるコモン電圧信号を生成する生成回路と、を有し、上記画素部に配列された各画素回路は、第1画素電極および第2画素電極を有する表示エレメントと、第1電極および第2電極を有する保持容量と、を含み、上記表示エレメントの第1画素電極と上記保持容量の第1電極と上記スイッチング素子の一端子が接続され、上記保持容量の第2電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第2画素電極には上記コモン電圧信号が印加され、上記第1の駆動回路は、上記画素回路の行配列ごとに対応する複数のドライブ段を有し、当該第1の駆動回路の各ドライブ段に、上記複数の走査ラインを順次選択して駆動するゲートドライバと、各ドライブ段で独立した動作を行うことで上記複数の容量配線を選択的に駆動する容量配線ドライバとを含み、上記第2の駆動回路は、上記画素回路の行配列ごとに対応する複数のドライブ段を有し、当該第2の駆動回路の各ドライブ段に、各ドライブ段で独立して、上記第1の駆動回路の容量配線ドライバとともに上記同一の容量配線を両端から選択的に駆動する容量配線ドライバを含み、ゲートドライバを含まない。

40

【0017】

50

好適には、上記第 1 および第 2 の駆動回路の各ドライバ段に含まれる各容量配線ドライバは、画素書き込み時の極性信号に基づいて各行ごとに独立して対応する容量配線を駆動する。

【 0 0 1 8 】

好適には、上記第 2 の駆動回路の容量配線ドライバは、上記第 1 の駆動回路により対応する行の走査ラインを伝搬された駆動信号に応答して、対応する容量配線を駆動する。

【 0 0 1 9 】

好適には、上記駆動回路は、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する。

【 0 0 2 0 】

10

好適には、上記第 1 および第 2 の駆動回路は、上記容量配線を駆動する信号の第 1 レベルと当該第 1 レベルより低い第 2 レベルとのいずれかを選択して対応する容量配線に印加する。

【 0 0 2 1 】

好適には、上記画素回路の表示エレメントが液晶セルである。

【 発明の効果 】

【 0 0 2 2 】

本発明によれば、黒輝度および白輝度の両方をともに最適化することができる利点がある。

また、容量配線の駆動能力を向上させることができ、水平方向のシェーディング等を改善できる。

20

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

以下、本発明の実施の形態について図面に関連付けて詳細に説明する。

【 0 0 2 4 】

図 6 は、たとえば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【 0 0 2 5 】

本表示装置 1 0 0 は、図 6 に示すように、有効画素部 1 0 1、垂直駆動回路（V / C S D R V）1 0 2 - 1、1 0 2 - 2、水平駆動回路（H D R V）1 0 3、およびコモン電圧生成回路（V c o m G e n）1 0 4 を、主構成要素として有している。

30

【 0 0 2 6 】

有効画素部 1 0 1 は、図 7 に示すように、複数の画素回路 P X L C が、 $m \times n$ のマトリクス状に配列されている。具体的には、全体としてノーマル表示が可能なように、たとえば $320 \times R G B \times 320$ 個の画素回路が配列されている。

なお、図 7 においては、図面の簡単化のために、 4×4 のマトリクス配列として示している。

【 0 0 2 7 】

各画素回路 P X L C は、図 7 に示すように、スイッチング素子として T F T（薄膜トランジスタ；thin film transistor）2 0 1 と、T F T 2 0 1 のドレイン電極（またはソース電極）に第 1 画素電極が接続された液晶セル L C 2 0 1 と、T F T 2 0 1 のドレイン電極に第 1 電極が接続された保持容量 C s 2 0 1 により構成されている。

40

なお、T F T 2 0 1 のドレインと、液晶セル L C 2 0 1 の第 1 画素電極と、保持容量 C S 2 0 1 の第 1 電極との接続点によりノード N D 2 0 1 が形成されている。

【 0 0 2 8 】

これら画素回路 P X L C の各々に対して、ゲートライン（走査ライン）1 0 5 - 1 ~ 1 0 5 - m および保持容量配線（以下、ストレージラインという）1 0 6 - 1 ~ 1 0 6 - m が各行ごとにその画素配列方向に沿って配線され、信号ライン 1 0 7 - 1 ~ 1 0 7 - n が各列ごとにその画素配列方向に沿って配線されている。

【 0 0 2 9 】

50

そして、各画素回路 P X L C の T F T 2 0 1 のゲート電極は、各行単位で同一のゲートライン 1 0 5 - 1 ~ 1 0 5 - m にそれぞれ接続されている。

各画素回路 P X L C の保持容量 C s の第 2 電極は、各行単位で同一のストレージライン 1 0 6 - 1 ~ 1 0 6 - m にそれぞれ接続されている。

また、各画素回路 P X L C のソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン 1 0 7 - 1 ~ 1 0 7 - n に各々接続されている。

そして、各画素回路 P X L C の液晶セル L C 2 0 1 の第 2 画素電極は、1 水平走査期間（1 H）に極性が反転する小振幅のコモン電圧 V C O M の図示しない供給ラインに共通に接続されている。

【0030】

10

各ゲートライン 1 0 5 - 1 ~ 1 0 5 - m は、有効画素部 1 0 1 の両側でゲートラインの両端部側にそれぞれ配置した第 1 および第 2 の垂直駆動回路 1 0 2 - 1 , 1 0 2 - 2 のゲートドライバにより駆動され、各ストレージライン 1 0 6 - 1 ~ 1 0 6 - m は垂直駆動回路 1 0 2 - 1 , 1 0 2 - 2 の容量ドライバ（C S ドライバ）により駆動され、各信号ライン 1 0 7 - 1 ~ 1 0 7 - n は水平駆動回路 1 0 3 により駆動される。

【0031】

垂直駆動回路 1 0 2 - 1 , 1 0 2 - 2 は、基本的には、1 フィールド期間ごとに垂直方向（行方向）に走査してゲートライン 1 0 5 - 1 ~ 1 0 5 - m に接続された各画素回路 P X L C を 1 行単位で順次選択する処理を行う。

すなわち、垂直駆動回路 1 0 2 - 1 , 1 0 2 - 2 は、ゲートドライバによりゲートライン 1 0 5 - 1 に対してゲートパルス G P 1 を与えて第 1 行目の各列の画素が選択し、ゲートライン 1 0 5 - 2 に対してゲートパルス G P 2 を与えて第 2 行目の各列の画素を選択する。以下同様にして、ゲートライン 1 0 5 - 3 , ... , 1 0 5 - m に対してゲートパルス G P 3 , ... , G P m を順に与える。

20

【0032】

さらに、垂直駆動回路 1 0 2 - 1 , 1 0 2 - 2 は、C S ドライバにより各ゲートライン毎に対応して独立に配線された各ストレージライン 1 0 6 - 1 ~ 1 0 6 - m 毎に第 1 レベル（C S H、たとえば 3 V ~ 4 V）または第 2 レベル（C S L、たとえば 0 V）のいずれかに選択した容量信号（以下、ストレージ信号という）C S 1 ~ C S m を順に与える。

【0033】

30

図 8（A）~（L）は、本実施形態の垂直駆動回路のゲートラインとストレージラインの基本的な駆動例を示すタイミングチャートである。

【0034】

垂直駆動回路 1 0 2 は、たとえば第 1 行目から順番にゲートライン 1 0 5 - 1 ~ 1 0 5 - m、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m を駆動していくが、ゲートパルスでのゲートラインを駆動した後（信号書き込み後）、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m に印加するストレージ信号 C S 1 ~ C S m のレベルを、以下のように、第 1 レベル C S H と第 2 レベル C S L を交互に選択して印加する。

たとえば、垂直駆動回路 1 0 2 は、第 1 行目のストレージライン 1 0 6 - 1 に第 1 レベル C S H を選択してストレージ信号 C S 1 を印加した場合、第 2 行目のストレージライン 1 0 6 - 2 には第 2 レベル C S L を選択してストレージ信号 C S 2 を印加し、第 3 行目のストレージライン 1 0 6 - 3 には第 1 レベル C S H を選択してストレージ信号 C S 3 を印加し、第 4 行目のストレージライン 1 0 6 - 4 には第 2 レベル C S L を選択してストレージ信号 C S 4 を印加し、以下同様にして交互に第 1 レベル C S H と第 2 レベル C S L を選択してストレージ信号 C S 5 ~ C S m をストレージライン 1 0 6 - 5 ~ 1 0 6 - m に印加する。

40

また、第 1 行目のストレージライン 1 0 6 - 1 に第 2 レベル C S L を選択してストレージ信号 C S 1 を印加した場合、第 2 行目のストレージライン 1 0 6 - 2 には第 1 レベル C S H を選択してストレージ信号 C S 2 を印加し、第 3 行目のストレージライン 1 0 6 - 3

50

には第2レベルCSLを選択してストレージ信号CS3を印加し、第4行目のストレージライン106-4には第1レベルCSHを選択してストレージ信号CS4を印加し、以下同様にして交互に第2レベルCSLと第1レベルCSHを選択してストレージ信号CS5～CSmをストレージライン106-5～106-mに印加する。

【0035】

本実施形態においては、ゲートパルスGPの立下り後（信号ラインからの書き込み後）、ストレージライン106-1～106-mを駆動し、保持容量CS201を介してカップリングさせることにより画素電位（ノードND201の電位）を変化させて、液晶印加電圧を変調させている。

【0036】

図7には、垂直駆動回路102のCSドライバ1020のレベル選択出力部の一例を模式的に示している。

CSドライバ1020は、可変電源部1021と、電源部1021の正極側に接続された第1レベル供給ライン1022と、電源部1021の負極側に接続された第2レベル供給ライン1023と、第1レベル供給ライン1022または第2レベル供給ライン1023とを画素配列の各行毎に配線したストレージライン106-1～106-mとを選択的に接続するスイッチSW1～SWmを含んで構成されている。

【0037】

また、図7中に ΔV_{cs} は第1レベルCSHと第2レベルCSLとのレベル差（電位差）を示している。

後で詳述するように、この ΔV_{cs} と小振幅の交番のコモン電圧 V_{com} の振幅 ΔV_{com} は、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が0.5V以下の値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【0038】

垂直駆動回路102は、垂直シフトレジスタ群を含み、画素配列に対応して各行毎に配列されたゲートラインが接続されたゲートバッファに対応して設けられた複数のシフトレジスタVSRを有する。各シフトレジスタVSRは、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルスVST、垂直走査の基準となる垂直クロックVCK（または互いに逆相の垂直クロックVCK、VCKX）が供給される。

たとえばシフトレジスタは、垂直スタートパルスVSTを、垂直クロックVCKに同期にてシフト動作を行い、対応するゲートバッファに供給する。

また、垂直スタートパルスVSTは、有効画素部101の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタVSRにより供給された垂直クロックにより各ゲートバッファを通して各ゲートラインが順番に駆動されていく。

【0039】

図9は、本実施形態の垂直駆動回路のゲートドライバとCSドライバの構成例を示すブロック図である。

【0040】

本実施形態の垂直駆動回路102は、図9に示すように、画素配列の各行毎に独立に駆動するドライバ段300-1、300-2、300-3、・・・300-mが設けられている。

【0041】

各ドライバ段300（-1～-m）は、シフトレジスタ（VSR）301、ゲートバッファ302、CSブロック303、およびCSバッファ304を有する。たとえばCSバッファ304が上述したCSドライバのレベル選択出力部の機能を併せ持つ。

【0042】

シフトレジスタ301は、垂直スタートパルスVSTを、イネーブル信号ENB、垂直

10

20

30

40

50

クロック V C K に同期にてシフト動作を行い、対応するゲートバッファ 3 0 2 に供給する。

また、垂直スタートパルス V S T は、有効画素部 1 0 1 の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタ 3 0 1 により供給された垂直クロックにより各ゲートバッファを通して各ゲートライン 1 0 5 - 1 ~ 1 0 5 - m が順番に駆動されていく。

【 0 0 4 3 】

C S ブロックは、各ドライブ段で独立した動作を行い、シフトレジスタ 3 0 1 からゲートバッファ 3 0 2 に出力されるゲート信号 G a t e と、シフトレジスタ 3 0 1 から次段のシフトレジスタに出力される信号 V S R o u t とに基づいて、極性信号 P O L を 2 段階にラッチした後、C S バッファ 3 0 4 に出力する。

10

【 0 0 4 4 】

図 1 0 は、図 9 の C S ブロックの基本構成を示す図である。

C S ブロック 3 0 3 は、基本的に、ゲート信号 G a t e に基づいて極性信号 P O L をラッチする第 1 ラッチ 3 0 3 1 と、信号 V S R o u t に基づいて第 1 ラッチ 3 0 3 1 のラッチ信号 P O L をラッチし、所定のタイミングで C S バッファ 3 0 4 に出力する第 2 ラッチ 3 0 3 2 とを有する。

【 0 0 4 5 】

図 1 1 は、C S ブロックの具体的な構成例を示す回路図である。

20

【 0 0 4 6 】

この C S ブロック 3 0 3 は、2 入力 N A N D 4 0 1、インバータ 4 0 2 ~ 4 0 5、およびスイッチ回路 4 0 6 ~ 4 0 8 を有する。そして、N A N D 4 0 1 とインバータ 4 0 2 により第 1 ラッチ 3 0 3 1 が構成され、インバータ 4 0 3 と 4 0 4 により第 2 ラッチ 3 0 3 2 が構成されている。

【 0 0 4 7 】

N A N D 4 0 1 の第 1 入力が入力端子 a およびインバータ 4 0 2 の出力端子に接続され、第 2 入力が入力端子 b に接続され、出力が入力端子 c となる。

インバータ 4 0 3 の入力端子が入力端子 d およびインバータ 4 0 4 の出力端子に接続され、出力が入力端子 e となる。

30

スイッチ 4 0 6 はゲート信号 G a t e およびその反転信号 X G a t e によりオン、オフされる。スイッチ 4 0 7 と 4 0 8 は信号 V S R o u t および信号 V S R o u t がインバータ 4 0 5 で反転された信号でオン、オフされる。

【 0 0 4 8 】

図 1 2 は、ゲートバッファの構成例を示す回路図である。

ゲートバッファ 3 0 2 は、図 1 2 に示すように、p チャネル MOS (P M O S) トランジスタ P T 1 ~ P T 3、n チャネル MOS (N M O S) トランジスタ N T 1 ~ N T 3 により構成されている。

40

P M O S トランジスタ P T 1 ~ P T 3 のソースは高電圧 (たとえば 6 V) の電源電圧 V D D 2 の供給ラインに接続され、N M O S トランジスタ N T 1 ~ N T 3 のソースが低電圧 (たとえば - 3 V) の電源電圧 V S S 2 の供給ラインに接続されている。

P M O S トランジスタ P T 1 のドレインと N M O S トランジスタ N T 1 のドレイン同士が接続され、その接続点が N M O S トランジスタ N T 2 のゲートに接続されている。

P M O S トランジスタ P T 2 のドレインと N M O S トランジスタ N T 2 のドレイン同士が接続され、その接続点が N M O S トランジスタ N T 1 のゲート、並びに出力バッファ段を構成する P M O S トランジスタ P T 3 のゲートおよび N M O S トランジスタ N T 3 のゲートに接続されている。

50

そして、PMOSトランジスタPT3のドレインおよびNMOSトランジスタNT3のドレインが接続され、その接続点がゲートラインに接続される。

また、PMOSトランジスタPT2のゲートが信号Aの供給ラインに接続され、PMOSトランジスタPT1のゲートが信号Aの反転信号XAの供給ラインに接続されている。

このように、ゲートバッファはレベルシフタと出力バッファ段により構成されている。

【0049】

図13は、CSバッファの構成例を示す回路図である。

CSバッファ304は、図13に示すように、PMOSトランジスタPT11~PT13、NMOSトランジスタNT11~NT13により構成されている。

PMOSトランジスタPT11、PT12のソースは高電圧（たとえば6V）の電源電圧VDD2の供給ラインに接続され、NMOSトランジスタNT11、NT12のソースが低電圧（たとえば-3V）の電源電圧VSS2の供給ラインに接続されている。

PMOSトランジスタPT13のソースは第1レベル電圧（たとえば3V）の電源電圧VCSHの供給ラインに接続され、NMOSトランジスタNT13のソースが第2レベル電圧（たとえば0V）の電源電圧VSSの供給ラインに接続されている。

PMOSトランジスタPT11のドレインとNMOSトランジスタNT11のドレイン同士が接続され、その接続点がNMOSトランジスタNT12のゲートに接続されている。

PMOSトランジスタPT12のドレインとNMOSトランジスタNT12のドレイン同士が接続され、その接続点がNMOSトランジスタNT11のゲート、並びに出力バッファ段を構成するPMOSトランジスタPT13のゲートおよびNMOSトランジスタNT13のゲートに接続されている。

そして、PMOSトランジスタPT13のドレインおよびNMOSトランジスタNT13のドレインが接続され、その接続点がゲートラインに接続される。

また、PMOSトランジスタPT12のゲートが信号Bの供給ラインに接続され、PMOSトランジスタPT11のゲートが信号Bの反転信号XBの供給ラインに接続されている。

このように、ゲートバッファはレベルシフタと出力バッファ段により構成されている。

また、信号B、XBが切り替え信号となっている。

【0050】

図14(A)~(L)は、図9の垂直駆動回路の動作例を示すタイミングチャートである。

本実施形態の垂直駆動回路102におけるCSドライバは、ドライバ段の前後段あるいは前フレームの極性に依存せず、画素書き込み時の極性（POLで示される）のみでCS信号の極性を決めている。

すなわち、本実施形態の前後段の信号に依存せず、自段の信号のみで制御可能となっている。

また、本実施形態の垂直駆動回路のCSブロック等は、少ない素子数で形成することができ、回路規模の縮小に貢献している。たとえば20個以下のトランジスタにより構成することが可能である。

【0051】

なお、上述した構成、機能を有する垂直駆動回路は、有効画素部101の片側のゲートラインおよびストレージラインの一端部に一つ配置することも可能であるが、図6の構成においては、ゲートドライバおよびCSドライバを含む垂直駆動回路102を有効画素部101のゲートラインおよびストレージラインの両端部側にそれぞれ配置しているが、これは以下の理由による。

【0052】

ゲート信号がハイレベルとなり、書き込みが許可された画素では、Vcom電位に対して正極（あるいは負極）の表示信号電圧が画素電極に書き込まれる。このとき、書き込みを行っている画素電極とストレージ容量を介して接続されているストレージライン（CS

10

20

30

40

50

ライン)は画素電極から受けるカップリングによって揺らされる。

そこで、本実施形態においては、両側にCSドライバを含む垂直駆動回路を配置して、この揺れの収束時間を短縮することにより水平方向のシェーディング等を改善している。

【0053】

また、画素書き込みが完了し、ゲート信号がローレベルとなった後、同画素とストレージ容量を形成しているストレージラインの電位は信号ラインとの寄生クロス容量を有しており、この容量にカップリングによりストレージラインの電位が揺らされる。

そこで、本実施形態においては、両側にCSドライバを含む垂直駆動回路を配置して、この揺れの収束時間を短縮することにより水平方向のシェーディング等を改善している。

【0054】

換言すれば、ストレージラインに付く抵抗および容量負荷が信号ラインあるいは画素電極などから受けるノイズに対して一定電圧に保持するための駆動能力が片側のCSドライバによる駆動では足りない場合、本実施形態のように、ゲートドライバおよびCSドライバを含む垂直駆動回路102を有効画素部101のゲートラインおよびストレージラインの両端部側にそれぞれ配置してストレージラインの駆動能力を向上させている。

【0055】

なお、上述したように、ゲートドライバおよびCSドライバを含む垂直駆動回路を有効画素部101の両側(図では左右両側)に配置した場合、両側に走査タイミングがずれる可能性があるため、たとえば図15に示すように、ゲートドライバおよびCSドライバを含む第1の垂直駆動回路102-1を有効画素部101の片側のみ(図では左側)に配置し、他側にはCSドライバのみを含む第2の垂直駆動回路102-2Aを配置する構成を採用することも可能である。

この構成を採用することにより、走査タイミングのずれの発生を抑止できるとともに、回路規模を縮小することができ、狭額縁化を実現することができる。

【0056】

図16は、CSドライバのみを含む垂直駆動回路の構成例を示すブロック図である。

【0057】

図16の垂直駆動回路102-2AのCSドライバ500は、画素配列の各行毎に独立に駆動するドライバ段500-1, 500-2, 500-3、・・・、500-mが設けられている。

【0058】

各ドライバ段500(-1~-m)は、ゲートラッチ(G-Latch)501、CSブロック502、およびCSバッファ503を有する。たとえばCSバッファ503が上述したCSドライバのレベル選択出力部の機能を併せ持つ。

【0059】

ゲートラッチ501は、画素配列の対応する行に配置されたゲートライン105-1~105-mを伝搬されるゲート信号Gateをラッチし、ゲート信号Gateがアクティブの期間のみ信号OUTAとしてCSブロック502に出力するとともに、ゲート信号Gateに同期して、垂直クロックVCKを所定のタイミングでラッチし、ラッチした垂直クロックVCKのレベルが切り替わるタイミングでラッチしたゲート信号Gateをリセットし、信号OUTAの出力を停止する。

【0060】

図17は、図16のゲートラッチの具体的には構成例を示す回路図である。また、図18は、図17の回路の要部ノードのタイミングチャートである。

【0061】

ゲートラッチ501は、図17に示すように、フリップフロップ5011、インバータ5012~5017、2入力NOR5018、2入力NAND5019、およびスイッチSW1~SW4を有している。

【0062】

フリップフロップ5011の端子Sがゲート信号Gateの入力ラインに接続され、リ

10

20

30

40

50

セット端子RがノードN5に接続され、端子QがNOR5018の一方の入力およびNAND5019の一方の入力に接続され、リセット端子rstはリセット信号rstの入力ラインに接続されている。NOR5018の他方の入力はノードN5に接続され、NAND5019の他方の入力はゲート信号Gateの入力ラインに接続されている。

【0063】

インバータ5013と5014が入出力同士を結合してラッチLTC1を構成し、インバータ5015と5016が入出力同士を結合してラッチLTC2を構成している。

LTC1のノードN1がスイッチSW1の固定接点aに接続され、スイッチSW1の作動接点bは垂直クロックCLKの入力ラインに接続されている。

スイッチSW1はゲート信号Gate(G)とインバータ5011で反転された信号XGでオンオフされる。この例では、ゲート信号Gがハイレベルのときオンし、ローレベルになるとオフする。

10

LTC2のノードN3がスイッチSW4の固定接点aに接続され、スイッチSW4の作動接点bは垂直クロックCLKの入力ラインに接続されている。

スイッチSW4はインバータ5017の出力信号CKLgがハイレベルで、インバータ5017の入力信号となるNOR5018の出力信号XCLKgがローレベルのときオンし、インバータ5017の出力信号CKLgがローレベルで、インバータ5017の入力信号となるNOR5018の出力信号XCLKgがハイレベルのときオフする。

【0064】

スイッチSW2の固定接点aがノードN5に接続され、作動接点bがラッチLTC2のノードN4に接続されている。

20

スイッチSW3の固定接点aがノードN5に接続され、作動接点bがラッチLTC2のノードN3に接続されている。

スイッチSW2はラッチLTC1のノードN1の信号CKgがハイレベルで、ノードN2の信号XCKgがローレベルのときにオンし、ノードN1の信号CKgがローレベルで、ノードN2の信号XCKgがハイレベルのときにオフする。

スイッチSW3はラッチLTC1のノードN1の信号CKgがローレベルで、ノードN2の信号XCKgがハイレベルのときにオンし、ノードN1の信号CKgがハイレベルで、ノードN2の信号XCKgがローレベルのときにオフする。

【0065】

30

たとえば図18の例において、(x)行目においては、垂直クロックCLKがローレベルの期間にゲート信号Gateがハイレベルのパルス信号としてゲートラッチ501-xに入力される。

そして、ゲート信号Gateはフリップフロップ5011にセットされ、その結果、ノードN6はハイレベルとなる。

このとき、スイッチSW1がオンし、ラッチLTC1にはローレベルの垂直クロックCLKが入力される。その結果、ラッチLTC1のノードN1はローレベル、ノードN2はハイレベルに保持される。したがって、スイッチSW2はオフし、SW3はオンとなる。

また、ノードN6がハイレベルであることから、NOR5018の出力がローレベルとなり、その結果インバータ5017の出力がハイレベルとなり、スイッチSW4がオンする。

40

スイッチSW4がオンであることから、ラッチLTC2にはローレベルの垂直クロックCLKが入力される。その結果、ラッチLTC1のノードN3はローレベル、ノードN4はハイレベルに保持される。したがって、このタイミングではスイッチSW3を通してノードN5はローレベルであり、フリップフロップ5011はリセットされない。

そして、AND5019からは、ゲート信号Gateがハイレベルの期間、ハイレベルの信号OUTAがCSブロック502に出力される。

次に、垂直クロックCLKがローレベルからハイレベルに切り替わり、ゲート信号Gateもローレベルに切り替わる。

その結果、出力信号OUTAがローレベルとなり、また、ラッチLTC2にはハイレベ

50

ルの垂直クロックVCKが入力される。その結果、ラッチLTC2のノードN3はハイレベル、ノードN4はローレベルに保持される。したがって、このタイミングではスイッチSW3を通してノードN5はハイレベルであり、フリップフロップ5011はリセットされ、また、垂直クロックVCKがローレベルになるまで、スイッチSW4はオン状態に保持される。

【0066】

また、図18の例において、 $(x+1)$ 行目においては、垂直クロックVCKがハイレベルの期間にゲート信号Gateがハイレベルのパルス信号としてゲートラッチ501-x+1に入力される。

そして、ゲート信号Gateはフリップフロップ5011にセットされ、その結果、ノードN6はハイレベルとなる。

このとき、スイッチSW1がオンし、ラッチLTC1にはハイレベルの垂直クロックVCKが入力される。その結果、ラッチLTC1のノードN1はハイレベル、ノードN2はローレベルに保持される。したがって、スイッチSW2はオンし、SW3はオフとなる。

また、ノードN6がハイレベルであることから、NOR5018の出力がローレベルとなり、その結果インバータ5017の出力がハイレベルとなり、スイッチSW4がオンする。

スイッチSW4がオンであることから、ラッチLTC2にはハイレベルの垂直クロックVCKが入力される。その結果、ラッチLTC1のノードN3はハイレベル、ノードN4はローレベルに保持される。したがって、このタイミングではスイッチSW2を通してノードN5はローレベルであり、フリップフロップ5011はリセットされない。

そして、AND5019からは、ゲート信号Gateがハイレベルの期間、ハイレベルの信号OUTAがCSブロック502に出力される。

次に、垂直クロックVCKがハイレベルからローレベルに切り替わり、ゲート信号Gateもローレベルに切り替わる。

その結果、出力信号OUTAがローレベルとなり、また、ラッチLTC2にはローレベルの垂直クロックVCKが入力される。その結果、ラッチLTC2のノードN3はローレベル、ノードN4はハイレベルに保持される。したがって、このタイミングではスイッチSW2を通してノードN5はハイレベルであり、フリップフロップ5011はリセットされ、また、垂直クロックVCKがハイレベルになるまで、スイッチSW4はオン状態に保持される。

【0067】

CSブロック502は、各ドライブ段で独立した動作を行い、ゲートラッチ501から出力されるゲート信号Gate(OUTA)に基づいて、たとえば極性信号POLを2段階にラッチした後、CSバッファ503に出力する。

【0068】

なお、CSブロック502およびCバッファ503は、図10や図13に関連付けて説明した構成と同様の構成を採用することができる。

【0069】

水平駆動回路103は、水平走査の開始を指令する水平スタートパルスHST、水平走査の基準となる水平クロックHCK(または互いに逆相の垂直クロックHCK, HCKX)に基づいて、入力される映像信号Vsigを1H(Hは水平走査期間)毎に順次サンプリングし、信号ライン107-1~107-nを介して垂直駆動回路102によって行単位で選択される各画素回路PXL Cに対して書き込む処理を行う。

【0070】

コモン電圧生成回路104は、1水平走査期間(1H)毎に極性が反転する小振幅のコモン電圧VCOMを生成して図示しない供給ラインを通して有効画素部101の全画素回路PXL Cの液晶セルLC201の第2画素電極に共通に供給する。

コモン電圧Vcomの振幅の振幅 ΔV_{com} の値は、ストレージ信号CSの第1レベルとCSHと第2レベルCSLとの差 ΔV_{cs} とともに、黒輝度および白輝度をともに最適

10

20

30

40

50

化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が $0.5V$ 以下の値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【0071】

図6においては、コモン電圧生成回路104を液晶パネル内に設ける構成を例として示しているが、パネル外に配置して、パネル外からコモン電圧 V_{com} を供給するように構成することも可能である。

【0072】

図19は、本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

図19の例は、パネルの外部部品により小振幅のコモン電圧 V_{com} を生成する場合を示している。

10

【0073】

図19のコモン電圧生成回路は、フリッカ調整用抵抗素子 R_1 、 R_2 、平滑キャパシタ C_1 、小振幅 ΔV_{com} だけ振幅させるためのキャパシタ C_2 、 V_{com} 供給ライン108の配線抵抗 R_{com} 、および V_{com} 供給ライン108の寄生容量 C_{com} を含んで構成されている。

【0074】

電源電圧 V_{CC} の供給ラインと接地ライン GND との間に抵抗素子 R_1 、 R_2 が直列に接続され、両抵抗素子 R_1 、 R_2 で抵抗分圧した電圧を抵抗素子の接続ノード ND_1 に発生する。抵抗素子 R_2 は可変抵抗で、発生する電圧を調整可能となっている。

20

接続ノード ND_1 がパネル端子 T に接続されている。キャパシタ C_1 の第1電極が接続ノード ND_1 と端子 T との接続ラインに接続され、第2電極が接地されている。

キャパシタ C_2 の第1電極が接続ノード ND_1 と端子 T との接続ラインに接続され、第2電極が信号 FRP の供給ラインに接続されている。

【0075】

図19のコモン電圧生成回路においては、次式に従って小振幅 ΔV_{com} が決定される。

【0076】

(数2)

$$\Delta V_{com} = \{ C_2 / (C_1 + C_2 + C_{com}) \} \times FRP \quad \dots (2)$$

30

【0077】

小振幅は容量カップリング(結合)を利用、またはデジタル的に生成して、使用することが可能である。

小振幅 ΔV_{com} の値は、極力小さい振幅、たとえば $10mV \sim 1.0V$ 程度の振幅が良い。理由は、それ以外であるとオーバドライブによる応答速度の改善、音響ノイズ低減などの効果が小さくなってしまうためである。

【0078】

以上のように、本実施形態においては、液晶表示装置100において、容量カップリングを利用した容量結合駆動を行う際に、コモン電圧 V_{com} の振幅の振幅 ΔV_{com} の値と、ストレージ信号 CS の第1レベルと CSH と第2レベル CSL との差 ΔV_{cs} の値が、黒輝度および白輝度をともに最適化できるような値に選定される。

40

たとえば、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が $0.5V$ より低い値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

以下、本実施形態の容量結合駆動についてさらに詳細に説明する。

【0079】

図20(A)～(E)は、本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

図20(A)がゲートパルス GP_N を、図20(B)がコモン電圧 V_{com} を、図20(C)がストレージ信号 CS_N を、図20(D)が映像信号 $Vsig$ を、図20(E)が液晶セルに印加される信号 Pix_N をそれぞれ示している。

50

【 0 0 8 0 】

本実施形態の容量結合駆動においては、コモン電圧 V_{com} は一定の直流電圧ではなく 1 水平走査期間 (1 H) 毎に極性が反転する小振幅の交番の信号として生成され、各画素回路 P X L C の液晶セル L C 2 0 1 の第 2 画素電極に印加される。

また、ストレージ信号 $C S_N$ は、各ゲートライン毎に対応して独立に配線された各ストレージライン 1 0 6 - 1 ~ 1 0 6 - m 毎に第 1 レベル ($C S H$ 、たとえば 3 V ~ 4 V) または第 2 レベル ($C S L$ 、たとえば 0 V) のいずれかに選択して与える。

このように駆動された場合の、液晶に印加される実効画素電位 ΔV_{pix} は次式で与えられる。

【 0 0 8 1 】

10

【 数 3 】

$$\begin{aligned}\Delta V_{pix3} &= V_{sig} - \frac{C_{cs}}{C_{cs}+C_{lc}+C_g+C_{sp}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs}+C_{lc}+C_g+C_{sp}} * \frac{\Delta V_{com}}{2} - V_{com} \\ &\doteq V_{sig} + \frac{C_{cs}}{C_{cs}+C_{lc}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs}+C_{lc}} * \frac{\Delta V_{com}}{2} - V_{com}\end{aligned}$$

【 0 0 8 2 】

図 2 1 に示すように、式 (3) において、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 C_g はノード N D 2 0 1 とゲートライン間の容量を、 C_{sp} はノード N D 2 0 1 と信号ライン間の容量を、 ΔV_{cs} は信号 $C S$ の電位を、 V_{com} はコモン電圧をそれぞれ示している。

20

式 (3) において、近似式の第 2 項 { $(C_{cs} / C_{cs} + C_{lc}) * \Delta V_{cs}$ } が液晶誘電率の非線形性により低階調 (白輝度側) が黒くなる (沈む) 要因となる項であり、近似式の第 3 項 { $(C_{lc} / C_{cs} + C_{lc}) * \Delta V_{com} / 2$ } が液晶誘電率の非線形性により低階調側を白くする (浮かせる) 項である。

すなわち、近似式の第 2 項の低階調 (白輝度側) が黒くなる (沈む) 傾向部分が第 3 項により低階調側を白くする (浮かせる) 機能により補償するように動作する。

そして、黒輝度および白輝度をともに最適化できるような値に選定することで、最適なコントラストを得ることができる。

30

【 0 0 8 3 】

図 2 2 (A) , (B) は液晶表示装置で使用される液晶材料 (ノーマリホワイト液晶) を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。図 2 2 (A) が印加電圧に対する比誘電率 ϵ の特性を示す図であり、図 2 2 (B) は図 2 2 (A) の特性が大きく変化する領域を拡大して示す図である。

【 0 0 8 4 】

図に示すように、液晶表示装置に使用されている液晶特性では、約 0 . 5 V 以上の電圧を印加すると、白輝度が沈んでしまう。

そのため、白輝度を最適化するためには、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が 0 . 5 V 以下とする必要がある。したがって、実効画素電位 ΔV_{pix_W} が 0 . 5 V 以下となるように ΔV_{cs} と ΔV_{com} の値が決定される。

40

【 0 0 8 5 】

実際に評価した結果としては、 $\Delta V_{cs} = 3 . 8 V$ 、 $\Delta V_{com} = 0 . 5 V$ のとき、最適なコントラストが得られた。

【 0 0 8 6 】

図 2 3 は、本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の 1 H V V_{com} 駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

図 2 3 において、横軸が映像信号電圧 V_{sig} を、縦軸が実効画素電位 ΔV_{pix} をそれぞれ示している。また、図 2 3 中、A で示す線が本発明の実施形態に係る駆動方式の特

50

性を、Bで示す線が関連する容量結合駆動方式の特性を、Cで示す線が通常の1HVcom駆動方式の特性を示している。

【0087】

図23からわかるように、本実施形態に係る駆動方式によれば、関連する容量結合駆動方式に比べて十分な特性改善が得られている。

【0088】

図24は、本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

図24において、横軸が映像信号電圧Vsigを、縦軸が輝度をそれぞれ示している。また、図24中、Aで示す線が本発明の実施形態に係る駆動方式の特性を、Bで示す線が

10

【0089】

図24からわかるように、関連する容量結合駆動方式では黒輝度(2)を最適化した際に、白輝度(1)が沈んでいた。これに対して、本実施形態に係る駆動方式によれば、Vcomを小振幅としたことで、黒輝度(1)および白輝度(1)の両方とも最適化することができる。

【0090】

下記の式(4)に、本実施形態に係る駆動方式の上記式(3)に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と白表示のときの実効画素電位 ΔV_{pix_W} の値を示す。

20

また、式(5)に関連する容量結合駆動方式の上記式(1)に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と実効画素電位 ΔV_{pix_W} の値を示す。

【0091】

【数4】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_b}}{C_{lc_b} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 3.3V + \frac{1.65}{2} - 1.65V \\ &= \boxed{3.3V} \leftarrow \text{黒輝度を最適化}\end{aligned}$$

30

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_w}}{C_{lc_w} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 0.0V + \frac{2.05}{2} - 1.65V \\ &= \boxed{0.4V} \leftarrow \text{白輝度を最適化}\end{aligned}$$

【0092】

【数 5】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 3.3V + \frac{1.65}{1.65} - 1.65V \\ &= \boxed{3.3V} \quad \leftarrow \text{黒輝度を最適化}\end{aligned}$$

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 0.0V + \frac{2.45}{2.45} - 1.65V \\ &= \boxed{0.8V} \quad \leftarrow \text{白輝度が沈んでしまう}\end{aligned}$$

10

【0093】

式(4)および式(5)に示すように、黒表示のときは本実施形態に係る駆動方式と関連する駆動方式ともに実効画素電位 ΔV_{pix_B} は 3.3V となり、黒輝度が最適化されている。

白表示のときは、式(5)に示すように、関連する駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以上の 0.8V となり、図 22(B)に関連付けて説明したように白輝度が沈んでしまう。

20

これに対して、本実施形態に係る駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以下の 0.4V となり、図 22(B)に関連付けて説明したように白輝度が最適化される。

【0094】

次に、上記構成による動作を説明する。

【0095】

垂直駆動回路 102 のシフトレジスタには、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス VST 、垂直走査の基準となる互いに逆相の垂直クロック VCK 、 $VCKX$ が供給される。

30

シフトレジスタにおいては、垂直クロックのレベルシフト動作が行われ、かつ、それぞれ異なる遅延時間で遅延される。たとえばシフトレジスタにおいては、垂直スタートパルス VST が、垂直クロック VCK に同期にてシフト動作が行われ、対応するゲートバッファに供給される。

また、垂直スタートパルス VST は、有効画素部 101 の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタ VSR により供給された垂直クロックにより各ゲートバッファを通して各ゲートライン 105-1 ~ 105-m が順番に駆動されていく。

【0096】

40

このように、垂直駆動回路 102 により、たとえば第 1 行目から順番にゲートライン 105-1 ~ 105-m が駆動されていくが、これに伴い、ストレージライン 106-1 ~ 106-m が駆動されていく。このとき、ゲートパルスで一のゲートラインを駆動した後、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン 106-1 ~ 106-m に印加するストレージ信号 $CS1 \sim CSm$ のレベルが、第 1 レベル CSH と第 2 レベル CSL が交互に選択されて印加される。

たとえば、第 1 行目のストレージライン 106-1 に第 1 レベル CSH を選択してストレージ信号 $CS1$ が印加された場合、第 2 行目のストレージライン 106-2 には第 2 レベル CSL が選択されてストレージ信号 $CS2$ が印加され、第 3 行目のストレージライン 106-3 に第 1 レベル CSH が選択されてストレージ信号 $CS3$ が印加され、第 4 行目

50

のストレージライン 106 - 4 には第 2 レベル CSL が選択されストレージ信号 CS4 が印加され、以下同様にして交互に第 1 レベル CSH と第 2 レベル CSL が選択されストレージ信号 CS5 ~ CSm がストレージライン 106 - 5 ~ 106 - m に印加される。

【0097】

また、小振幅 ΔV_{com} で交番のコモン電圧 V_{com} が有効画素部 101 の全画素回路 PXL の液晶セル LC201 の第 2 画素電極に共通に印加される。

【0098】

そして、水平駆動回路 103 では、図示しないクロックジェネレータにより生成された水平走査の開始を指令する水平スタートパルス HST、水平走査の基準となる互いに逆相の水平クロック HCK、HCKX を受けてサンプリングパルスが生成され、入力される映像信号が生成したサンプリングパルスに응答して順次サンプリングされて、各画素回路 PXL に書き込むべきデータ信号 SDT として各信号ライン 107 - 1 ~ 107 - n に供給される。

10

たとえば、まず、R 対応のセレクトスイッチが導通状態に駆動制御されて R データが各信号ラインに出力されて R データが書き込まれる。R データの書き込みが終了すると、G 対応のセレクトスイッチのみが導通状態に駆動制御されて G データが各信号ラインに出力されて書き込まれる。G データの書き込みが終了すると、B 対応のセレクトスイッチのみが導通状態に駆動制御されて B データが各信号ラインに出力されて書き込まれる。

【0099】

本実施形態においては、この信号ラインからの書き込み後（ゲートパルス GP の立下り後）、ストレージライン 106 - 1 ~ 106 - m から保持容量 CS201 を介してカップリングさせることにより画素電位（ノード ND201 の電位）を変化させて、液晶印加電圧を変調させている。

20

このとき、コモン電圧 V_{com} は一定値ではなく小振幅 ΔV_{com} （10mV ~ 1.0V）で交番信号として供給される。

これにより、黒輝度のみならず白輝度も最適化されている。

【0100】

以上説明したように、本実施形態によれば、TF T201 を通して映像用画素データを書き込む複数の画素回路 PXL がマトリクス状に配置された有効画素部 101 と、画素回路の行配列に対応するように配置されたゲートライン 105 - 1 ~ 105 - m と、画素回路の行配列に対応するように配置された複数の容量配線 106 - 1 ~ 106 - m と、画素回路の列配列に対応するように配置された信号ライン 107 - 1 ~ 107 - m と、ゲートライン、および容量配線を選択的に駆動する垂直駆動回路 102 と、所定の周期でレベルが切り替わる小振幅のコモン電圧信号を生成する生成回路 104 と、を有し、各画素回路は、第 1 画素電極および第 2 画素電極を有する液晶セル LC201 と、第 1 電極および第 2 電極を有する保持容量 CS201 と、を含み、液晶セルの第 1 画素電極と保持容量の第 1 電極と TF T の一端子が接続され、保持容量の第 2 電極が対応する行に配列された容量配線に接続され、液晶セルの第 2 画素電極にはコモン電圧信号が印加されることから、黒輝度および白輝度の両方をともに最適化することができる。その結果、コントラストを最適化することができる利点がある。

30

40

【0101】

また、本実施形態の垂直駆動回路 102 における CS ドライバおよび / またはゲートドライバは、ストレージラインおよび / またはゲートラインの両端側にそれぞれ設けており、ドライバ段の前後段あるいは前フレームの極性に依存せず、画素書き込み時の極性（POL で示される）のみで CS 信号の極性を決めている。

すなわち、本実施形態の前後段の信号に依存せず、自段の信号のみで制御可能となっている。

また、本実施形態の垂直駆動回路の CS ブロック等は、少ない素子数で形成することができ、回路規模の縮小に貢献している。たとえば 20 個以下のトランジスタにより構成することが可能である。

50

そこで、本実施形態においては、両側にＣＳドライバを含む垂直駆動回路を配置して、この揺れの収束時間を短縮することにより水平方向のシェーディング等を改善している。

【０１０２】

すなわち、ストレージラインに付く抵抗および容量負荷が信号ラインあるいは画素電極などから受けるノイズに対して一定電圧に保持するための駆動能力が片側のＣＳドライバによる駆動では足りない場合、本実施形態においては、ゲートドライバおよびＣＳドライバを含む垂直駆動回路１０２を有効画素部１０１のゲートラインおよびストレージラインの両端部側にそれぞれ配置してストレージラインの駆動能力を向上させている。

【０１０３】

また、ゲートドライバおよびＣＳドライバを含む垂直駆動回路１０２－１を有効画素部１０１の片側のみ（図では左側）に配置し、他側にはＣＳドライバのみを含む垂直駆動回路１０２－２Ａを配置する構成を採用することも可能である。

この構成を採用することにより、走査タイミングのずれの発生を抑止できるとともに、回路規模を縮小することができ、狭額縁化を実現することができる。

【０１０４】

なお、上記実施形態では、液晶表示装置にアナログ映像信号を入力とし、これをラッチした後アナログ映像信号を点順次にて各画素に書き込むアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、セレクト方式にて線順次にて画素に映像信号を書き込む駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【０１０５】

また、上記実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス（ＥＬ：electroluminescence）素子を用いたアクティブマトリクス型ＥＬ表示装置などアクティブマトリクス型表示装置全般に適用可能である。

以上説明した実施形態に係る表示装置は、直視型映像表示装置（液晶モニタ、液晶ビューファインダ）、投射型液晶表示装置（液晶プロジェクタ）の表示パネル、すなわちＬＣＤ（liquid crystal display）パネルとして用いることが可能である。

【図面の簡単な説明】

【０１０６】

【図１】一般的な液晶表示装置の構成例を示すブロック図である。

【図２】図１に示す一般的な液晶表示装置のいわゆる１ＨＶｃｏｍ反転駆動方式におけるタイミングチャートを示す。

【図３】ノーマリホワイト液晶の印加電圧と比誘電率との関係を示す図である。

【図４】１ＨＶｃｏｍ反転駆動方式と関連する容量結合駆動方式を採用した液晶表示装置の映像信号電圧と実効画素電位との関係を示す図である。

【図５】関連する容量結合駆動方式を採用した液晶表示装置の黒輝度を最適化すると、白輝度が黒くなる（沈んでしまう）ことを示す図である。

【図６】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【図７】図１の回路の画素部の具体的な構成例を示す回路図である。

【図８】本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

【図９】本実施形態の垂直駆動回路のゲートドライバとＣＳドライバの構成例を示すブロック図である。

【図１０】図９のＣＳブロックの基本構成を示す図である。

【図１１】ＣＳブロックの具体的な構成例を示す回路図である。

【図１２】ゲートバッファの構成例を示す回路図である。

【図１３】ＣＳバッファの構成例を示す回路図である。

10

20

30

40

50

【図 1 4】図 9 の垂直駆動回路の動作例を示すタイミングチャートである。

【図 1 5】ゲートドライバおよび CS ドライバを含む垂直駆動回路を有効画素部の片側のみに配置し、他側には CS ドライバのみを含む垂直駆動回路を配置する構成を示す図である。

【図 1 6】CS ドライバのみを含む垂直駆動回路の構成例を示すブロック図である。

【図 1 7】図 1 6 のゲートラッチの具体的には構成例を示す回路図である。

【図 1 8】図 1 7 の回路の要部ノードのタイミングチャートである。

【図 1 9】本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

【図 2 0】本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

【図 2 1】式 3 における液晶セルの各容量を示す図である。

10

【図 2 2】液晶表示装置で使用される液晶材料（ノーマリホワイト液晶）を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。

【図 2 3】本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の 1HVcom 駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

【図 2 4】本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

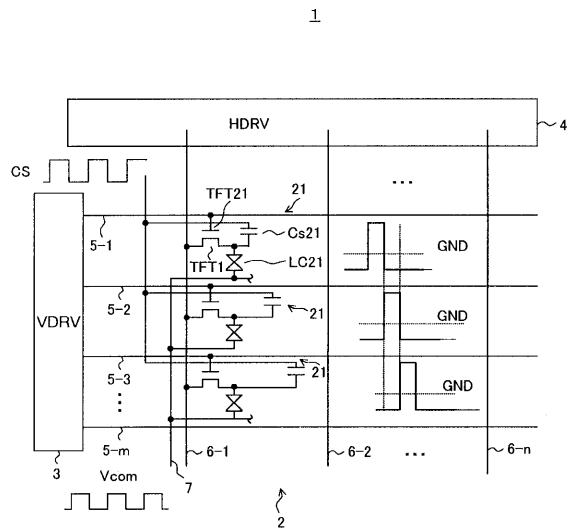
【符号の説明】

【0107】

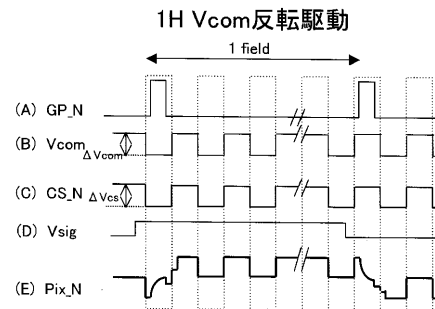
100・・・液晶表示装置、101・・・有効画素部、102-1, 102-2, 102-2A・・・垂直駆動回路（VDRV）、103・・・水平駆動回路（HDRV）、104・・・コモン電圧生成回路、105-1～105-m・・・ゲートライン、106-1～106-m・・・容量配線（ストレージライン）、107-1～107-n・・・信号ライン、PXL C...画素回路、201・・・TFT（スイッチング素子）、LC201...液晶セル、CS201...保持容量、300-1～300-m・・・ドライバ段、301・・・シフトレジスタ、302・・・ゲートバッファ、303・・・CSブロック、304・・・CSバッファ、500・・・CSドライバ、500-1～500-m・・・ドライバ段、501・・・ゲートラッチ、502・・・CSブロック、503・・・CSバッファ。

20

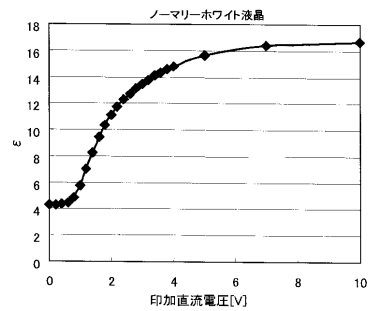
【圖 1】



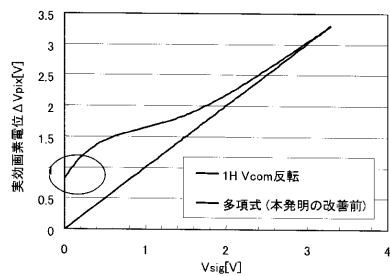
【 図 2 】



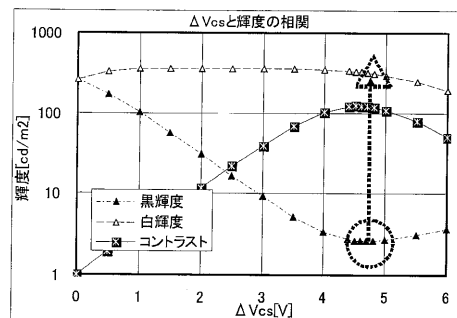
【 図 3 】



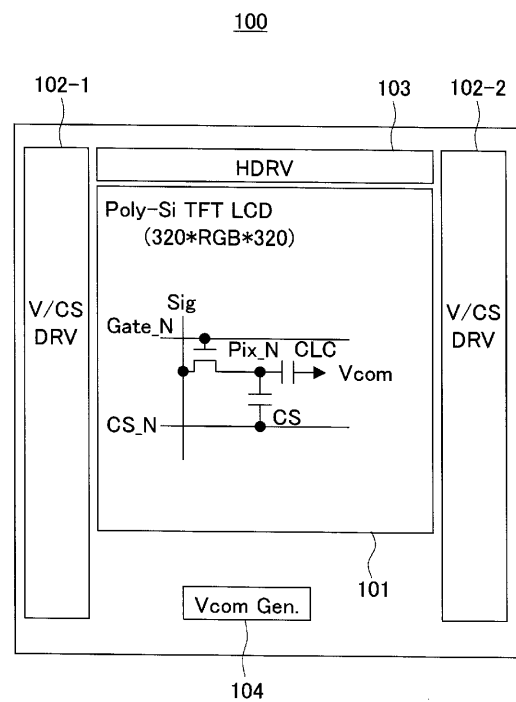
【圖 4】



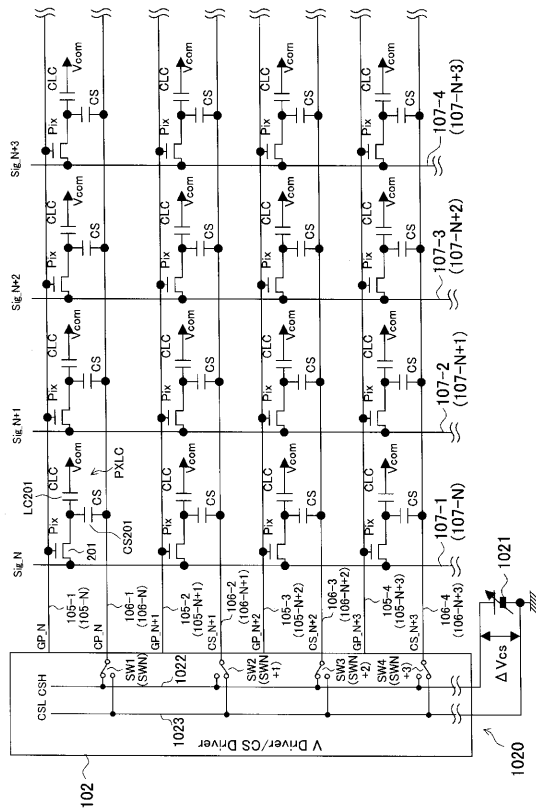
【 図 5 】



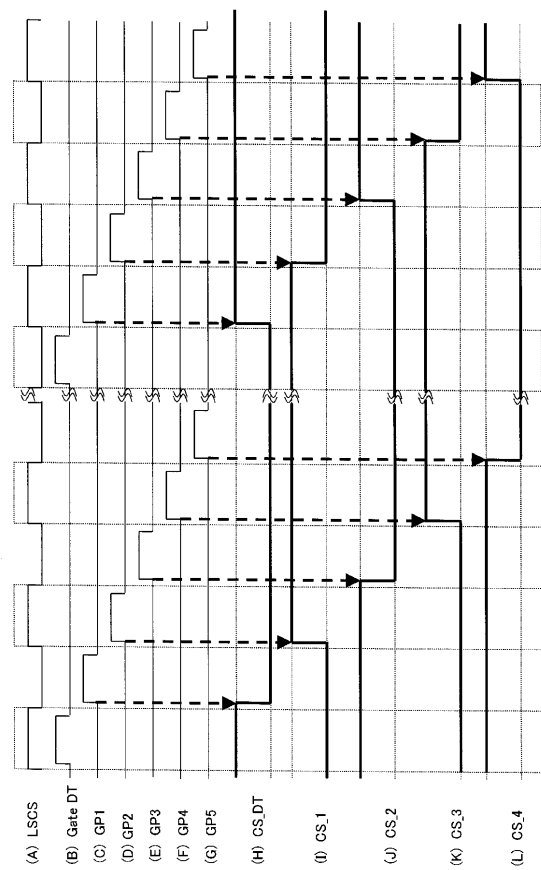
【 図 6 】



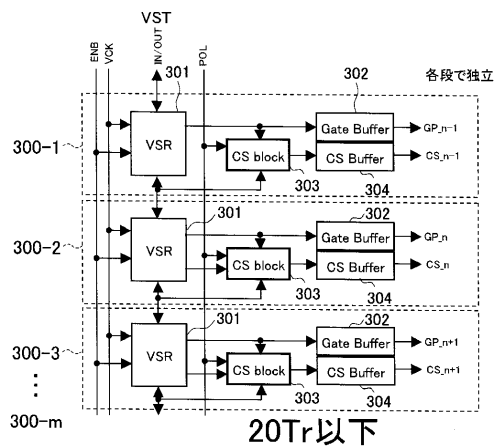
【図 7】



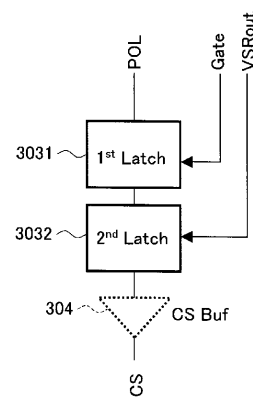
【図 8】



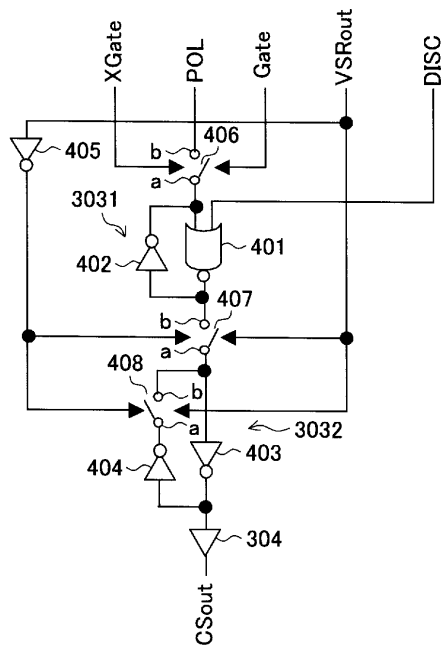
【図 9】



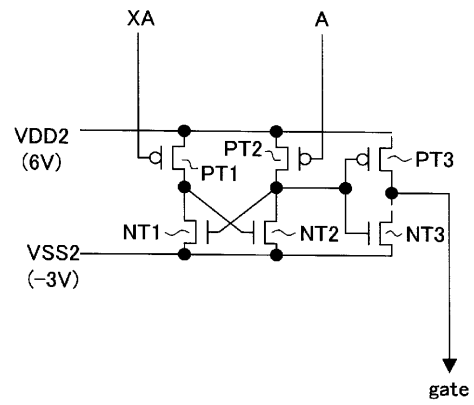
【図 10】



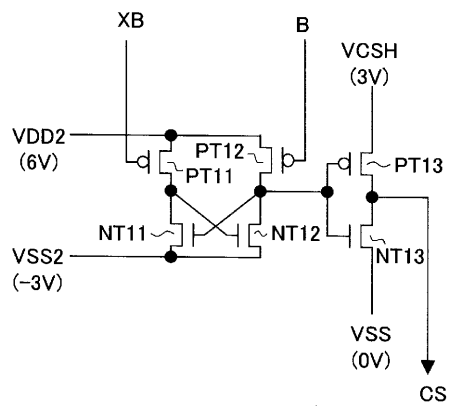
【図 1 1】



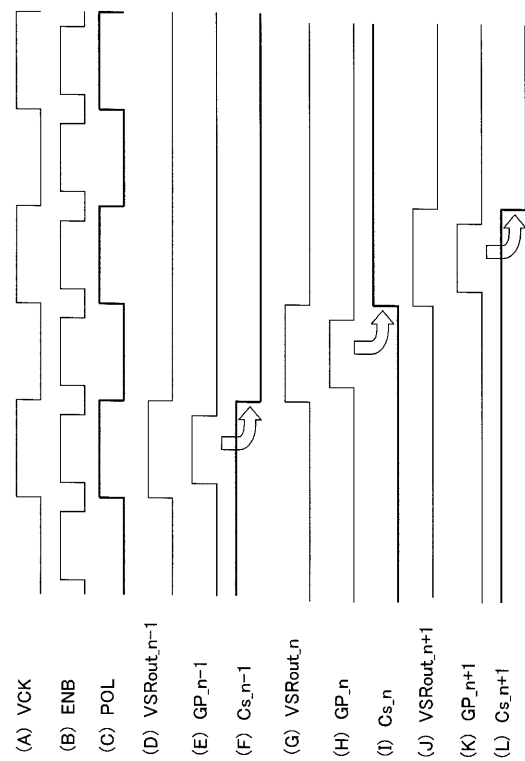
【図 1 2】



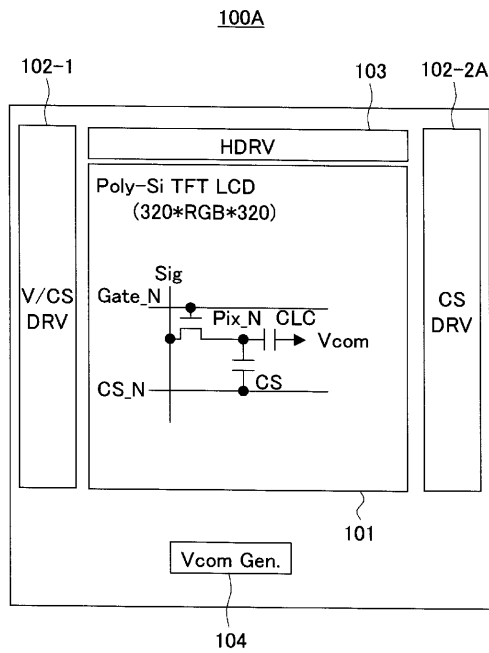
【図 1 3】



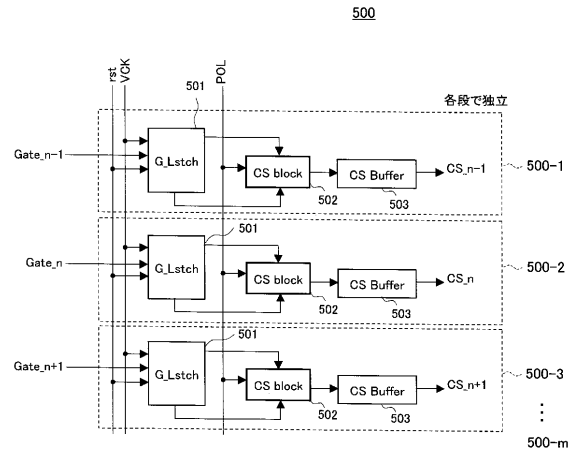
【図 1 4】



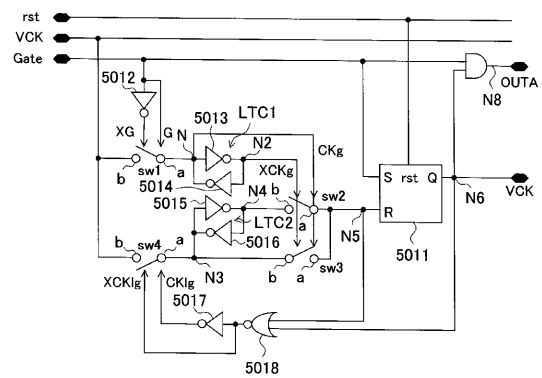
【図 15】



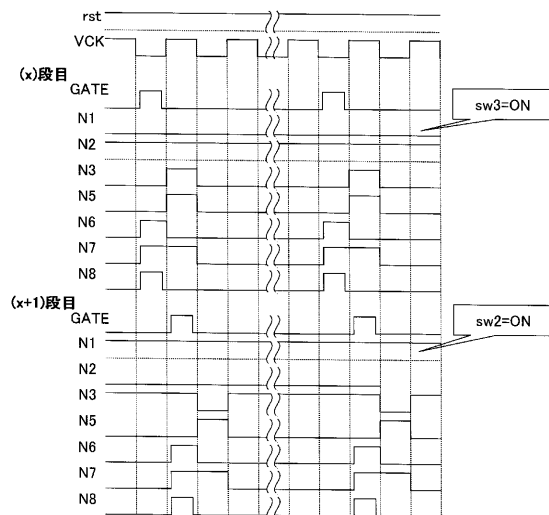
【図 16】



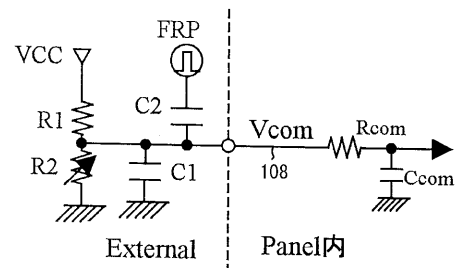
【図 17】



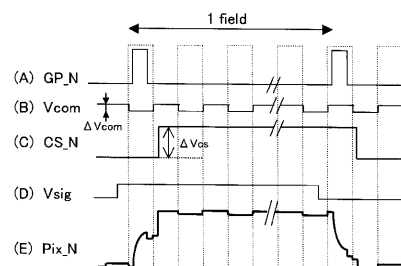
【図 18】



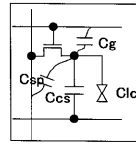
【図 19】



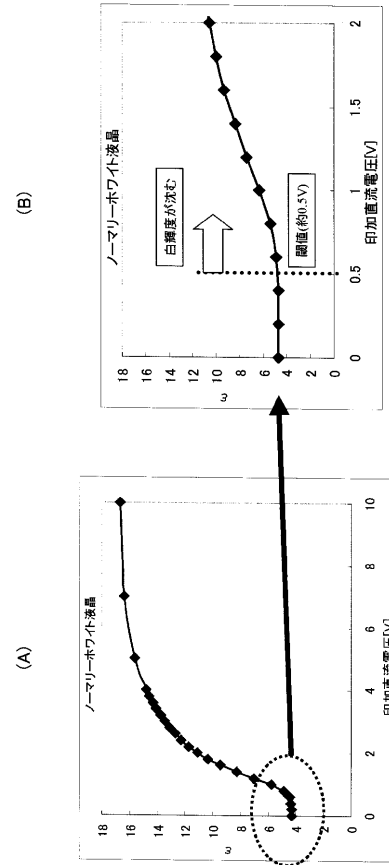
【図 20】



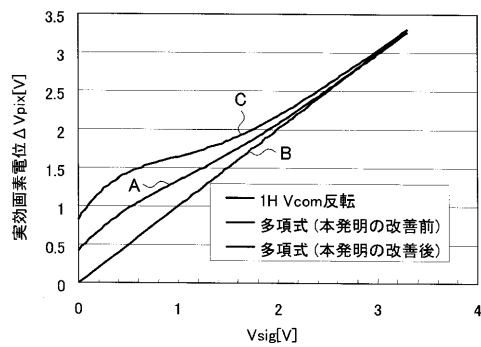
【図 2 1】



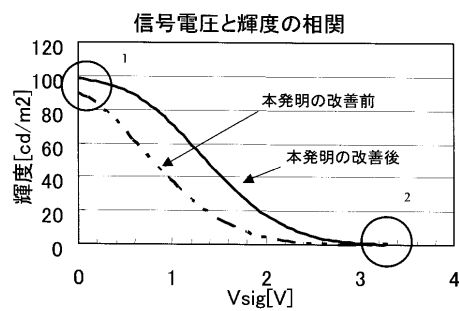
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 Z
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 1 A

(72)発明者 深野 智之

神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

審査官 中村 直行

(56)参考文献 特開平07-230075(JP,A)

特開昭55-157795(JP,A)

特開2005-017941(JP,A)

特開平05-094153(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
G 0 2 F	1 / 1 3 4 5		
G 0 2 F	1 / 1 3 6 8		
H 0 1 L	2 9 / 7 8		

专利名称(译)	表示装置		
公开(公告)号	JP4569413B2	公开(公告)日	2010-10-27
申请号	JP2005234826	申请日	2005-08-12
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	佐藤友彦 板倉直之 竹内剛也 深野智之		
发明人	佐藤 友彦 板倉 直之 竹内 剛也 深野 智之		
IPC分类号	G09G3/36 G02F1/1368 G02F1/1345 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/1368 G02F1/1345 G02F1/133.550 G09G3/20.642.E G09G3/20.624.B G09G3/20.624.D G09G3/20.624.Z G09G3/20.621.B G09G3/20.621.A		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA24 2H092/JB61 2H092/NA01 2H092/PA06 2H093/NA16 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC33 2H093/NC34 2H093/NC35 2H093/ND03 2H093/ND07 2H192/AA24 2H192/DA12 2H192/DA42 2H192/FB03 2H192/FB09 2H192/FB32 2H192/GD61 2H193/ZA03 2H193/ZA04 2H193/ZA07 2H193/ZB08 2H193/ZB14 2H193/ZF03 2H193/ZF24 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AC27 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF26 5C006/FA14 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD08 5C080/DD12 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	佐藤隆久		
审查员(译)	中村直之		
其他公开文献	JP2007047703A		
外部链接	Espacenet		

摘要(译)

提供了一种能够优化黑亮度和白亮度的显示装置。 解决方案：CS驱动器和/或栅极驱动器分别设置在电容线106-1至106-m和/或栅极线105-1至105-m的两端，并且选择性地选择栅极线和电容线。具有待驱动的垂直驱动电路102的液晶单元LC201和用于产生具有小振幅的公共电压信号的产生电路104，每个像素电路具有第一像素电极和第二像素电极，以及第一电极并且存储电容器CS201具有第二电极，其中液晶单元的第一像素电极，存储电容器的第一电极和TFT的一个端子连接，并且存储电容器的第二电极布置在相应的行中公共电压信号被施加到液晶单元的第二像素电极，并且CS驱动器基于像素写入时的极性信号独立地驱动每行的相应电容线。 [选定图]图15

$$\Delta V_{pix3} = V_{sig} + \frac{C_{cs}}{C_{cs} + C_{lc} + C_g + C_{sp}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs} + C_{lc} + C_g + C_{sp}} * \frac{\Delta V_{com}}{2} - V_{com}$$

$$\doteq V_{sig} + \frac{C_{cs}}{C_{cs} + C_{lc}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs} + C_{lc}} * \frac{\Delta V_{com}}{2} - V_{com}$$