

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4566459号
(P4566459)

(45) 発行日 平成22年10月20日(2010.10.20)

(24) 登録日 平成22年8月13日(2010.8.13)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
G02F 1/133 550
G09G 3/20 611A
G09G 3/20 622C
G09G 3/20 622D

請求項の数 14 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2001-171887 (P2001-171887)
(22) 出願日 平成13年6月7日(2001.6.7)
(65) 公開番号 特開2002-366113 (P2002-366113A)
(43) 公開日 平成14年12月20日(2002.12.20)
審査請求日 平成18年3月15日(2006.3.15)

(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 110000154
特許業務法人はるか国際特許事務所
(72) 発明者 赤井 亮仁
神奈川県川崎市麻生区王禅寺1099番地
株式会社日立製作所 システム開発研究
所内
(72) 発明者 工藤 泰幸
神奈川県川崎市麻生区王禅寺1099番地
株式会社日立製作所 システム開発研究
所内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

複数のドレイン電極とゲート電極、および液晶層の対向側にある共通電極のそれぞれに対し、所定の電圧を印加して表示を実現するアクティブマトリクス型液晶パネルと、

前記アクティブマトリクス型液晶パネルに対し、走査ラインのゲート電極へゲートパルスを一定周期で線順次に印加する液晶駆動回路とを備えた表示装置において、

第1の走査ラインのゲート電極と第2の走査ラインのゲート電極とは隣接し、

前記第2の走査ラインに対応する画素電極の電位は、前記第1の走査ラインのゲート線に印加される電圧が容量を介することで所望の電位から遷移し、

該液晶駆動回路は、前記第1の走査ラインのゲート電極へ出力する第1のゲートパルスと前記第2の走査ラインのゲート電極へ出力する第2のゲートパルスとの間に設けられる間隔を設定するためのレジスタを有し、前記レジスタの設定値に基づき前記ゲートパルスのパルス幅を変位させて、前記第1の走査ラインのゲート線に印加される電圧が容量を介することで所望の電位から遷移する前記画素電極の印加電位の実効値の浮き上がり量を制御する表示装置。

【請求項2】

複数のドレイン電極とゲート電極、および液晶層の対向側にある共通電極のそれぞれに対し、所定の電圧を印加して表示を実現するアクティブマトリクス型液晶パネルと、

前記アクティブマトリクス型液晶パネルに対し、走査ラインのゲート電極へゲートパルスを一定周期で線順次に印加する液晶駆動回路とを備えた表示装置において、

10

20

第 1 の走査ラインのゲート電極と第 2 の走査ラインのゲート電極とは隣接し、
 前記第 2 の走査ラインに対応する画素電極の電位は、前記第 1 の走査ラインのゲート線に印加される電圧が容量を介することで所望の電位から遷移し、
 該液晶駆動回路は、1 水平走査期間毎に設けられて全てのゲート電極にゲートパルスを出力しないノンオーバーラップ期間を設定するためのレジスタを有し、前記レジスタの設定値に基づき前記ゲートパルスのパルス幅を変位させて、前記第 1 の走査ラインのゲート線に印加される電圧が容量を介することで所望の電位から遷移する前記画素電極の印加電位の実効値の浮き上がり量を制御する表示装置。

【請求項 3】

請求項 2 の表示装置において、
 前記ノンオーバーラップ期間は、外部から入力され、1 水平走査期間を規定する基準クロックのクロック数で規定される表示装置。

【請求項 4】

複数の第 1 の線と、前記複数の第 1 の線と交差する複数の第 2 の線と、マトリックス状に配置された複数の画素であって各画素が前記第 1 の線及び前記第 2 の線に接続された複数の画素を有する表示パネルと、

表示データに応じた階調電圧を前記第 1 の線へ印加するための第 1 のドライバと、
 前記画素のラインを選択する場合に選択電圧を前記第 2 の線へ印加し、前記画素のラインを非選択する場合に非選択電圧を前記第 2 の線へ印加するための第 2 のドライバとを備えた表示装置において、

第 1 の画素のラインに対応する第 2 の線と第 2 の画素のラインに対応する第 2 の線とは隣接し、

前記第 2 の画素のラインに対応する画素電極の電位は、前記第 1 の画素のラインに対応する第 2 の線に印加される電圧が容量を介することで所望の電位から遷移し、

前記第 2 のドライバは、前記選択電圧を、一定周期で前記第 2 の線の 1 本毎に順次印加し、

前記第 2 のドライバは、前記選択電圧を、1 フレーム期間内に、前記第 2 の線の 1 本あたり 1 回ずつ印加し、

前記第 2 のドライバは、1 水平走査期間の第 1 の期間に前記選択電圧を前記第 2 の線の 1 本に印加し、同一の前記 1 水平走査期間の第 2 の期間に前記非選択電圧を同一の前記第 2 の線の 1 本に印加し、

前記第 2 のドライバは、(n - 1) 番目の水平走査期間に (n - 1) 番目の第 2 の線への前記選択電圧の印加が終了してから n 番目の水平走査期間に n 番目の第 2 の線への前記選択電圧の印加が開始するまでの間に、前記非選択電圧を、前記 (n - 1) 番目の第 2 の線と前記 n 番目の第 2 の線の両方へ印加し、

前記非選択電圧を、前記 (n - 1) 番目の第 2 の線と前記 n 番目の第 2 の線の両方へ印加する間を設定するためのレジスタを有し、前記レジスタの設定値に基づき前記第 1 の期間を変位させて、前記第 1 の画素のラインに対応する第 2 の線に印加される電圧が容量を介することで所望の電位から遷移する前記画素電極の印加電位の実効値の浮き上がり量を制御する表示装置。

【請求項 5】

請求項 4 の表示装置において、
 前記第 2 のドライバは、前記 (n - 1) 番目の水平走査期間に前記 (n - 1) 番目の第 2 の線への前記選択電圧の印加が終了してから前記 n 番目の水平走査期間に前記 n 番目の第 2 の線への前記選択電圧の印加が開始するまでの間に、前記非選択電圧を全ての第 2 の線に印加する表示装置。

【請求項 6】

請求項 4 の表示装置において、
 前記 (n - 1) 番目の水平走査期間に前記 (n - 1) 番目の第 2 の線への前記選択電圧の印加が終了してから前記 n 番目の水平走査期間に前記 n 番目の第 2 の線への前記選択電

10

20

30

40

50

圧の印加が開始するまでの間は、基準クロックのN個分である表示装置。

【請求項7】

請求項4の表示装置において、

前記画素は、画素電極と、前記画素電極と前記第1の線と前記n番目の第2の線とに接続されたスイッチと、前記(n-1)番目のゲート線と前記画素電極の間に接続されたC addを有する表示装置。

【請求項8】

請求項4の表示装置において、

前記1水平走査期間は、前記第1の期間と前記第2の期間からなる表示装置。

【請求項9】

請求項4の表示装置は、

前記1水平走査期間は、前記第1のドライバが前記階調電圧を前記第1の線へ印加する期間である表示装置。

【請求項10】

複数の第1の線と、前記複数の第1の線と交差する複数の第2の線と、マトリックス状に配置された複数の画素であって各画素が前記第1の線及び前記第2の線に接続された複数の画素を有する表示パネルと、

表示データに応じた階調電圧を前記第1の線へ印加するための第1のドライバと、

前記画素のラインを選択する場合に選択電圧を前記第2の線へ印加し、前記画素のラインを非選択する場合に非選択電圧を前記第2の線へ印加するための第2のドライバとを備えた表示装置において、

第1の画素のラインに対応する第2の線と第2の画素のラインに対応する第2の線とは隣接し、

前記第2の画素のラインに対応する画素電極の電位は、前記第1の画素のラインに対応する第2の線に印加される電圧が容量を介することで所望の電位から遷移し、

前記第2のドライバは、前記選択電圧を、一定周期で前記第2の線の1本毎に順次印加し、

前記第2のドライバは、前記選択電圧を、1フレーム期間内に、前記第2の線の1本あたり1回づつ印加し、

前記第2のドライバは、1水平走査期間のうち前記選択電圧を前記第2の線の1本に印加する第1の期間以外の第2の期間であって、前記第1の期間の片側に隣接する第2の期間に、前記非選択電圧を同一の前記第2の線の1本に印加し、

前記第2のドライバは、(n-1)番目の水平走査期間に(n-1)番目の第2の線への前記選択電圧の印加が終了してからn番目の水平走査期間にn番目の第2の線への前記選択電圧の印加が開始するまでの間に、前記非選択電圧を、前記(n-1)番目の第2の線と前記n番目の第2の線の両方へ印加し、

前記非選択電圧を、前記(n-1)番目の第2の線と前記n番目の第2の線の両方へ印加する間を設定するためのレジスタを有し、前記レジスタの設定値に基づき前記第1の期間を変位させて、前記第1の画素のラインに対応する第2の線に印加される電圧が容量を介することで所望の電位から遷移する前記画素電極の印加電位の実効値の浮き上がり量を制御する表示装置。

【請求項11】

請求項10の表示装置において、

前記第2のドライバは、前記(n-1)番目の水平走査期間に前記(n-1)番目の第2の線への前記選択電圧の印加が終了してから前記n番目の水平走査期間に前記n番目の第2の線への前記選択電圧の印加が開始するまでの間に、前記非選択電圧を全ての第2の線に印加する表示装置。

【請求項12】

請求項10の表示装置において、

前記(n-1)番目の水平走査期間に前記(n-1)番目の第2の線への前記選択電圧

10

20

30

40

50

の印加が終了してから前記 n 番目の水平走査期間に前記 n 番目の第 2 の線への前記選択電圧の印加が開始するまでの間は、基準クロックの N 個分である表示装置。

【請求項 13】

請求項 10 の表示装置において、

前記画素は、画素電極と、前記画素電極と前記第 1 の線と前記 n 番目の第 2 の線とに接続されたスイッチと、前記 (n - 1) 番目のゲート線と前記画素電極の間に接続された C a d d を有する表示装置。

【請求項 14】

請求項 10 の表示装置において、

前記 1 水平走査期間は、前記第 1 のドライバが前記階調電圧を前記第 1 の線へ印加する期間である表示装置。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】

本発明はドットマトリクス型液晶を表示するための液晶駆動装置に関する。

【0002】

【従来の技術】

まず、図 1 に液晶パネルに対して、ドレインドライバ、電源回路、ゲートドライバの 3 チップで構成された従来の T F T 液晶表示装置を示す。この中で、液晶パネルは画素毎に T F T が配置されており、これに接続するドレイン線とゲート線とがマトリクス状に配線されている。T F T のソースが画素電極へ接続され、液晶をはさんで対向側にある共通電極との印加電圧の差で表示輝度を制御することになる。ドレインドライバは各ドレイン線に階調電圧を出力し、電源回路はドレインドライバとゲートドライバへそれぞれの駆動電圧を供給するとともに共通電極に共通電圧を出力する。ゲートドライバはゲート線に選択期間を示すタイミングパルスを出力する。

【0003】

ここで、図 3 は従来のゲートドライバの入出力波形のタイミングチャートをまとめたものである。ラインパルスにより、1 走査期間が設定され、1 走査期間 × 駆動ライン数で 1 フレーム期間が設定される。ゲートパルスはフレームパルスがハイレベル時でラインパルスの立ち下がりに同期して先頭ラインにゲート線選択電圧を与える。その後、ラインパルスに同期し、次ラインへ順次印加するものとする。

【0004】

【発明が解決しようとする課題】

上記したゲートドライバの出力を、例えば、図 2 に示す C a d d 構成のパネルに適用した場合、特にノーマリブラックの液晶において、黒の表示輝度が上昇し、適正なコントラストを得ることができないことがある。

【0005】

この表示輝度浮き上がりは液晶パネルの構造が C a d d 構造であることに起因する。図 2 に示すように画素電極は前段のゲート線と C a d d を介して接続されている。前段のゲート線にハイ電圧が印加されると、C a d d を介して、画素電極が高電圧側に遷移するため、その分表示輝度が浮き上がるのである。

【0006】

図 5 は従来技術における入力信号群と C a d d 構造における共通電極と画素電極との電位差である液晶印加電圧のタイミングチャートを示す。n ライン目の画素電極にかかる電圧が n - 1 ラインのゲートパルスにより高電位に遷移してしまい、斜線部の電位だけ実効値が上がっている。

【0007】

この現象は図 4 に示すように駆動ライン数、すなわちゲートのパルス幅 (デューティ) に依存している。特に、携帯電話向けの 200 ライン以下の液晶パネルでは表示輝度の上昇が無視できない。

10

20

30

40

50

【 0 0 0 8 】

本発明の目的は、コントラストを向上した液晶駆動装置を提供することである。

【 0 0 0 9 】

又は、本発明の目的は、消費電力を低減した液晶駆動装置を提供することである。

【 0 0 1 0 】

【課題を解決するための手段】

先に述べた課題を解決するにあたり、ゲートパルスによる画素電極の電圧変動量を少なくすることを考えると、ゲートパルスの振幅を小さくする方法、あるいはパルス幅を小さくする方法が考えられる。ただし、前者は T F T の O N、O F F に必要な電圧であることから、後者のゲートパルス幅に着目した。

10

【 0 0 1 1 】

図 6 にゲートのパルス幅を小さくした場合における C a d d 構造における液晶印加電圧の波形を示す。この場合も液晶パネルが C a d d 構造であるため、前段のゲートパルス印加時に印加電位が高電位側へ遷移してしまうが、ゲートパルス幅を小さくすることにより、印加電圧が高電位に遷移している時間が短くなり、実効値の浮き上がり量も小さくなっている。

【 0 0 1 2 】

図 7 は駆動ラインを 1 6 2 ラインとした場合の 1 水平期間に対するゲートパルス幅の割合と輝度特性との関係である。ゲートパルス幅を従来の 1 水平期間とその 5 0 % 幅の場合と比較してみると、表示輝度に差異があり、電圧実効値で 200 m V の差がある。つまり、実機評価においてもゲートパルス幅を小さくすることにより、目標表示輝度に近づけることができることが判った。そこで、本発明のゲート線駆動回路において、ゲートパルス幅を小さくすると共にパルス幅を調整可能とすることにした。

20

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明第一のゲート線駆動回路の実施の形態を図 8 ~ 図 9 を用いて説明する。

【 0 0 1 4 】

図 8 は本発明第一の実施の形態に関わるゲート線駆動回路のブロック図を示したものであり、8 0 1 はゲート線駆動回路、8 0 2 はスキャンデータ発生回路、8 0 3 はレベルシフタ、8 0 4 はゲート線駆動部である。

30

【 0 0 1 5 】

そして、ゲート線駆動回路 8 0 1 への入力は、ラインパルス、フレームパルスと、ゲートのパルス幅信号とする。なお、パルス幅信号は 1 水平期間を周期とし、ハイ幅はゲートパルス幅とする。

【 0 0 1 6 】

スキャンデータ発生回路 8 0 2 は入力されたフレームパルスとラインパルスをもとに、ゲート線選択電圧の印加タイミングを生成する。ここでは、フレームパルスのハイレベル時にラインパルスの立ち下がりに同期して先頭ラインにゲート線選択電圧を与える。その後ラインパルスに同期し、次ラインへ順次印加するものとする。なお、ここで出力するスキャンデータのハイ幅は 1 水平期間の信号となる。

40

【 0 0 1 7 】

スキャンデータ発生回路 8 0 2 の出力であるスキャンデータ A と外部から入力されたパルス幅信号 B とで数 1 の演算を行い、ゲートパルス C を生成する。

【 0 0 1 8 】

【数 1】

$$C = A * B$$

レベルシフタ 8 0 3 はロジック回路の動作電源 V c c G N D から、ゲート線駆動部 8 0 4 の動作電源 V G H V G L へレベル変換する。

50

【 0 0 1 9 】

ゲート線駆動部 8 0 4 へはレベルシフタ 8 0 3 で変換した信号を入力し、電源回路から供給される選択電圧 V G H、非選択電圧 V G L をバッファ出力する。

【 0 0 2 0 】

以上、説明した構成と動作により、本発明第一の形態に関わる液晶のゲート線駆動装置 8 0 1 は、ゲートパルス幅を小さくすることで、液晶印加電圧の実効値を理想値に近づけることができる。また、外部から与えるパルス幅信号のハイ幅を変更することにより、ゲートパルス幅を調整することができる。したがって、本発明の目的である、適正なコントラストを得ることができる。

【 0 0 2 1 】

以下、本発明第二のゲート線駆動回路の実施の形態を、図 1 0 ~ 図 1 3 を用いて説明する。

【 0 0 2 2 】

図 1 0 は本発明第二の実施の形態に関わるゲート線駆動回路のブロック図を示したものである。本発明は、ゲートパルス幅を小さくするためにノンオーバーラップ期間と呼ぶどのゲート線へも選択電圧が入力されない期間を設けることでゲートパルス幅を小さくする。このノンオーバーラップ期間を調整可能とすることでゲートパルス幅も可変とする。

【 0 0 2 3 】

1 0 0 1 はゲート線駆動回路、1 0 0 2 はスキャンデータ発生回路、1 0 0 3 はレベルシフタ、1 0 0 4 はゲート線駆動部、1 0 0 5 はノンオーバーラップ期間生成部、1 0 0 6 は

【 0 0 2 4 】

そして、ゲート線駆動回路 1 0 0 1 への入力は、基準クロック、ラインパルス、フレームパルス、ノンオーバーラップ期間情報とする。ノンオーバーラップ期間は基準クロック数により規定することにしたため、ノンオーバーラップ期間情報は指定した基準クロック数となる。

【 0 0 2 5 】

次にゲート線駆動回路 1 0 0 1 を構成する各ブロックを説明する。

【 0 0 2 6 】

スキャンデータ発生回路 1 0 0 2 は入力されたフレームパルスとラインパルスとをもとに、選択電圧の印加タイミングを生成する。ここでは、フレームパルスのハイレベル時でラインパルスの立ち下がりに同期して先頭ラインにゲート線選択電圧を与える。その後ラインパルスに同期し、次ラインへ順次印加するものとする。なお、ここで出力する信号はスキャンデータのハイ幅は 1 水平期間の信号となる。

【 0 0 2 7 】

外部から入力されるノンオーバーラップ期間情報はまずレジスタ 1 0 0 6 に格納される。格納されたノンオーバーラップ期間を示す基準クロック数はノンオーバーラップ期間生成部 1 0 0 5 で使用される。

【 0 0 2 8 】

ノンオーバーラップ期間生成部 1 0 0 5 は基準クロックとノンオーバーラップ期間情報である基準クロック数をもとにしてノンオーバーラップ期間波形 E を生成する。この波形はノンオーバーラップ期間を示す V c c、それ以外の期間を示す G N D の信号である。これらスキャンデータ発生回路 1 0 0 2 の出力であるスキャンデータ D とノンオーバーラップ生成部出力 E とで数 2 の演算を行い、目標とするゲートパルス F を得る。

【 0 0 2 9 】

【 数 2 】

$$F = D * \overline{E}$$

10

20

30

40

50

レベルシフタ1003はゲートパルスFについて、ロジック回路の動作電源Vcc GNDから、ゲート線駆動部1004の動作電源VGH VGLへレベル変換する。

【0030】

ゲート線駆動部1004へはレベルシフタ1003で変換した信号を入力し、電源回路から供給される選択電圧VGH、非選択電圧VGLをバッファ出力する。

【0031】

次に、ノンオーバーラップ期間生成部1005のより詳細な動作について説明する。

【0032】

ノンオーバーラップ期間生成部1005内のブロック図を図11に示す。ノンオーバーラップ期間生成部1005はカウンタ1101と比較器1102から構成されている。ここでのカウンタはラインカウンタの立ち下がりでリセットされる構成となっている。

10

【0033】

基準クロックをこのカウンタでカウントaし、設定したノンオーバーラップ期間のクロック数mと比較する。m > aでノンオーバーラップ期間を示すVccを、m < aでGNDの信号を出力する。図9に示すノンオーバーラップ期間生成部1005の入出力信号のタイムチャートでわかるように、ノンオーバーラップ期間生成部1005の出力Eは周期が1水平期間で、ハイ幅は設定された基準クロック数で規定されたパルス信号となる。

【0034】

ここで、フレームパルス、ラインパルス、スキャンデータ発生回路出力、ノンオーバーラップ生成部出力、ゲートパルス、液晶印加電圧のタイミングチャートを図13にまとめる。ゲート線駆動回路1001の出力Fはスキャンデータ発生回路1002の出力Dとノンオーバーラップ期間生成部1005の出力Eとの数2の演算で得られた信号となる。したがって、液晶印加電圧の変動量を図13に示す斜線部に抑えることができる。

20

【0035】

以上、説明した構成と動作により、本発明第二の形態に関わる液晶のゲート線駆動装置1001は、ノンオーバーラップ期間を基準クロック数の設定により、ゲートパルス幅を任意に変位させ、液晶印加電圧の実効値を理想値に近づけることができるようになった。したがって、本発明の目的である、適正なコントラストを得ることができる。

【0036】

次に、本発明第三のゲート線駆動回路の実施の形態を、図14～図19を用いて説明する。

30

【0037】

従来の液晶駆動装置においてパネルの一部のみを表示するパーシャル表示という機能がある。しかし、パーシャル表示時に全画面をスキャンすると、非表示領域のスキャンによる無駄な電力を消費する。そこで、本発明では、図15に示すように、非表示領域は表示領域よりも遅い周期で走査することで、低消費電力化が可能であると考えた。

【0038】

まず、図14にスキャン頻度(nフレームに1回)とパネルの充放電における消費電力との関係を示す。ここでの消費電力は1フレームに1回スキャンした場合を1として表記している。この図より、20フレームに1回以内であれば、非表示部の走査頻度を下げていくことにより、低消費電力化に効果があることが判る。ただし、走査頻度を下げていくと、非走査期間が増加し、ゲートリークによりDC電圧が印加され、画質が悪化することが判っている。そこで、設定により走査頻度を調整できるようにした。

40

【0039】

次に、本発明第二の実施の形態に関わるゲート線駆動回路のブロック図を図16に示す。

【0040】

1601はゲート線駆動回路、1602はスキャンデータ発生回路、1603はレベルシフタ、1604はゲート線駆動部、1605はパーシャル表示時の非走査タイミング生成部、1606はパーシャル表示機能情報を格納するレジスタである。

【0041】

50

そして、ゲート線駆動回路 1601 への入力はフレームパルス、ラインパルス、パーシャル表示機能情報とする。パーシャル表示機能情報は表示領域の開始ライン SS と終了ライン SE、非表示領域の走査頻度 SCN とする ($n = SCN$)。

以降、走査頻度は n フレームに 1 回を前提に説明する。

【0042】

次に、本発明に係わる、データ線制御装置 1601 を構成する各ブロックを説明する。

【0043】

スキャンデータ発生回路 1602 へは、フレームパルスとラインパルスとが入力され、選択電圧の印加タイミングを生成する。ここでは、フレームパルスのハイレベル時とラインパルスの立ち下がりに同期して先頭ラインに選択電圧を与え、その後ラインパルスに同期し、次ラインへ順次印加するものとする。なお、ここで生成される信号は毎フレーム全ライン走査する際の波形となる。

10

【0044】

外部から入力されるパーシャル表示機能情報はレジスタ 1606 に格納される。格納されたパーシャル表示機能情報である表示領域の開始ライン SS と終了ライン SE のデータと非表示領域のスキャン頻度 n は非走査タイミング生成部 1605 で使用される。

【0045】

非走査タイミング生成部 1605 にはフレームクロック、ラインクロック、表示領域の開始ライン SS と終了ライン SE、スキャン頻度 n が入力される。まず、非走査のタイミング生成部 1605 では、ラインクロックと表示領域データから表示ラインを示す GND、非表示ラインを示す Vcc の非表示ライン信号 G と、フレームクロックとスキャン頻度 n (n フレームに 1 回スキャン) から非表示領域をスキャンするフレームを示す Vcc、スキャンしないフレームを示す GND の非表示スキャン信号 H を生成する。この非表示ライン信号 G と非表示スキャン信号 H とで数 3 の演算を行い、スキャン期間は GND、ノンスキャン期間は Vcc とする非走査タイミング信号 I を出力する。

20

【0046】

【数 3】

$$I = G * \overline{H}$$

30

次に、非走査タイミング生成部 1605 のより詳細な動作について説明する。

【0047】

非走査タイミング生成部 1605 内のブロック図を図 17 に示す。非走査タイミング生成部 1605 はラインカウンタ 1701、比較器 1702、 n 進カウンタ 1703、比較器 1704 から構成されており、前述のフレーム内の表示ラインと非表示ラインを示す信号 G はラインカウンタ 1701 と比較器 1702 で生成する。なお、ここでのカウンタ 1701 でフレームパルスの立ち上がりでリセットされる構成となっている。ラインパルスはこのカウンタ 1701 でカウントし、開始ライン SS、終了ライン SE とでそれぞれ比較する。LP < SS、LP > SE で非表示ラインを示す Vcc を、SS LP SE で表示ラインを示す GND の非表示領域波形 G を出力する。非表示領域のスキャンとノンスキャンフレームを示す信号 H は n 進カウンタ 1703 と比較器 1704 で生成する。フレームパルスを n 進カウンタ 1703 でカウントし、設定したスキャン頻度 n と比較する。カウンタ 1703 が 0 となった場合に非表示領域でスキャンすることを示す Vcc を、それ以外の場合は非表示領域でスキャンしないことを示す GND の非表示領域スキャン信号 H を出力する。

40

【0048】

さらに、この非表示領域波形 G、非表示領域スキャン信号 H とで上記の数 3 の演算を行い、非走査タイミング生成部 1605 の非走査タイミング波形 I を生成する。

【0049】

50

例として、図 18 に 2 ライン表示し、3 ライン以降を非表示とした場合の非走査タイミング生成部 1605 のタイムチャートを示す。

【0050】

さらに、非走査タイミング波形 I とスキャンデータ J とで数 4 の演算を行い、ゲート線駆動回路 1601 のゲートパルス K が得られる。

【0051】

【数 4】

$$K = J * I$$

10

ここでフレームパルス、ラインパルス、スキャンデータ発生回路出力、非走査タイミング生成部出力、ゲートパルスのタイミングチャートを図 19 にまとめて示す。

【0052】

以上、説明した構成と動作により、本発明第三の形態に関わる液晶のゲート線駆動装置 1601 は、非表示領域の走査頻度を低減する、例えば、数フレームに 1 回に走査とすることで、ゲート線の充放電による消費電力低減が可能となる。したがって、本発明の目的である、低消費電力化を図ることができる。

【0053】

以上述べた、本発明第一～第三と第四の実施の形態は、組み合わせることが可能である。これにより、適正なコントラストが得られ、低消費電力化が実現できる。

20

【0054】

本発明の実施の形態のゲート線駆動回路により、走査信号のハイ幅を調整するためのノンオーバーラップ期間を設定し、その期間を基準クロック数で規定し、調節可能とした。これにより、液晶印加実効値の変動量を削減でき、液晶印加電圧の実効値を理想値に近づけることで、適正なコントラストを得られることができる。さらに、パーシャル表示機能で非表示領域の走査頻度を設定により調節可能とした。これにより、走査頻度を低減することにより、非表示領域のゲート線充放電回数が少なくなり、低消費電力化が実現できる。

【0055】

本発明の実施の形態は、ライン数が少ない小型の液晶パネルを駆動するのに最適である。但し、中型、大型の液晶パネルを駆動する場合にも、同様の効果を得る。

30

【0056】

【発明の効果】

本発明によれば、ゲートパルス幅を適正化することにより、表示画像のコントラストを向上できるという効果を奏する。

【0057】

又は、本発明によれば、非表示領域のゲート線充放電回数が減少し、液晶駆動装置の消費電力を低減するという効果を奏する。

【図面の簡単な説明】

【図 1】液晶表示装置の構造を説明する図である。

【図 2】液晶のパネル構造を説明する図である。

40

【図 3】従来の入力波形による、ゲート線駆動回路の動作を示すタイミング図である。

【図 4】従来の入力波形による、駆動ライン数と液晶印加電圧実行値との関係を示す図である。

【図 5】従来の入力波形による、ゲート線駆動回路の動作を示すタイミング図である。

【図 6】本発明第一の実施の形態に係わる、ゲート線駆動回路の動作を示すタイミング図である。

【図 7】本発明第一の実施の形態に係わる、実機評価でのゲートパルス幅と表示輝度との関係を示す図である。

【図 8】本発明第一の実施の形態に係わる、ゲート線駆動回路の構成を示すブロック図である。

50

【図 9】本発明第一の実施の形態に係わる、ゲート線駆動回路の動作を示すタイミング図である。

【図 10】本発明第二の実施の形態に係わる、ゲート線駆動回路の構成を示すブロック図である。

【図 11】本発明第二の実施の形態に係わる、ゲート線駆動回路内のノンオーバーラップ期間生成部の構成を示すブロック図である。

【図 12】本発明第二の実施の形態に係わる、ゲート線駆動回路内のノンオーバーラップ期間生成部の動作を示すタイミング図である。

【図 13】本発明第二の実施の形態に係わる、ゲート線駆動回路の動作を示すタイミング図である。

10

【図 14】走査頻度と消費電力との関係を示す図である。

【図 15】ゲート線駆動回路の動作を示すタイミング図である。

【図 16】本発明第三の実施の形態に係わる、ゲート線駆動回路の構成を示すブロック図である。

【図 17】本発明第三の実施の形態に係わる、ゲート線駆動回路内の非走査タイミング生成部の構成を示すブロック図である

【図 18】本発明第三の実施の形態に係わる、ゲート線駆動回路内の非走査タイミング生成部の動作を示すタイミング図である

【図 19】本発明第三の実施の形態に係わる、ゲート線駆動の動作を示すタイミング図である

20

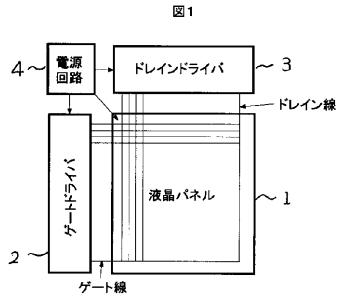
【符号の説明】

1 ... 液晶パネル、2 ... ゲートドライバ、3 ... ドレインドライバ、4 ... 電源回路、801 ... ゲート線駆動回路、802 ... スキャンデータ発生回路、803 ... レベルシフタ、

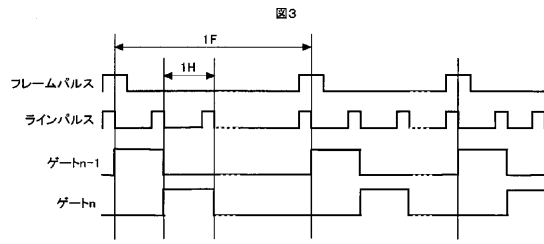
804 ... ゲート線駆動部、1001 ... ゲート線駆動回路、1002 ... スキャンデータ発生回路、1003 ... レベルシフタ、1004 ... ゲート線駆動部、1005 ... ノンオーバーラップ期間生成部、1006 ... レジスタ、1101 ... カウンタ、1102 ... 比較器、1601 ... ゲート線駆動回路、1602 ... スキャンデータ発生回路、1603 ... レベルシフタ、1604 ... ゲート線駆動部、1605 ... 非走査タイミング生成部、1606 ... レジスタ、1701 ... カウンタ、1702 ... 比較器、1703 ... n進カウンタ、1704 ... 比較器。

30

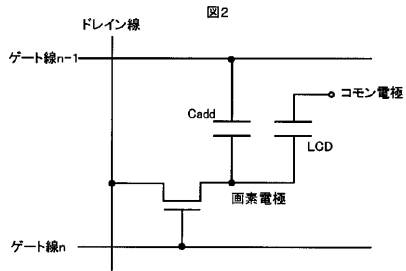
【図1】



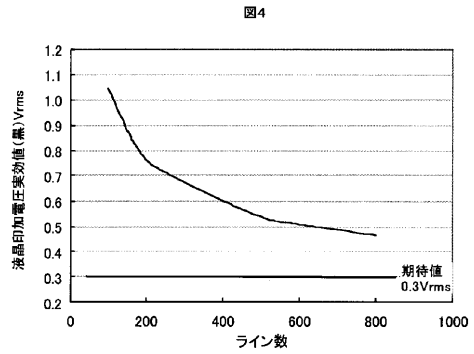
【図3】



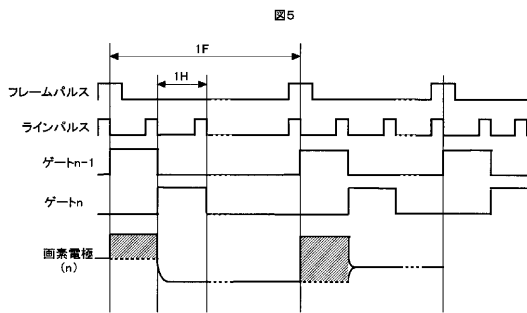
【図2】



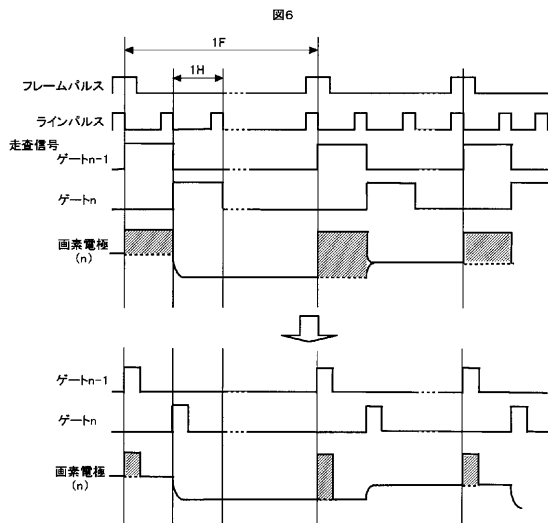
【図4】



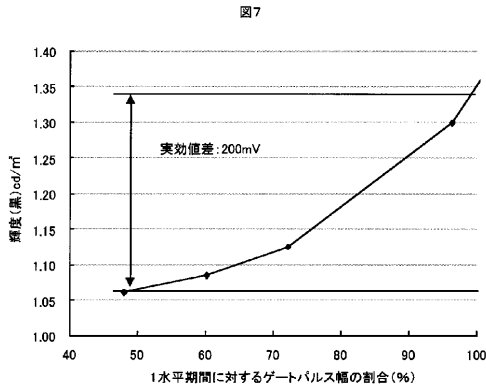
【図5】



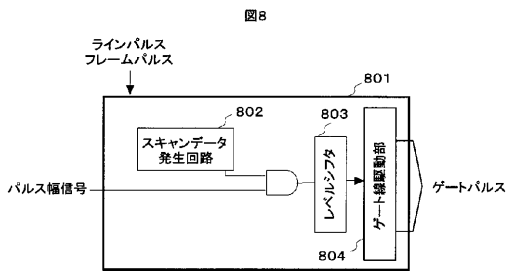
【図6】



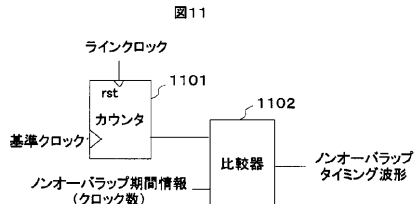
【 図 7 】



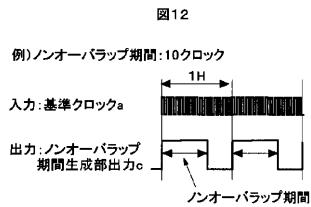
【 図 8 】



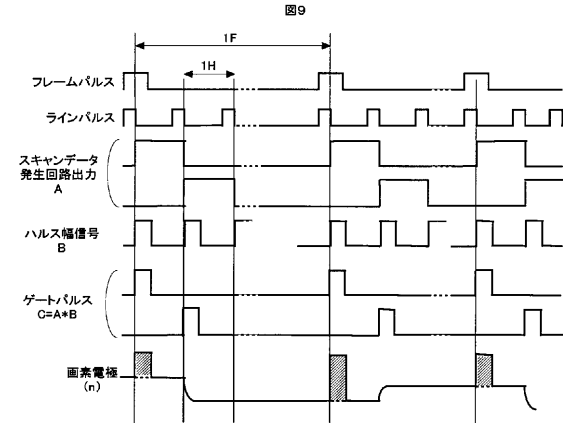
【 図 1 1 】



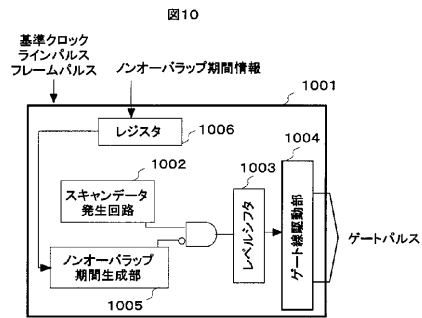
【 図 1 2 】



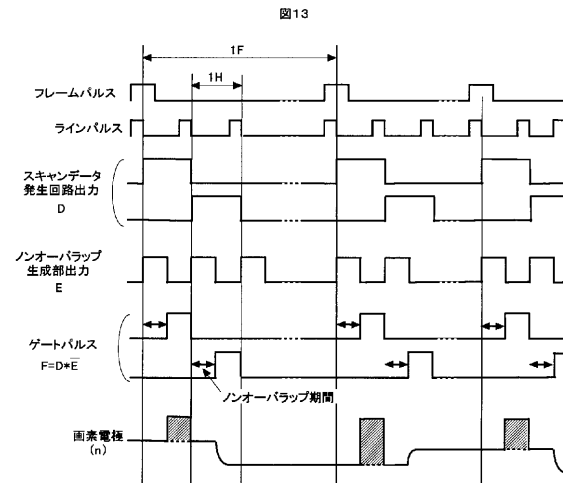
【 図 9 】



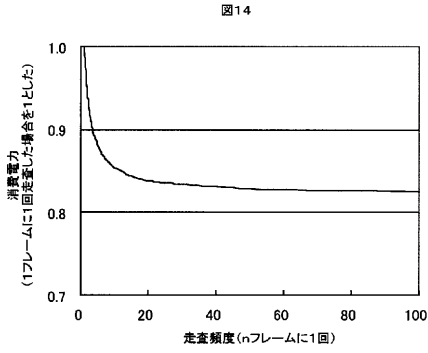
【 図 1 0 】



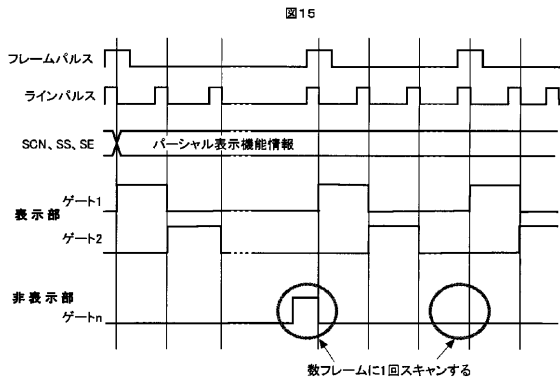
【 図 1 3 】



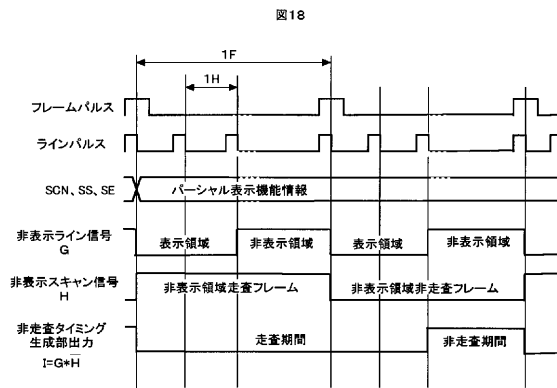
【図14】



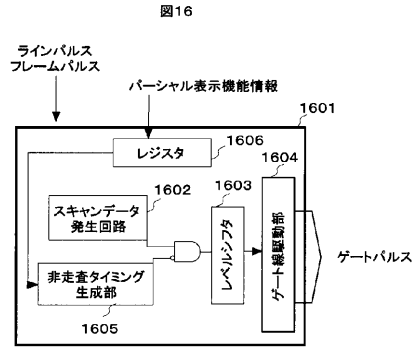
【図15】



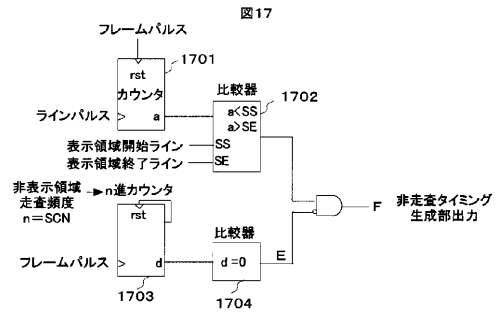
【図18】



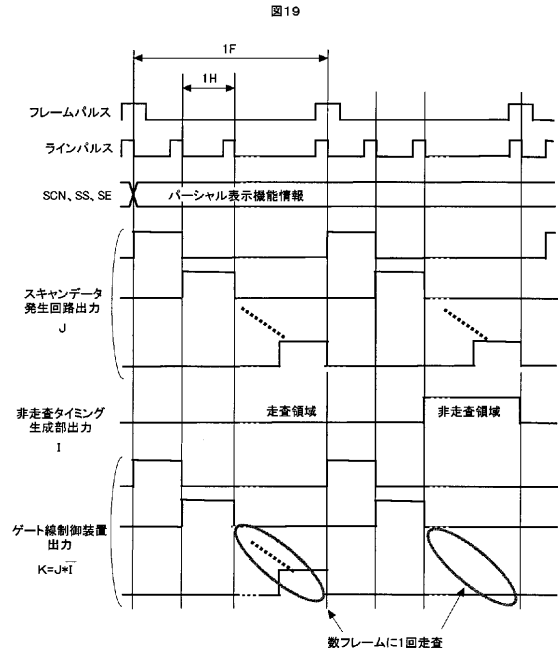
【図16】



【図17】



【図19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 R
G 0 9 G 3/20 6 4 1 A
G 0 9 G 3/20 6 4 2 E

- (72)発明者 大門 一夫
千葉県茂原市早野3300番地 株式会社日立製作所 半導体グループ内
- (72)発明者 黒川 一成
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 ディスプレイグループ内
- (72)発明者 比嘉 淳裕
神奈川県横浜市戸塚区吉田町292番地 株式会社日立画像情報システム内

審査官 安藤 達哉

- (56)参考文献 特開2000-035560(JP,A)
特開2001-215469(JP,A)
特開平09-005775(JP,A)
特開平10-333629(JP,A)
特開平04-247491(JP,A)
特開昭63-236010(JP,A)

- (58)調査した分野(Int.Cl., DB名)
IPC G09G 3/00 - 3/38
G02F 1/133 505-580

专利名称(译)	表示装置		
公开(公告)号	JP4566459B2	公开(公告)日	2010-10-20
申请号	JP2001171887	申请日	2001-06-07
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	赤井亮仁 工藤泰幸 大門一夫 黒川一成 比嘉淳裕		
发明人	赤井 亮仁 工藤 泰幸 大門 一夫 黒川 一成 比嘉 淳裕		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G3/00		
CPC分类号	G09G3/3659 G09G3/3677 G09G2310/065 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.622.C G09G3/20.622.D G09G3/20.622.R G09G3/20.641.A G09G3/20.642.E		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA51 2H093/NC01 2H093/ND39 2H193/ZD21 2H193/ZF01 5C006 /AA15 5C006/AC22 5C006/AF44 5C006/AF52 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF46 5C006/FA47 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD26 5C080/EE28 5C080 /FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05		
审查员(译)	安藤达也		
其他公开文献	JP2002366113A5 JP2002366113A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种栅极线驱动电路，可以调节扫描信号的脉冲宽度，以减少栅极脉冲施加到前级期间液晶施加电压的变化现象，并调整非扫描频率显示部分通过部分显示功耗降低功能。解决方案：栅极线驱动电路的特征在于，用于调整扫描信号的高宽度的非重叠时段被设置并由参考时钟的数量规定并且可以被调整。

図4

