

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4170242号
(P4170242)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月15日(2008.8.15)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 612K
	G09G 3/20 612U
	G09G 3/20 621F
請求項の数 6 (全 12 頁) 最終頁に続く	

(21) 出願番号 特願2004-61408 (P2004-61408)
 (22) 出願日 平成16年3月4日(2004.3.4)
 (65) 公開番号 特開2005-250177 (P2005-250177A)
 (43) 公開日 平成17年9月15日(2005.9.15)
 審査請求日 平成17年3月10日(2005.3.10)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 田口 穂
 大阪府大阪市阿倍野区長池町2番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置および液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

1 水平期間中に、あるラインへの本充電と、該本充電が実施されるラインよりも後に本充電が実施されるラインへの予備充電とを行う液晶表示装置において、

上記予備充電は、本充電を行なう水平期間中に予備充電ラインの走査信号のON期間を設けることにより、本充電ライン用のデータ信号によって行なわれるものであり、

同じ水平期間中に本充電が実施されるラインと予備充電が実施されるラインとのデータを比較し、予備充電が実施されるラインよりも本充電が実施されるラインにおいて、より充電を必要とする画素がある場合には、予備充電が実施されるラインの全ての画素において過充電が発生しないように予備充電期間を短く設定する予備充電期間調整手段を備えていることを特徴とする液晶表示装置。

【請求項2】

上記予備充電期間調整手段は、

あるラインのデータが入力されるとこれを格納し、該データを格納したラインの本充電と同時に予備充電が実施されるラインのデータが入力されるまでこれを保持する格納手段と、

上記格納手段に格納されたデータによって、同じ水平期間中に本充電が実施されるラインと予備充電が実施されるラインとのデータを比較する比較手段と、

上記比較手段の比較によって、予備充電が実施されるラインよりも本充電が実施されるラインにおいて、より充電を必要とする画素があると判断された場合に、予備充電が実施

されるラインの全ての画素において過充電が発生しないように予備充電期間を短く設定する設定手段を備えていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

上記比較手段は、比較対象となる 2 ラインの全ての画素について、同一ソースライン上の画素同士の間データ比較を行い、本充電時の充電レベルよりも予備充電時の充電レベルの方が大きく、かつそのレベル差が最も大きい画素を検出し、

上記設定手段は、上記比較手段によって検出されたレベル差に対応する予備充電期間の設定パラメータを、上記レベル差と設定パラメータとが予め対応付けて格納されているテーブルから読み出して、読み出された設定パラメータに基づいて予備充電期間の設定を行うことを特徴とする請求項 2 に記載の液晶表示装置。

10

【請求項 4】

1 水平期間中に、あるラインへの本充電と、該本充電が実施されるラインよりも後に本充電が実施されるラインへの予備充電とを行う液晶表示装置において、

上記予備充電は、本充電を行なう水平期間中に予備充電ラインの走査信号の ON 期間を設けることにより、本充電ライン用のデータ信号によって行なわれるものであり、

各ラインへの本充電期間を設定する第 1 のクロック信号と、各ラインへの予備充電期間を設定する第 2 のクロック信号との 2 種類のクロック信号を用いてゲートライン駆動を行い、

上記第 2 のクロック信号は、予備充電期間が可変となるように、各ゲートライン駆動毎に、対応するパルス幅が調整されるものであり、

20

上記第 2 のクロック信号によって、予備充電が実施されるラインよりも本充電が実施されるラインにおいて、より充電を必要とする画素がある場合には、予備充電が実施されるラインの全ての画素において過充電が発生しないように予備充電期間が短く設定されることを特徴とする液晶表示装置。

【請求項 5】

1 水平期間中に、あるラインへの本充電と、該本充電が実施されるラインよりも後に本充電が実施されるラインへの予備充電とを行う液晶表示装置の駆動方法において、

上記予備充電は、本充電を行なう水平期間中に予備充電ラインの走査信号の ON 期間を設けることにより、本充電ライン用のデータ信号によって行なわれるものであり、

同じ水平期間中に本充電が実施されるラインと予備充電が実施されるラインとのデータを比較し、予備充電が実施されるラインよりも本充電が実施されるラインにおいて、より充電を必要とする画素がある場合には、予備充電が実施されるラインの全ての画素において過充電が発生しないように予備充電期間を短く設定することを特徴とする液晶表示装置の駆動方法。

30

【請求項 6】

1 水平期間中に、あるラインへの本充電と、該本充電が実施されるラインよりも後に本充電が実施されるラインへの予備充電とを行う液晶表示装置の駆動方法において、

上記予備充電は、本充電を行なう水平期間中に予備充電ラインの走査信号の ON 期間を設けることにより、本充電ライン用のデータ信号によって行なわれるものであり、

各ラインへの本充電期間を設定する第 1 のクロック信号と、各ラインへの予備充電期間を設定する第 2 のクロック信号との 2 種類のクロック信号を用いてゲートライン駆動を行い、

40

上記第 2 のクロック信号に対しては、予備充電期間が可変となるように、各ゲートライン駆動毎に、対応するパルス幅を調整するものであり、

上記第 2 のクロック信号によって、予備充電が実施されるラインよりも本充電が実施されるラインにおいて、より充電を必要とする画素がある場合には、予備充電が実施されるラインの全ての画素において過充電が発生しないように予備充電期間が短く設定されることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、ゲート飛び越し2パルス駆動を行う液晶表示装置に関するものである。

【 背景技術 】

【 0 0 0 2 】

近年のTFT(Thin Film Transistor)液晶表示装置の高精細化が進む中、一種のキャパシタである液晶画素を充電する時間は徐々に削減されており、本来の階調表示に必要な充電量を得られないケースも発生しがちである。また、液晶表示装置には応答速度が遅いという欠点もある。

【 0 0 0 3 】

そのような中、上記問題点を克服する一手法として、ゲートドライバ出力を充電対象ラインのTFTだけでなく、さらに2ライン先のTFTにも与え、2ライン先の液晶画素で本充電の前に予備的に充電を施すという手法(以後、ゲート飛び越し2パルス駆動と称する)が特許文献1において開示されている。また、特許文献2には、ゲート飛び越し2パルス駆動において、ゲート出力開始タイミングをソースドライバ出力のなまりにあわせて遅延させるという手法が提案されている。

10

【 0 0 0 4 】

本手法を適用することにより、TFT液晶表示装置の高精細化、駆動周波数の高周波化による充電不足を補えるばかりか、TFT液晶表示装置の応答速度も高速化することが容易になる。

【特許文献1】特開昭60 134293号公報(公開日昭和60年7月17日)

20

【特許文献2】特開平10 232651号公報(公開日平成10年9月2日)

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、ゲート飛び越し2パルス駆動に関し、上記従来構成では、過充電によっておこる階調表示ムラの問題を生じる。これを具体的に説明すると以下の通りである。

【 0 0 0 6 】

すなわち、従来方式におけるゲート飛び越し2パルス駆動では、図8に示すように、TFT液晶画素において本充電対象ラインより2ライン先に予備充電を行う際、予備充電期間のラインに対しても本充電期間のラインと全く同等の充電が実施される構成になっていた。これは、同一のソースライン上に本充電期間の画素と予備充電期間の画素とが同時に存在し、1本のソースラインによって本充電対象ラインの画素にその階調データの本充電を実施すると同時に予備充電対象ラインの画素に本来の階調データに近いレベルの予備充電を実施することは不可能なためである。

30

【 0 0 0 7 】

この時、2ライン前の本充電対象ラインにおける階調表示が予備充電対象ラインにおける階調表示よりも、より高い充電電圧を要する階調レベルであった場合、図9に示すように、予備充電対象ラインの液晶画素には、この予備充電によって本来の充電レベルよりも必然的に過充電されてしまう。尚、上述のような予備充電を行わず本充電のみで各画素を充電するゲート1パルスモードでは、各充電対象ラインにおいて本来の階調レベルに応じた充電を行えばよく、過充電は発生しない。このため、正規の階調レベル表示が可能である。

40

【 0 0 0 8 】

そして、ゲート飛び越し2パルス駆動の場合、予備充電によって過充電された対象ラインは、本充電期間となった時に、予備充電時の過充電電荷が放電されることで本来の充電レベルとならなければならない。しかしながら実際には、TFTのON特性により、場合によっては過充電電荷を放電しきれず、本来の階調とは全く異なった2ライン前に近い階調表示になってしまう。

【 0 0 0 9 】

このため、上述したゲート飛び越し2パルス駆動は、TFT液晶駆動にあたって高精細

50

化、応答速度改善に効果があるものの、ほとんど実用に至っていないのが現状である。

【 0 0 1 0 】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、予備充電時における過充電によっておこる階調表示ムラを防止し、高精細化、応答速度改善に効果のあるゲート飛び越し2パルス駆動を実施できる液晶表示装置を実現することにある。

【課題を解決するための手段】

【 0 0 1 1 】

本発明に係る液晶表示装置は、上記課題を解決するために、1水平期間中に、あるラインへの本充電と、該本充電が実施されるラインよりも先のラインへの予備充電とを行う液晶表示装置において、同じ水平期間中に本充電が実施されるラインと予備充電が実施されるラインとのデータを比較し、その比較結果に基づいて、予備充電が実施されるラインへの予備充電期間を調整する予備充電期間調整手段を備えていることを特徴としている。

10

【 0 0 1 2 】

上述のように、1水平期間中に、あるラインへの本充電とその他のライン（本充電が実施されるラインよりも先のライン）への予備充電とを行う駆動方法では、一つの画素に対して、予備充電と本充電との2回の充電が行われる。この駆動方法は、TF T液晶駆動にあたって高精細化、応答速度改善に効果があるものの、予備充電時における過充電によって階調表示ムラを起こす恐れもある。

【 0 0 1 3 】

これに対し、上記の構成では、同じ水平期間中に本充電が実施されるラインと予備充電が実施されるラインとのデータを比較し（すなわち、同一画素に対する予備充電時の充電レベルと本充電時の充電レベルとが比較される）、その比較結果に基づいて、予備充電が実施されるラインへの予備充電期間を調整する。この予備充電期間の調整は、具体的には、予備充電時の過充電の恐れがある画素に対して予備充電期間を短縮することで過充電を回避する。これにより、上記液晶表示装置では、予備充電時における過充電によっておこる階調表示ムラを防止しながら、高精細化、応答速度改善に効果がある。

20

【 0 0 1 4 】

また、上記液晶表示装置では、上記予備充電期間調整手段は、あるラインのデータが入力されるとこれを格納し、該データを格納したラインの本充電と同時に予備充電が実施されるラインのデータが入力されるまでこれを保持する格納手段と、上記格納手段に格納されたデータによって、同じ水平期間中に本充電が実施されるラインと予備充電が実施されるラインとのデータを比較する比較手段と、上記比較手段の比較によって、予備充電が実施されるラインよりも本充電が実施されるラインにおいて、より充電を必要とする画素があると判断された場合に、予備充電が実施されるラインの全ての画素において過充電が発生しないように予備充電期間を短く設定する設定手段を備えている構成とすることができる。

30

【 0 0 1 5 】

また、上記液晶表示装置では、上記比較手段は、比較対象となる2ラインの全ての画素について、同一ソースライン上の画素同士のデータ比較を行い、本充電時の充電レベルよりも予備充電時の充電レベルの方が大きく、かつそのレベル差が最も大きい画素を検出し、上記設定手段は、上記比較手段によって検出されたレベル差に対応する予備充電期間の設定パラメータを、上記レベル差と設定パラメータとが予め対応付けて格納されているテーブルから読み出して、読み出された設定パラメータに基づいて予備充電期間の設定を行う構成とすることができる。

40

【 0 0 1 6 】

上記の構成により、予備充電期間調整手段の具体的な構成を提供することができる。

【 0 0 1 7 】

また、本発明に係る液晶表示装置は、上記課題を解決するために、1水平期間中に、あるラインへの本充電と、該本充電が実施されるラインよりも先のラインへの予備充電とを行う液晶表示装置において、各ラインへの本充電期間を設定する第1のクロック信号と、

50

各ラインへの予備充電期間を設定する第2のクロック信号との2種類のクロック信号を用いてゲートライン駆動を行い、上記第2のクロック信号は、予備充電期間が可変となるように、各ゲートライン駆動毎に、対応するパルス幅が調整されることを特徴としている。

【0018】

上記の構成によれば、同じ水平期間中に本充電が実施されるラインと予備充電が実施されるラインとで、異なるゲートクロック信号によって充電期間の制御が行われる、このため、ソースラインの本数を増やすことなく、同一ソースラインに繋がる本充電期間の画素と予備充電期間の画素とで独立した充電制御を行うことができる。これにより、上記液晶表示装置では、予備充電時における過充電によっておこる階調表示ムラを防止しながら、高精細化、応答速度改善に効果がある。

10

【発明の効果】

【0019】

本発明によれば、予備充電期間のゲートドライバ出力において、ON期間のDutyを調整することにより、予備充電時の過充電によっておこる階調表示ムラを防止しながら、高精細化、応答速度改善に効果を得ることができる。

【発明を実施するための最良の形態】

【0020】

本発明の一実施形態について図1ないし図7に基づいて説明すると以下の通りである。まずは、本実施形態に係る液晶表示装置のシステム構成を、図2を参照して説明する。

【0021】

20

本実施形態に係る液晶表示装置は、図2に示すように、液晶表示パネル10、ゲートドライバ20、ソースドライバ30、LCDタイミングコントローラ40、および電源回路ブロック50を備えて構成されている。

【0022】

液晶表示パネル10は、複数のゲートラインとソースラインとが互いに交差して配設されるとともに、各ゲートラインと各ソースラインとの交点にTFTを介して画素が接続された通常のTFT液晶パネルである。尚、図2において、液晶表示パネル10内のゲートライン、ソースライン、TFT、および画素は図示を省略している。

【0023】

ゲートドライバ20は、ゲートラインを介してTFTのゲートに走査信号を供給するものである。また、ソースドライバ30は、ソースラインおよびTFTを介して画素にデータ信号を供給するものである。ゲートドライバ20およびソースドライバ30は、より多くのゲートラインまたはソースラインの駆動を行う場合には、複数のドライバをカスケード接続して使用することが可能である。

30

【0024】

LCDタイミングコントローラ40には、LCD入力信号として、GSP(ゲートスタートパルス信号)、GCK1(ゲートクロック信号)、SSP(ソーススタートパルス信号)、SCK(ソースクロック信号)およびデータ信号が入力される。そして、LCDタイミングコントローラ40は、GSPおよびGCK1をゲートドライバ20に出力し、SSP、SCKおよびデータ信号をソースドライバ30に出力する。さらに、LCDタイミングコントローラ40は、上記データ信号から、GCK2(ゲートクロック信号)を生成し、ゲートドライバ20に出力する。

40

【0025】

電源回路ブロック50は、ゲートドライバ20およびソースドライバ30にGD(ゲートドライバ)入力用電源およびSD(ソースドライバ)入力用電源を供給する。

【0026】

上記液晶表示装置は、ゲートドライバ20に与えられるGCK1、GCK2によって、ゲート飛び越し2パルス駆動を行う。ここで、GCK1は本充電期間にあたる対象ラインのゲート出力を制御するためのクロック信号であり、従来のGCKと同様、一定周期のパルス信号となる。また、GCK2は、予備充電期間にあたる対象ラインのゲート出力を制

50

御するためのクロック信号である。

【 0 0 2 7 】

そして、上記液晶表示装置は、G C K 2 のパルス幅を各対象ライン毎に可変とすることで、予備充電期間のD u t y制御を行い、従来の予備充電期間において発生していた過充電を防止する点に特徴を有している。

【 0 0 2 8 】

上記液晶表示装置における駆動方法の基本原理を、図 1 を参照して説明すると以下の通りである。尚、図 1 では、ある 1 本のソースラインのみに着目して駆動方法を説明する。

【 0 0 2 9 】

図 1 において、G D 出力 n は、n 本目のゲートラインに対する出力パルスを示しており、各 G D 出力は、G C K 1 によって本充電のパルス期間を設定され、G C K 2 によって予備充電のパルス期間を設定される。

【 0 0 3 0 】

図 1 における S D 出力は、着目しているソースラインに対する出力であり、各画素への表示階調レベルを与えている。また、S D 出力における各パルスは、本充電期間にあるゲートラインに接続されている画素の表示階調レベルに対応している。尚、図 1 では、2 ライン目から 5 ライン目にかけてのゲートライン（ライン 2 ~ 5 ）に対応するパルスのみを示しており、他のラインに対するパルスの図示を省略している。

【 0 0 3 1 】

ここで、2 ライン目のゲートラインに対して本充電を行っている期間（期間 t 2 ）に着目すると、この時同時に 4 ライン目のゲートラインに対しての予備充電が行われる。この時の 4 ライン目のゲートラインに対しての予備充電は、2 ライン目のゲートラインに接続されている画素の表示階調レベルに対応した電圧にて行われる。

【 0 0 3 2 】

この 4 ライン目のゲートラインにおいて、予備充電時の充電電圧（期間 t 2 における S D 出力パルス電圧）と本充電時の充電電圧（期間 t 4 における S D 出力パルス電圧）とを比較すると、予備充電時の充電電圧の方が高い。このため、4 ライン目のゲートラインに対する予備充電を、本充電と同様に最大 D u t y にて実施すると過充電が生じることが分かる。

【 0 0 3 3 】

この予備充電時における過充電を防止するために、本実施の形態に係る液晶表示装置では、4 ライン目の G D 出力における予備充電期間パルスの D u t y を調整している。すなわち、4 ライン目に対して予備充電を行う期間 t 2 において、予備充電期間を設定するための G C K 2 のパルス幅を短くしている（尚、図 1 では、4 ライン目および 5 ライン目のゲートライン（ライン 4 , 5 ）に対応するパルスのみを示しており、他のラインに対するパルスの図示を省略している）。これにより、予備充電時の充電電圧が本充電時の充電電圧よりも高い場合であっても、予備充電による過充電を防止できる。

【 0 0 3 4 】

また、5 ライン目のゲートラインに着目すると、このラインにおける予備充電時の充電電圧（期間 t 3 における S D 出力パルス電圧）と本充電時の充電電圧（期間 t 5 における S D 出力パルス電圧）とでは、本充電時の充電電圧の方が高くなっている。このような場合は、予備充電を本充電と同様に最大 D u t y にて実施したとしても過充電は生じないため、予備充電期間を短くする必要はない（予備充電を最大 D u t y にて実施可能）。

【 0 0 3 5 】

但し、上記説明は、ある 1 本のソースラインのみに着目した場合の結果である。すなわち、実際の装置では、各ゲートラインに対して多数のソースラインが交差している（各ゲートラインに対して多数の画素が接続されている）。このため、あるゲートラインに置ける予備充電を最大 D u t y にて実施した場合に、あるソースラインに接続される画素では過充電が生じなくても、他のソースラインに接続される画素では過充電が生じる、といったことは十分に起こり得る。このような場合、予備充電期間は、全ての画素において過充

10

20

30

40

50

電が生じないようにDutyが調節される必要がある。言い換えれば、あるゲートラインに接続される全ての画素において、

(本充電電圧) (予備充電電圧)

となる場合のみ、予備充電を最大Dutyにて実施することができる。

【0036】

尚、全ての画素において過充電が生じないように予備充電期間のDutyを調節することで、最大Dutyでも過充電の起きない画素においても予備充電期間は短くなる。しかしながら、そのような画素でも、程度の差はあれ、予備充電を実施することで本来の充電電圧に早く近づけることには変わりなく、ゲート飛び越し2パルス駆動によって、高精細化、応答速度改善に効果がある。

10

【0037】

次に、LCDタイミングコントローラ40において、GCK2を生成する方法について、図3ないし図5を参照して説明する。

【0038】

LCDタイミングコントローラ40は、図3に示すように、GCK2を生成するための構成として、2ライン分のラインメモリ41、メモリ間階調比較部42、階調差レジスタ43、GCK2生成部44、GCK2生成用LUT(Look Up Table)45を備えている。また、ラインメモリ41、メモリ間階調比較部42、階調差レジスタ43は、奇数ライン用と偶数ライン用との2系統分の構成が備えられている。

20

【0039】

LCDタイミングコントローラ40に入力されるLCD入力信号のうち、データ信号は、1ライン分のデータ毎にラインメモリ41に書き込まれる。このとき、奇数ラインのデータ信号は奇数ライン用のラインメモリ41に、偶数ラインのデータ信号は偶数ライン用のラインメモリ41に書き込まれる。また、ラインメモリ41は2ライン分の格納領域を有しているため、奇数ライン用および偶数ライン用の各ラインメモリ41には、2ライン前のデータ信号と最新ラインのデータ信号とが常に格納されていることとなり、これら2ラインのデータ比較が可能となっている。

【0040】

2ライン前のデータ信号と最新ラインのデータ信号との比較は、メモリ間階調比較部42にて行われる。この比較動作を、図4を参照して説明すると以下の通りである。尚、図4においては、ラインメモリ1に格納されているデータ信号を2ライン前のデータ信号、ラインメモリ2に格納されているデータ信号を最新ラインのデータ信号としている。また、説明を簡略化するため、1ライン分のデータを6つとしている(1ゲートラインに対して6本のソースラインが交差する)。

30

【0041】

メモリ間階調比較部42では、同一のソースライン列(同一アドレス)における2ライン前のデータ(階調レベル)と最新ラインのデータ(階調レベル)との差分が演算され、この階調データ差分が全てのソースライン列に対して求められる。ここで、図4に示す例では、アドレス0~3のソースラインに対応する差分値が0以下となっている。つまり、これらのソースラインでは、最新ラインとしてデータ信号が格納されているゲートラインにおいて、本充電の階調レベルが予備充電の階調レベルよりも充電電荷量が大きいことを示しており、予備充電ラインにおいて過充電発生の恐れが無いことになる。

40

【0042】

一方、アドレス4,5のソースラインに対応する差分値は、190,254となっており、これらのソースラインでは、最新ラインとしてデータ信号が格納されているゲートラインにおいて、本充電の階調レベルが予備充電の階調レベルよりも充電電荷量が小さくなっている。また、アドレス5のソースラインに対応する差分値254の方が大きいため、最大Dutyにて予備充電を行った時に最も過充電電荷量の多くなる過充電発生レベル最大ポイントはアドレス5のソースラインに対応する画素となる。この過充電発生レベル最大ポイントにおける差分レベル値が、階調差レジスタ43に格納される。

50

【 0 0 4 3 】

より具体的に説明すると、メモリ間階調比較部 4 2 は、比較している 2 ゲートライン中の同じソースライン列における画素同士での階調レベル比較を、最初のアドレスから最終アドレスまで順次行っていく。この比較によって求められる階調レベル差は、最初のアドレスに対して求められた階調レベル差は階調差レジスタ 4 3 に格納される。それ以降のアドレスに対して求められた階調レベル差は、その時点で階調差レジスタ 4 3 に格納されている階調レベル差と比較され、格納されている階調レベル差より大きい場合に、階調差レジスタ 4 3 の格納値を更新していく。こうして、全てのアドレス、すなわち全てのソースラインに対して階調レベルの比較が終了した時点で、比較対象 2 ライン中において最も大きい階調レベル差が階調差レジスタ 4 3 内に格納されていることになる。

10

【 0 0 4 4 】

比較対象 2 ラインの階調レベル比較が終了した時点で、階調差レジスタ 4 3 に格納されている過充電発生レベル最大ポイントの差分レベル値と G C K 2 生成用 L U T 4 5 とを用いて、対象ラインの予備充電期間中に過充電が発生しないよう、G C K 2 生成部 4 4 が G C K 2 のパルス幅を設定する。この設定方法を、図 5 を参照して説明すると以下の通りである。

【 0 0 4 5 】

図 5 に示すように、G C K 2 生成用 L U T 4 5 にはレジスタ格納値（すなわち、階調差レジスタ 4 3 に格納されている過充電発生レベル最大ポイントの差分レベル値）と G C K 2 リセットタイミングとが対応付けて格納されている。上記 G C K 2 リセットタイミングは、例えば、基準クロックのクロック数によって与えられる。

20

【 0 0 4 6 】

G C K 2 生成部 4 4 において、生成される G C K 2 は、水平同期信号 H S と基準クロックとを用いて各ゲートラインに対しての充電期間（パルス期間）が設定される。具体的には、水平同期信号の入力によって基準クロックのカウント（水平カウンタ）が開始され、所定のカウント（固定値）に達した時点で G C K 2 のパルスの始点（GCK2 SETポイント）が設定される。

【 0 0 4 7 】

そして、G C K 2 のパルスの終点（GCK2 RESETポイント）は、G C K 2 生成用 L U T 4 5 から読み出される G C K 2 リセットタイミングによって決定される。図 4 ，図 5 の例では、階調差レジスタ 4 3 に格納されている過充電発生レベル最大ポイントの差分レベル値が 2 5 4 であるため、G C K 2 リセットタイミングのカウント値は b となる。

30

【 0 0 4 8 】

尚、上記説明における G C K 2 生成部 4 4 の動作では、G C K 2 のパルスの始点を固定として終点を可変としているが、これとは逆に、始点を可変として終点を固定としてもよい。

【 0 0 4 9 】

上記説明から分かるように、あるゲートラインに対する予備充電は、その 2 ライン前のゲートラインに対する本充電と同時に実施されるが、この時の予備充電期間の長さは、該予備充電の実施されるラインに対するデータが入力されるまでは確定できない。L C D タイミングコントローラ 4 0 における各処理の動作タイミングを図 6 および図 7 を参照して説明すると以下の通りである。

40

【 0 0 5 0 】

先ず、ライン 1 のデータが L C D タイミングコントローラ 4 0 に入力される期間では、該ライン 1 のデータが奇数ライン用のラインメモリ 4 1（2 ライン分のラインメモリの一方）に書き込まれ、ライン 2 のデータが入力される期間では、該ライン 2 のデータが偶数ライン用のラインメモリ 4 1 に書き込まれる。

【 0 0 5 1 】

次に、ライン 3 のデータが L C D タイミングコントローラ 4 0 に入力される期間では、該ライン 3 のデータが奇数ライン用のラインメモリ 4 1（2 ライン分のラインメモリのう

50

ち、ライン 1 のデータが書き込まれていない方)に書き込まれると同時に、先に格納されているライン 1 のデータと比較が実行される。このため、ラインメモリ 4 1 へのライン 3 のデータ書き込みが終わった時点で階調差レジスタ 4 3 には、ライン 1 , 3 間の比較における過充電発生レベル最大ポイントの差分レベル値が格納されていることとなる。

【 0 0 5 2 】

同様に、ライン 4 のデータが L C D タイミングコントローラ 4 0 に入力される期間では、ライン 4 のデータの偶数ライン用のラインメモリ 4 1 への書き込みと、ライン 2 , 4 間のデータ比較とが行われる。

【 0 0 5 3 】

また、ライン 4 のデータが L C D タイミングコントローラ 4 0 に入力される期間では、ライン 1 に対して本充電を実施するための G C K 1 と、ライン 3 に対して予備充電を実施するための G C K 2 とがゲートドライバに出力され、ラインメモリ 4 1 に格納されていたライン 1 のデータがソースドライバに出力される。この時点では、階調差レジスタ 4 3 においてライン 1 , 3 間の比較による差分レベル値の格納が終了しているため、ライン 3 に対して予備充電を実施するための G C K 2 のパルス幅を確定することができる。

10

【 0 0 5 4 】

上記処理を順次繰り返すことによって、本発明に係るゲート飛び越し 2 パルス駆動を行うことができる。尚、ライン 1 , 2 においては、前フレームの最終 2 ラインの本充電期間に予備充電を行えばよい。

【 図面の簡単な説明 】

20

【 0 0 5 5 】

【 図 1 】本発明の実施形態を示すものであり、液晶表示装置の駆動方法を示すタイミングチャートである。

【 図 2 】上記液晶表示装置の概略構成を示すブロック図である。

【 図 3 】上記液晶表示装置における L C D タイミングコントローラの概略構成を示すブロック図である。

【 図 4 】上記 L C D タイミングコントローラにおけるライン比較の様子を示す図である。

【 図 5 】上記 L C D タイミングコントローラにおける G C K 2 生成の様子を示す図である。

【 図 6 】上記 L C D タイミングコントローラの動作タイミングを示すタイミングチャートである。

30

【 図 7 】上記 L C D タイミングコントローラの動作タイミングを示す波形図である。

【 図 8 】従来のゲート飛び越し 2 パルス駆動における動作を示すタイミングチャートである。

【 図 9 】従来のゲート飛び越し 2 パルス駆動における課題の発生原理を示す図である。

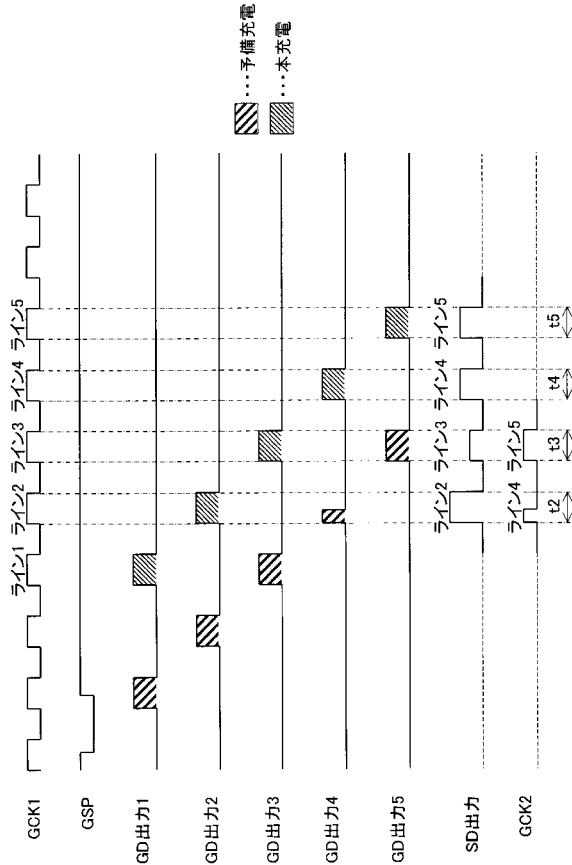
【 符号の説明 】

【 0 0 5 6 】

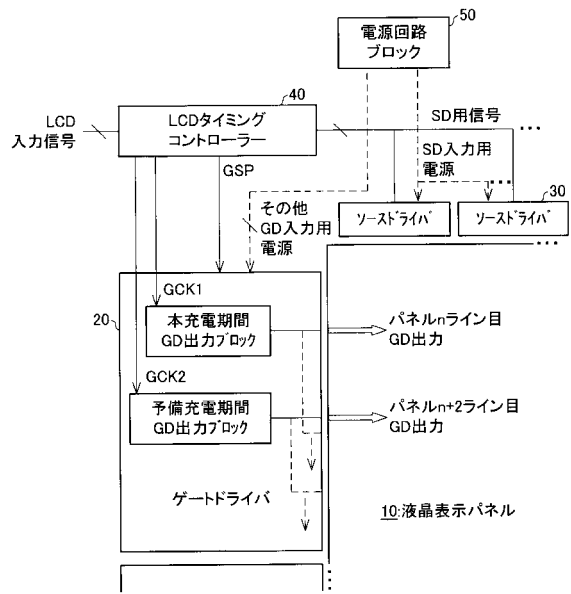
1 0 液晶表示パネル
 2 0 ゲートドライバ
 3 0 ソースドライバ
 4 0 L C D タイミングコントローラ
 4 1 ラインメモリ
 4 2 メモリ間階調比較部
 4 3 階調差レジスタ
 4 4 G C K 2 生成部
 4 5 G C K 2 生成用 L U T
 G C K 1 ゲートクロック信号 (第 1 のクロック信号)
 G C K 2 ゲートクロック信号 (第 2 のクロック信号)

40

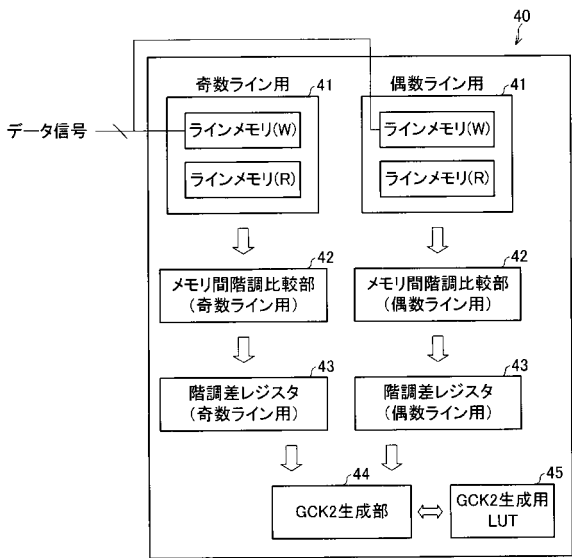
【図1】



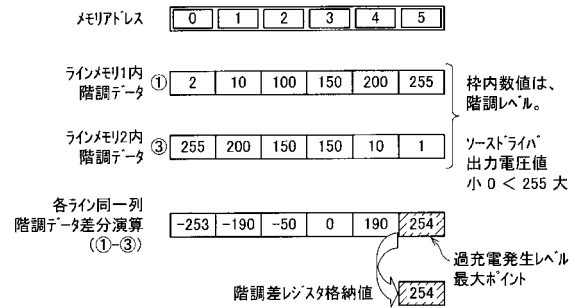
【図2】



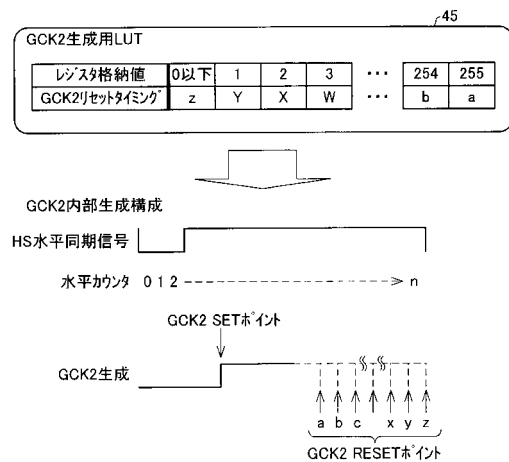
【図3】



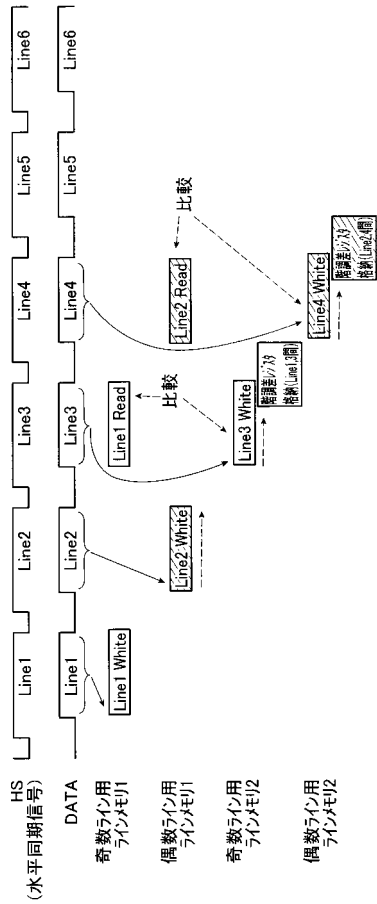
【図4】



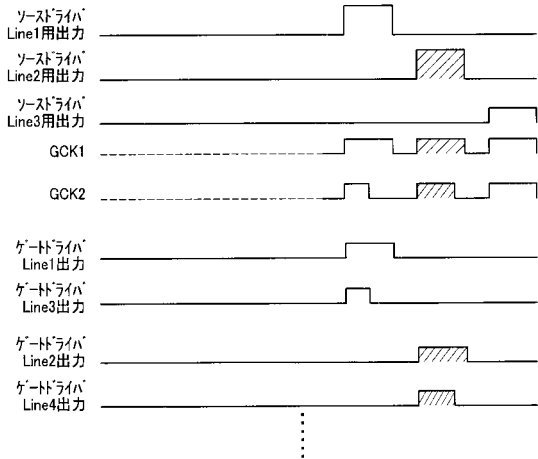
【図5】



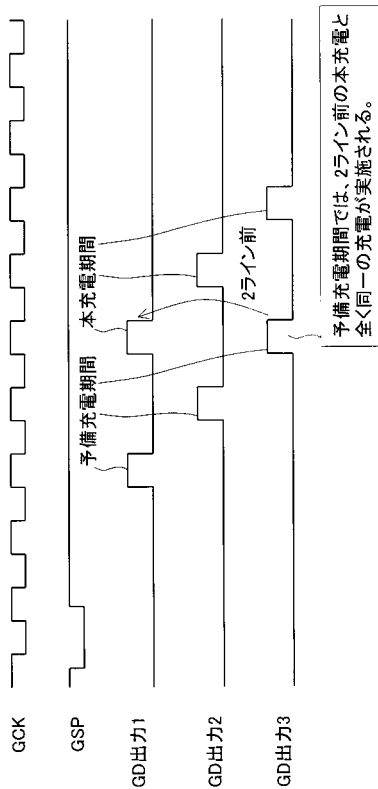
【 図 6 】



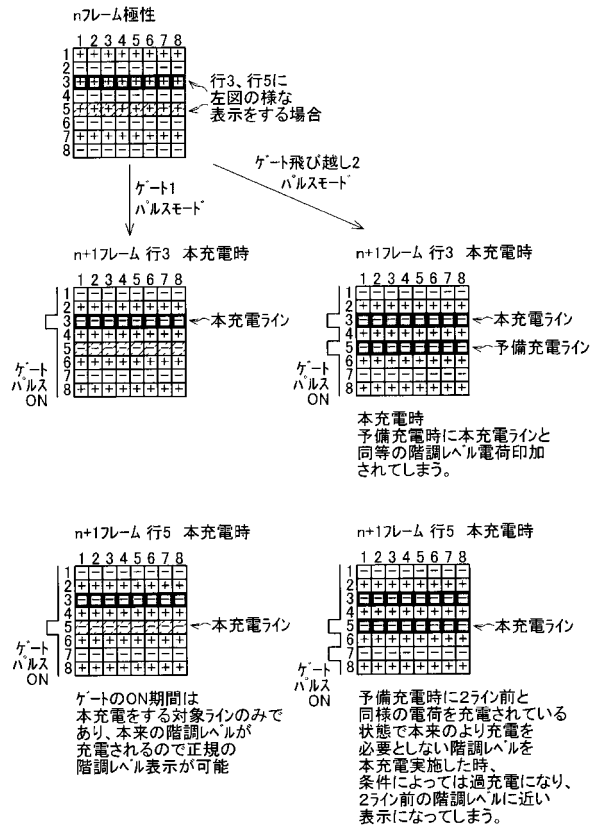
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 C
G 0 9 G 3/20 6 2 2 Q

審査官 福村 拓

(56)参考文献 国際公開第2005/057545(WO, A1)
特開2002-091403(JP, A)
特開2003-131635(JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	JP4170242B2	公开(公告)日	2008-10-22
申请号	JP2004061408	申请日	2004-03-04
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	田口 穗		
发明人	田口 穗		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C7/00		
CPC分类号	G02F1/13306 G02F1/1362 G09G3/3648 G09G3/3677 G09G3/3688 G09G2310/0251 G09G2320/0233 G09G2320/0252		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.K G09G3/20.612.U G09G3/20.621.F G09G3/20.622.C G09G3/20.622.Q		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA43 2H093/NA47 2H093/NA53 2H093/NC01 2H093/NC10 2H093/NC12 2H093/NC28 2H093/NC34 2H093/NC49 2H093/ND05 2H093/ND06 2H093/ND09 2H093/ND37 2H093/ND43 2H093/ND52 2H093/ND58 2H093/NH14 2H193/ZA04 2H193/ZC02 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF01 2H193/ZF22 2H193/ZF36 2H193/ZH40 5C006/AC11 5C006/AC22 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BF05 5C006/FA14 5C006/FA25 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ04		
代理人(译)	木岛 隆一 金子 一郎		
审查员(译)	福村 拓		
其他公开文献	JP2005250177A		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现一种液晶显示装置，该液晶显示装置能够防止在预充电时由过充电引起的栅极不均匀灰度，并且执行栅极跳跃双脉冲驱动，这对于高清晰度和响应速度的提高是有效的。 解决方案：在相同的水平周期期间比较执行主充电的线（例如，线2）的数据（SD输出的灰度级）和执行预充电的线（例如，线4），并且将预备充电时段（例如，GD输出4的预充电时段（时段t4）的脉冲宽度）调整到基于比较结果执行预充电的线（例如，线4）。换句话说，通过调节预充电时段，通过缩短在预充电时可能过充电的像素的预充电时段来避免过充电。 点域1

