

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3744818号

(P3744818)

(45) 発行日 平成18年2月15日(2006.2.15)

(24) 登録日 平成17年12月2日(2005.12.2)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/36

G02F 1/133 (2006.01)

G02F 1/133 550

G09G 3/20 (2006.01)

G09G 3/20 611A

G09G 3/20 621E

請求項の数 10 (全 30 頁)

(21) 出願番号 特願2001-155193 (P2001-155193)
 (22) 出願日 平成13年5月24日(2001.5.24)
 (65) 公開番号 特開2002-351412 (P2002-351412A)
 (43) 公開日 平成14年12月6日(2002.12.6)
 審査請求日 平成16年1月15日(2004.1.15)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 森田 晶
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 信号駆動回路、表示装置、及び電気光学装置

(57) 【特許請求の範囲】

【請求項1】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路であって、

水平走査周期で、画像データをラッチするラインラッチと、

順次供給される前記画像データをシフトして一水平走査単位の画像データを前記ラインラッチに供給するシフトレジスタと、

所与のシフト方向切り替え信号に基づいて、前記シフトレジスタのシフト方向を切り替える手段と、

前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、

前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段と、

所与の複数の信号ラインごとに分割されたブロックを単位として、画像データに基づく信号ラインへの出力可否を示すパーシャル表示データを保持するパーシャル表示データ保持手段と、

前記所与のシフト方向の切り替え信号に基づいて、前記パーシャル表示データ保持手段に保持されたブロック単位のパーシャル表示データの並びを逆に入れ替えるデータ入れ替え手段と、

を含み、

前記信号ライン駆動手段は、

前記データ入れ替え手段から供給されたパーシャル表示データに基づいて、前記ブロック単位に信号ラインの駆動電圧の出力制御を行うことを特徴とする信号駆動回路。

【請求項 2】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路であって、

水平走査周期で、画像データをラッチするラインラッチと、

前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、

前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段と、

所与の複数の信号ラインごとに分割されたブロックを単位として、画像データに基づく信号ラインへの出力可否を示すパーシャル表示データを保持するパーシャル表示データ保持手段と、

を含み、

前記信号ライン駆動手段は、

前記駆動電圧生成手段によって生成された駆動電圧をインピーダンス変換し、各信号ラインに出力するインピーダンス変換手段と、

前記信号ラインに所与の非表示レベル電圧を生成する非表示レベル電圧供給手段と、

を含み、

各信号ラインは、前記パーシャル表示データに基づいて、ブロック単位で、前記インピーダンス変換手段又は前記非表示レベル電圧供給手段のうちいずれか一方により駆動されることを特徴とする信号駆動回路。

【請求項 3】

請求項 2 において、

前記インピーダンス変換手段は、

前記パーシャル表示データにより出力がオンに指定されたブロックの信号ラインに対し、前記駆動電圧をインピーダンス変換して出力し、

前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインを、ハイインピーダンス状態にし、

前記非表示レベル電圧供給手段は、

前記パーシャル表示データにより出力がオンに指定されたブロックの信号ラインを、ハイインピーダンス状態にし、

前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインに対し、所与の非表示レベル電圧を供給することを特徴とする信号駆動回路。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記駆動電圧生成手段は、

前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインを駆動するための駆動電圧の生成動作を停止することを特徴とする信号駆動回路。

【請求項 5】

請求項 2 乃至 4 のいずれかにおいて、

前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、

前記非表示レベルの電圧は、

前記画素電極の印加電圧と、前記画素電極と電気光学素子を介して設けられた対向電極との電圧差を、所与の閾値より小さくする電圧であることを特徴とする信号駆動回路。

【請求項 6】

請求項 2 乃至 4 のいずれかにおいて、

前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続された

10

20

30

40

50

スイッチング手段を介して設けられた画素電極を有し、

前記非表示レベルの電圧は、

前記画素電極と電気光学素子を介して設けられた対向電極と同等の電圧であることを特徴とする信号駆動回路。

【請求項 7】

請求項 2 乃至 4 のいずれかにおいて、

前記非表示レベルの電圧は、

前記画像データに基づいて生成可能な階調電圧の最大値又は最小値のいずれか一方であることを特徴とする信号駆動回路。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記ブロック単位は、8 ピクセル単位であることを特徴とする信号駆動回路。

【請求項 9】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する表示パネルと、

前記走査ラインを走査駆動する走査駆動回路と、

画像データに基づいて、前記信号ラインを駆動する請求項 1 乃至 8 いずれか記載の信号駆動回路と、

を含むことを特徴とする表示装置。

【請求項 10】

互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素と、

前記走査ラインを走査駆動する走査駆動回路と、

画像データに基づいて、前記信号ラインを駆動する請求項 1 乃至 8 いずれか記載の信号駆動回路と、

を含むことを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信号駆動回路、これを用いた表示装置、電気光学装置及び信号駆動方法に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

例えば携帯電話機のような電子機器の表示部には、液晶パネルが用いられており、電子機器の低消費電力化や小型軽量化等が図られている。この液晶パネルについては、近年の携帯電話機の普及によって情報性の高い静止画や動画が配信されるようになると、その高画質化が要求されるようになっている。

【0003】

電子機器の表示部の高画質化を実現する液晶パネルとして、薄膜トランジスタ (Thin Film Transistor: 以下、TFT と略す。) 液晶を用いたアクティブマトリクス型液晶パネルが知られている。TFT 液晶を用いたアクティブマトリクス型液晶パネルは、ダイナミック駆動による STN (SuperTwisted Nematic) 液晶を用いた単純マトリクス型液晶パネルに比べて、高速応答、高コントラストを実現し、動画等の表示に適している。

【0004】

しかしながら、TFT 液晶を用いたアクティブマトリクス型液晶パネルは、消費電力が大きく、携帯電話機のようなバッテリー駆動が行われる携帯型の電子機器の表示部として採用することが困難とされている。

【0005】

本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、高画質化と低消費電力化とを両立させ、アクティブマトリクス型液晶パネルに好適な信号駆動回路、これを用いた表示装置、及び電気光学装置を提供することにある。

10

20

30

40

50

【 0 0 0 6 】

【課題を解決するための手段】

上記課題を解決するために本発明は、互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路であって、水平走査周期で、画像データをラッチするラインラッチと、前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段と、所与の複数の信号ラインごとに分割されたブロックを単位として、画像データに基づく信号ラインへの出力可否を示すパーシャル表示データを保持するパーシャル表示データ保持手段とを含み、前記信号ライン駆動手段は、前記パーシャル表示データに基づいて、前記ブロック単位に信号ラインの駆動電圧の出力制御を行うことを特徴とする。

10

【 0 0 0 7 】

ここで、電気光学装置としては、例えば互いに交差する複数の走査ライン及び複数の信号ラインと、前記走査ラインと前記信号ラインに接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有するように構成しても良い。

【 0 0 0 8 】

また、ブロック単位に分割される信号ラインは、互いに隣接した複数の信号ラインであっても良いし、任意に選択された複数の信号ラインであっても良い。

【 0 0 0 9 】

信号ラインの駆動電圧の出力制御とは、例えば画像データに基づいて生成された駆動電圧で信号ラインを駆動するか否かや、当該駆動電圧に代えて所与の電圧で信号ラインを駆動することを制御することをいう。

20

【 0 0 1 0 】

本発明によれば、電気光学装置の信号ラインを、画像データに基づいて駆動する信号駆動回路に、所与の複数の信号ラインごとに分割されたブロックを単位として、画像データに基づく信号ラインへの出力可否を示すパーシャル表示データを保持するパーシャル表示データ保持手段を備えさせるとともに、このブロック単位に指定されたパーシャル表示データに基づいて、ブロック単位に信号ラインに供給する駆動電圧の出力制御を行うようにしたので、任意に設定可能なパーシャル表示制御を行うことができるようになる。これにより、非表示エリアの信号駆動による電力消費を削減することができる。

30

【 0 0 1 1 】

また本発明は、順次供給される前記画像データをシフトして一水平走査単位の画像データを前記ラインラッチに供給するシフトレジスタと、所与のシフト方向切り替え信号に基づいて、前記シフトレジスタのシフト方向を切り替える手段と、前記所与のシフト方向の切り替え信号に基づいて、前記パーシャル表示データ保持手段に保持されたブロック単位のパーシャル表示データの並びを逆に入れ替えるデータ入れ替え手段とを含み、前記信号ライン駆動手段は、前記データ入れ替え手段から供給されたパーシャル表示データに基づいて、前記ブロック単位に信号ラインの駆動電圧の出力制御を行うことを特徴とする。

【 0 0 1 2 】

ここで、シフト方向とは、例えば所与の単位で順次入力される画像データを、一水平走査単位でラインラッチにラッチする際に、当該入力される画像データを順次取り込むシフトレジスタにおけるシフト方向をいう。

40

【 0 0 1 3 】

本発明においては、実装状態に応じてシフト方向を切り替えて画像データを入力するためのシフト方向の切り替え信号を用いて、ブロックごとに画像データに基づく信号ラインの駆動を行うか否かを示すパーシャル表示データの並び順を逆に入れ替えるようにした。これにより、ユーザは、実装状態に応じたデータの並びを意識することなく、画像データを本発明に係る信号駆動回路に供給するだけでよいので、ユーザの使い勝手が向上して開発工数の削減に貢献することができる。

50

【0014】

また本発明は、前記信号ライン駆動手段は、前記駆動電圧生成手段によって生成された駆動電圧をインピーダンス変換し、各信号ラインに出力するインピーダンス変換手段と、前記信号ラインに所与の非表示レベル電圧を供給する非表示レベル電圧供給手段とを含み、各信号ラインは、前記パーシャル表示データに基づいて、ブロック単位で、前記インピーダンス変換手段又は前記非表示レベル電圧供給手段のうちいずれか一方により駆動されることを特徴とする。

【0015】

本発明によれば、パーシャル表示データに設定された内容に基づいて、ブロック単位で、インピーダンス変換手段による画像データに基づく信号ラインの駆動、若しくは非表示レベル電圧供給手段による信号ラインへの所与の非表示レベル電圧の供給のいずれかを行うようにしたので、非表示エリアを所与のノーマリ色に設定することができる。これにより、上述した効果に加えて、パーシャル表示制御により設定される表示エリアを際立たせることができる。

10

【0016】

また本発明は、前記インピーダンス変換手段は、前記パーシャル表示データにより出力がオンに指定されたブロックの信号ラインに対し、前記駆動電圧をインピーダンス変換して出力し、前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインを、ハイインピーダンス状態にし、前記非表示レベル電圧供給手段は、前記パーシャル表示データにより出力がオンに指定されたブロックの信号ラインを、ハイインピーダンス状態にし、前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインに対し、所与の非表示レベル電圧を供給することを特徴とする。

20

【0017】

また本発明は、前記駆動電圧生成手段は、前記パーシャル表示データにより出力がオフに指定されたブロックの信号ラインを駆動するための駆動電圧の生成動作を停止することを特徴とする。

【0018】

本発明によれば、パーシャル表示データに基づいて、ブロック単位に、非表示エリアに設定されたブロックの駆動電圧生成手段を制御することができるので、非表示エリアに設定されたブロックの電力消費を効果的に抑えることができ、パーシャル表示制御による低消費化をより一層促進することができる。

30

【0019】

また本発明は、前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、前記非表示レベルの電圧は、前記画素電極の印加電圧と、前記画素電極と電気光学素子を介して設けられた対向電極との電圧差を、所与の閾値より小さくする電圧であることを特徴とする。

【0020】

本発明によれば、走査ラインと信号ラインに接続されたスイッチング手段を介して設けられた画素電極の印加電圧と、この画素電極と電気光学素子を介して設けられた対向電極との電圧差を、所与の閾値より小さくするような非表示レベル電圧を設定するようにしたので、少なくとも電気光学装置の画素の透過率が変化しない範囲で非表示エリアを設定することができ、非表示レベル電圧の精度に依存することなくパーシャル表示制御の簡素化を図ることができる。

40

【0021】

また本発明は、前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、前記非表示レベルの電圧は、前記画素電極と電気光学素子を介して設けられた対向電極と同等の電圧であることを特徴とする。

【0022】

本発明によれば、画素電極と、これに対向する対向電極との電圧差がほぼ0になるように

50

非表示レベル電圧を設定するようにしたので、パーシャル表示制御の簡素化を図ると共に、非表示エリアの表示色を一定させ、表示エリアを際立たせるような画像表示が可能となる。

【0023】

また本発明は、前記非表示レベルの電圧は、前記画像データに基づいて生成可能な階調電圧の最大値及び最小値のいずれか一方であることを特徴とする。

【0024】

本発明によれば、非表示レベルの電圧として、駆動電圧生成手段で生成可能な階調電圧の両端の電圧のいずれかを一方を供給するようにしたので、ユーザは任意に非表示エリアのノーマリ色を指定することができ、ユーザにとっての使い勝手を向上させることができる。

10

【0025】

また本発明は、前記ブロック単位は、8ピクセル単位であることを特徴とする。

【0026】

本発明によれば、キャラクタ文字単位で表示エリアと非表示エリアの設定が可能となり、パーシャル表示制御の簡素化と、効果的なパーシャル表示による画像を提供することができる。

【0027】

また本発明に係る表示装置は、互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素を有する表示パネルと、前記走査ラインを走査駆動する走査駆動回路と、画像データに基づいて、前記信号ラインを駆動する上記いずれか記載の信号駆動回路とを含むことを特徴とする。

20

【0028】

本発明によれば、パーシャル表示制御による低消費電力化を実現する表示装置を提供することができ、例えばアクティブマトリクス型液晶パネルを適用することで、高画質なパーシャル表示をも実現することができる。

【0029】

また本発明に係る電気光学装置は、互いに交差する複数の走査ライン及び複数の信号ラインにより特定される画素と、前記走査ラインを走査駆動する走査駆動回路と、画像データに基づいて、前記信号ラインを駆動する上記いずれか記載の信号駆動回路とを含むことを特徴とする。

30

【0030】

本発明によれば、パーシャル表示制御による低消費電力化を実現する電気光学装置を提供することができ、例えばアクティブマトリクス型液晶パネルに適用することで、高画質なパーシャル表示をも実現することができる。

【0031】

また本発明は、水平走査周期で、画像データをラッチするラインラッチと、前記ラインラッチにラッチされた画像データに基づいて、信号ラインごとに駆動電圧を生成する駆動電圧生成手段と、前記駆動電圧生成手段によって生成された駆動電圧に基づいて、各信号ラインを駆動する信号ライン駆動手段とを有し、互いに交差する複数の走査ライン及び複数の信号ラインとにより特定される画素を有する電気光学装置の信号ラインを駆動する信号駆動回路の信号駆動方法であって、所与の複数の信号ラインごとに分割されたブロックを単位に画像データに基づく信号ラインへの出力可否を示すパーシャル表示データに基づいて、ブロック単位に前記信号ライン駆動手段の信号ラインへの駆動電圧の出力制御を行うことを特徴とする。

40

【0032】

本発明によれば、ブロック単位にパーシャル表示を制御することができるので、制御回路の簡素化と、低消費電力化とを図ることができ、例えばアクティブマトリクス型液晶パネルに適用することで、高画質なパーシャル表示をも実現することができる。

【0033】

50

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【0034】**1. 表示装置****1.1 表示装置の構成**

図1に、本実施形態における信号駆動回路（信号ドライバ）を適用した表示装置の構成の概要を示す。

【0035】

表示装置としての液晶装置10は、液晶ディスプレイ（Liquid Crystal Display：以下、LCDと略す。）パネル20、信号ドライバ（信号駆動回路）（狭義には、ソースドライバ）30、走査ドライバ（走査駆動回路）（狭義には、ゲートドライバ）50、LCDコントローラ60、電源回路80を含む。

10

【0036】

LCDパネル（広義には、電気光学装置）20は、例えばガラス基板上に形成される。このガラス基板上には、Y方向に複数配列されそれぞれX方向に伸びる走査ライン（狭義には、ゲートライン） $G_1 \sim G_N$ （Nは、2以上の自然数）と、X方向に複数配列されそれぞれY方向に伸びる信号ライン（狭義には、ソースライン）信号ライン $S_1 \sim S_M$ （Mは、2以上の自然数）とが配置されている。また、走査ライン G_n （ $1 \leq n \leq N$ 、nは自然数）と信号ライン S_m （ $1 \leq m \leq M$ 、mは自然数）との交差点に対応して、TFT22_{nm}（広義には、スイッチング手段）が設けられている。

20

【0037】

TFT22_{nm}のゲート電極は、走査ライン G_n に接続されている。TFT22_{nm}のソース電極は、信号ライン S_m に接続されている。TFT22_{nm}のドレイン電極は、液晶容量（広義には、液晶素子又は電気光学素子）24_{nm}の画素電極26_{nm}に接続されている。

【0038】

液晶容量24_{nm}においては、画素電極26_{nm}に対向する対向電極28_{nm}との間に液晶が封入されて形成され、これら電極間の印加電圧に応じて画素（液晶）の透過率が変化するようにになっている。

【0039】

対向電極28_{nm}には、電源回路80により生成された対向電極電圧 V_{com} が供給されている。

30

【0040】

信号ドライバ30は、一水平走査単位の画像データ（狭義には、階調データ）に基づいて、LCDパネル20の信号ライン $S_1 \sim S_M$ を駆動する。

【0041】

走査ドライバ50は、一垂直走査期間内に、水平同期信号に同期して、LCDパネル20の走査ライン $G_1 \sim G_N$ を順次走査駆動する。

【0042】

LCDコントローラ60は、図示しない中央処理装置（Central Processing Unit：以下、CPUと略す。）等のホストにより設定された内容に従って、信号ドライバ30、走査ドライバ50及び電源回路80を制御する。より具体的には、LCDコントローラ60は、信号ドライバ30及び走査ドライバ50に対して、例えば動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路80に対しては対向電極電圧 V_{com} の極性反転タイミングの供給を行う。

40

【0043】

電源回路80は、外部から供給される基準電圧に基づいて、LCDパネル20の液晶駆動に必要な電圧レベルや、対向電極電圧 V_{com} を生成する。このような各種電圧レベルは、信号ドライバ30、走査ドライバ50及びLCDパネル20に供給される。また、対向電極電圧 V_{com} は、LCDパネル20のTFTの画素電極に対向して設けられた対向電極に供給される。

50

【 0 0 4 4 】

このような構成の液晶装置 1 0 は、ＬＣＤコントローラ 6 0 の制御の下、外部から供給される画像データに基づいて、信号ドライバ 3 0、走査ドライバ 5 0 及び電源回路 8 0 が協調してＬＣＤパネル 2 0 を表示駆動する。

【 0 0 4 5 】

なお、図 1 では、液晶装置 1 0 にＬＣＤコントローラ 6 0 を含めて構成するようにしているが、ＬＣＤコントローラ 6 0 を液晶装置 1 0 の外部に設けて構成するようにしても良い。或いは、ＬＣＤコントローラ 6 0 と共にホストを液晶装置 1 0 に含めるように構成することも可能である。

【 0 0 4 6 】

(信号ドライバ)

図 2 に、図 1 に示した信号ドライバの構成の概要を示す。

【 0 0 4 7 】

信号ドライバ 3 0 は、シフトレジスタ 3 2、ラインラッチ 3 4、3 6、ディジタル・アナログ変換回路 (広義には、駆動電圧生成回路) 3 8、信号ライン駆動回路 4 0 を含む。

【 0 0 4 8 】

シフトレジスタ 3 2 は、複数のフリップフロップを有しており、これらフリップフロップが順次接続される。このシフトレジスタ 3 2 は、クロック信号 ＣＬＫに同期してイネーブル入出力信号 ＥＩＯを保持すると、順次クロック信号 ＣＬＫに同期して隣接するフリップフロップにイネーブル入出力信号 ＥＩＯをシフトする。

【 0 0 4 9 】

また、このシフトレジスタ 3 2 には、シフト方向切り替え信号 ＳＨＬが供給される。シフトレジスタ 3 2 は、このシフト方向切り替え信号 ＳＨＬにより、画像データ (ＤＩＯ) のシフト方向と、イネーブル入出力信号 ＥＩＯの入出力方向が切り替えられる。したがって、このシフト方向切り替え信号 ＳＨＬによりシフト方向を切り替えることによって、信号ドライバ 3 0 の実装状態により信号ドライバ 3 0 に対して画像データを供給するＬＣＤコントローラ 6 0 の位置が異なった場合であっても、その配線の引き回しによって実装面積が拡大することなく、柔軟な実装を可能にすることができる。

【 0 0 5 0 】

ラインラッチ 3 4 は、ＬＣＤコントローラ 6 0 から例えば 1 8 ビット (6 ビット (階調データ) × 3 (ＲＧＢ各色)) 単位で画像データ (ＤＩＯ) が入力される。ラインラッチ 3 4 は、この画像データ (ＤＩＯ) を、シフトレジスタ 3 2 の各フリップフロップで順次シフトされたイネーブル入出力信号 ＥＩＯに同期してラッチする。

【 0 0 5 1 】

ラインラッチ 3 6 は、ＬＣＤコントローラ 6 0 から供給される水平同期信号 ＬＰに同期して、ラインラッチ 3 4 でラッチされた一水平走査単位の画像データをラッチする。

【 0 0 5 2 】

ＤＡＣ 3 8 は、信号ラインごとに、画像データに基づいてアナログ化された駆動電圧を生成する。

【 0 0 5 3 】

信号ライン駆動回路 4 0 は、ＤＡＣ 3 8 によって生成された駆動電圧に基づいて、信号ラインを駆動する。

【 0 0 5 4 】

このような信号ドライバ 3 0 は、ＬＣＤコントローラ 6 0 から順次入力される所与の単位 (例えば 1 8 ビット単位) の画像データを順次取り込み、水平同期信号 ＬＰに同期して一水平走査単位の画像データをラインラッチ 3 6 で一旦保持する。そして、この画像データに基づいて、各信号ラインを駆動する。この結果、ＬＣＤパネル 2 0 のＴＦＴのソース電極には、画像データに基づく駆動電圧が供給される。

【 0 0 5 5 】

(走査ドライバ)

10

20

30

40

50

図 3 に、図 1 に示した走査ドライバの構成の概要を示す。

【 0 0 5 6 】

走査ドライバ 5 0 は、シフトレジスタ 5 2、レベルシフタ (Level Shifter: 以下、L / S と略す。) 5 4、5 6、走査ライン駆動回路 5 8 を含む。

【 0 0 5 7 】

シフトレジスタ 5 2 は、各走査ラインに対応して設けられたフリップフロップが順次接続される。このシフトレジスタ 5 2 は、クロック信号 C L K に同期してイネーブル入出力信号 E I O をフリップフロップに保持すると、順次クロック信号 C L K に同期して隣接するフリップフロップにイネーブル入出力信号 E I O をシフトする。ここで入力されるイネーブル入出力信号 E I O は、L C D コントローラ 6 0 から供給される垂直同期信号である。

10

【 0 0 5 8 】

L / S 5 4 は、L C D パネル 2 0 の液晶材と T F T のトランジスタ能力とに応じた電圧レベルにシフトする。この電圧レベルとしては、例えば 2 0 V ~ 5 0 V の高い電圧レベルが必要とされるため、他のロジック回路部とは異なる高耐圧プロセスが用いられる。

【 0 0 5 9 】

走査ライン駆動回路 5 8 は、L / S 5 4 によってシフトされた駆動電圧に基づいて、C M O S 駆動を行う。また、この走査ドライバ 5 0 は、L / S 5 6 を有しており、L C D コントローラ 6 0 から供給される出力イネーブル信号 X O E V の電圧シフトが行われる。走査ライン駆動回路 5 8 は、L / S 5 6 によってシフトされた出力イネーブル信号 X O E V により、オンオフ制御が行われる。

20

【 0 0 6 0 】

このような走査ドライバ 5 0 は、垂直同期信号として入力されたイネーブル入出力信号 E I O が、クロック信号 C L K に同期してシフトレジスタ 5 2 の各フリップフロップに順次シフトされる。シフトレジスタ 5 2 の各フリップフロップは、各走査ラインに対応して設けられているため、各フリップフロップに保持された垂直同期信号のパルスにより、走査ラインが択一的に順次選択される。選択された走査ラインは、L / S 5 4 によってシフトされた電圧レベルで、走査ライン駆動回路 5 8 により駆動される。これにより、L C D パネル 2 0 の T F T のゲート電極には、一垂直走査周期で所与の走査駆動電圧が供給されることになる。このとき、L C D パネル 2 0 の T F T のドレイン電極は、ソース電極に接続される信号ラインの電位に対応して、ほぼ同等の電位となる。

30

【 0 0 6 1 】

(L C D コントローラ)

図 4 に、図 1 に示した L C D コントローラの構成の概要を示す。

【 0 0 6 2 】

L C D コントローラ 6 0 は、制御回路 6 2、ランダムアクセスメモリ (Random Access Memory: 以下、R A M と略す。)(広義には、記憶手段) 6 4、ホスト入出力回路 (I / O) 6 6、L C D 入出力回路 6 8 を含む。さらに、制御回路 6 2 は、コマンドシーケンサ 7 0、コマンド設定レジスタ 7 2、コントロール信号生成回路 7 4 を含む。

【 0 0 6 3 】

制御回路 6 2 は、ホストによって設定された内容にしたがい、信号ドライバ 3 0、走査ドライバ 5 0 及び電源回路 8 0 の各種動作モード設定や同期制御等を行う。より具体的には、コマンドシーケンサ 7 0 が、ホストからの指示に従って、コマンド設定レジスタ 7 2 で設定された内容に基づいて、コントロール信号生成回路 7 4 で同期タイミングを生成したり、信号ドライバ等に対して所与の動作モードを設定したりする。

40

【 0 0 6 4 】

R A M 6 4 は、画像表示を行うためのフレームバッファとしての機能を有するとともに、制御回路 6 2 の作業領域にもなる。

【 0 0 6 5 】

この L C D コントローラ 6 0 は、ホスト I / O 6 6 を介して、画像データや、信号ドライバ 3 0 及び走査ドライバ 5 0 を制御するためのコマンドデータが供給される。ホスト I /

50

０６６には、図示しないＣＰＵや、デジタル信号処理装置（Digital Signal Processor：DSP）或いはマイクロプロセッサユニット（Micro Processor Unit：MPU）が接続される。

【００６６】

ＬＣＤコントローラ６０は、画像データとして図示しないＣＰＵより静止画データが供給されたり、DSP或いはMPUより動画データが供給される。また、ＬＣＤコントローラ６０は、コマンドデータとして図示しないＣＰＵより、信号ドライバ３０又は走査ドライバ５０を制御するためのレジスタの内容や、各種動作モードを設定するためのデータが供給される。

【００６７】

画像データとコマンドデータは、それぞれ別個のデータバスを介してデータを供給するようにしても良いし、データバスを共用化しても良い。この場合、例えばコマンド（CoMmanD：CMD）端子に入力された信号レベルによって、データバス上のデータが、画像データか、或いはコマンドデータかを識別できるようにすることで、画像データとコマンドデータとの共用化を容易に図ることができ、実装面積の縮小化が可能になる。

【００６８】

ＬＣＤコントローラ６０は、画像データが供給された場合、この画像データをフレームバッファとしてのＲＡＭ６４に保持する。一方、コマンドデータが供給された場合、ＬＣＤコントローラ６０は、コマンド設定レジスタ７２若しくはＲＡＭ６４に保持する。

【００６９】

コマンドシーケンサ７０は、コマンド設定レジスタ７２に設定された内容にしたがって、コントロール信号生成回路７４により各種タイミング信号を生成させる。また、コマンドシーケンサ７０は、コマンド設定レジスタ７２に設定された内容にしたがって、ＬＣＤ入出力回路６８を介して、信号ドライバ３０、走査ドライバ５０若しくは電源回路８０のモード設定を行う。

【００７０】

また、コマンドシーケンサ７０は、コントロール信号生成回路７４で生成された表示タイミングにより、ＲＡＭ６４に記憶された画像データから所与の形式の画像データを生成し、ＬＣＤ入出力回路６８を介して、信号ドライバ３０に供給するようになっている。

【００７１】

１．２ 反転駆動方式

ところで、液晶を表示駆動する場合、液晶の耐久性や、コントラストの観点から、周期的に液晶容量に蓄積される電荷を放電する必要がある。そのため、上述した液晶装置１０では、交流化駆動によって、所与の周期で液晶に印加される電圧の極性を反転させることが行われる。この交流化駆動方式としては、例えばフレーム反転駆動方式や、ライン反転駆動方式がある。

【００７２】

フレーム反転駆動方式は、フレームごとに液晶容量に印加される電圧の極性を反転する方式である。一方、ライン反転駆動方式は、ラインごとに液晶容量に印加される電圧の極性を反転する方式である。なお、ライン反転駆動方式の場合も、各ラインに着目すれば、フレーム周期で液晶容量に印加される電圧の極性も反転される。

【００７３】

図５（Ａ）、（Ｂ）に、フレーム反転駆動方式の動作を説明するための図を示す。図５（Ａ）は、フレーム反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 V_{com} の波形を模式的に示したものである。図５（Ｂ）は、フレーム反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示したものである。

【００７４】

フレーム反転駆動方式では、図５（Ａ）に示すように信号ラインに印加される駆動電圧の極性が１フレーム周期ごとに反転されている。すなわち、信号ラインに接続されるＴＦＴ

10

20

30

40

50

のソース電極に供給される電圧 V_s は、フレーム f_1 では正極性「 $+V$ 」、後続のフレーム f_2 では負極性の「 $-V$ 」となる。一方、TFTのドレイン電極に接続される画素電極に対向する対向電極に供給される対向電極電圧 V_{com} も、信号ラインの駆動電圧の極性反転周期に同期して反転される。

【0075】

液晶容量には、画素電極と対向電極との電圧の差が印加されるため、図5(B)に示すようにフレーム f_1 では正極性、フレーム f_2 では負極性の電圧がそれぞれ印加されることになる。

【0076】

図6(A)、(B)に、ライン反転駆動方式の動作を説明するための図を示す。

10

【0077】

図6(A)は、ライン反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 V_{com} の波形を模式的に示したものである。図6(B)は、ライン反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示したものである。

【0078】

ライン反転駆動方式では、図6(A)に示すように信号ラインに印加される駆動電圧の極性が、各水平走査周期(1H)ごとに、かつ1フレーム周期ごとに反転されている。すなわち、信号ラインに接続されるTFTのソース電極に供給される電圧 V_s は、フレーム f_1 の1Hでは正極性「 $+V$ 」、2Hでは負極性の「 $-V$ 」となる。なお、当該電圧 V_s は

20

【0079】

一方、TFTのドレイン電極に接続される画素電極に対向する対向電極に供給される対向電極電圧 V_{com} も、信号ラインの駆動電圧の極性反転周期に同期して反転される。

【0080】

液晶容量には、画素電極と対向電極との電圧の差が印加されるため、走査ラインごとに極性を反転することで、図6(B)に示すようにフレーム周期で、各ラインごとに極性が反転する電圧がそれぞれ印加されることになる。

【0081】

一般的に、フレーム反転駆動方式に比べてライン反転駆動方式のほうが、変化の周期が1

30

ライン周期となるため、画質の向上に貢献できるものの、消費電力が大きくなる。

【0082】

1.3 液晶駆動波形

図7に、上述した構成の液晶装置10のLCDパネル20の駆動波形の一例を示す。ここでは、ライン反転駆動方式により駆動する場合を示している。

【0083】

上述したように、液晶装置10では、LCDコントローラ60によって生成された表示タイミングに従って、信号ドライバ30、走査ドライバ50及び電源回路80が制御される。LCDコントローラ60は、信号ドライバ30に対しては一水平走査単位の画像データを順次転送するとともに、内部で生成した水平同期信号や反転駆動タイミングを示す極性反転信号POLを供給する。また、LCDコントローラ60は、走査ドライバ50に対しては、内部で生成した垂直同期信号を供給する。さらに、LCDコントローラ60は、電源回路80に対して対向電極電圧極性反転信号VCOMを供給する。

40

【0084】

これにより、信号ドライバ30は、水平同期信号に同期して、一水平走査単位の画像データに基づいて信号ラインの駆動を行う。走査ドライバ50は、垂直同期信号をトリガとして、LCDパネル20にマトリックス状に配置されたTFTのゲート電極に接続される走査ラインを、順次駆動電圧 V_g で走査駆動する。電源回路80は、内部で生成した対向電極電圧 V_{com} を、対向電極電圧極性反転信号VCOMに同期して極性反転を行いながら、LCDパネル20の各対向電極に供給する。

50

【 0 0 8 5 】

液晶容量には、T F Tのドレイン電極に接続される画素電極と対向電極の電圧 V_{com} との電圧に応じた電荷が充電される。したがって、液晶容量に蓄積された電荷によって保持された画素電極電圧 V_p が、所与の閾値 V_{CL} を越えると画像表示が可能となる。画素電極電圧 V_p が所与の閾値 V_{CL} を越えると、その電圧レベルに応じて画素の透過率が変化し、階調表現が可能となる。

【 0 0 8 6 】

2. 信号ドライバ

2. 1 ブロック単位の出力制御

本実施形態における信号ドライバ30は、所与の複数の信号ラインごとに分割されたブロックを単位として、画像データに基づく信号駆動を行って、パーシャル表示を実現することができるようにしている。そのため信号ドライバ30は、パーシャル表示選択レジスタを有しており、ブロック単位で各ブロックの出力可否を示すパーシャル表示データを保持するようになっている。パーシャル表示データにより出力がオンに設定されたブロックは、当該ブロックの信号ラインに対して画像データに基づく信号駆動を行う表示エリアとして設定されることになる。一方、パーシャル表示データにより表示がオフに設定されたブロックは、当該ブロックの信号ラインに対して所与の非表示レベル電圧が供給される非表示エリアとして設定されることになる。

10

【 0 0 8 7 】

本実施形態では、このブロックを8ピクセル単位としている。ここで、1ピクセルは、R G B信号の3ビットからなる。したがって、信号ドライバ30は、計24出力（例えば、 $S_1 \sim S_{24}$ ）を1ブロックとしている。これにより、L C Dパネル20の表示エリアをキャラクタ文字（1バイト）単位で設定することができるので、携帯電話機のようなキャラクタ文字の表示を行う電子機器において、効率的な表示エリアの設定及びその画像表示が可能となる。

20

【 0 0 8 8 】

図8（A）、（B）、（C）に、このような本実施形態における信号ドライバにより実現したパーシャル表示の一例を模式的に示す。

【 0 0 8 9 】

例えば、図8（A）に示すようにL C Dパネル20に対して、Y方向に複数の信号ラインが配列されるように信号ドライバ30を配置し、X方向に複数の走査ラインが配列されるように走査ドライバ50を配置した場合、図8（B）に示すようにブロック単位で非表示エリア100Bを設定する。こうすることで、表示エリア102A、104Aに対応するブロックの信号ラインのみを画像データに基づいて駆動すればよい。

30

【 0 0 9 0 】

或いは、図8（C）に示すようにブロック単位で表示エリア106Aを設定することで、非表示エリア108B、110Bに対応するブロックの信号ラインを画像データに基づいて駆動する必要がなくなる。また、図8（B）、（C）において、複数の非表示エリア若しくは表示エリアを設定するようにしても良い。

【 0 0 9 1 】

図9（A）、（B）、（C）に、本実施形態による信号ドライバにより実現したパーシャル表示の他の例を模式的に示す。

40

【 0 0 9 2 】

この場合、図9（A）に示すようにL C Dパネル20に対して、X方向に複数の信号ラインが配列されるように信号ドライバ30を配置し、Y方向に複数の走査ラインが配列されるように走査ドライバ50を配置すると、図9（B）に示すようにブロック単位で非表示エリア120Bを設定することで、表示エリア122A、124Aに対応するブロックの信号ラインのみを画像データに基づいて駆動すればよい。

【 0 0 9 3 】

或いは、図9（C）に示すようにブロック単位で表示エリア126Aを設定することで、

50

非表示エリア 128B、130B に対応するブロックの信号ラインを画像データに基づいて駆動する必要がない。なお、図 9 (B)、(C) において、複数の非表示エリア若しくは表示エリアを設定するようにしても良い。

【0094】

また、各表示エリアは、例えば静止画表示エリアと動画表示エリアとを区切るようにしても良い。こうすることで、ユーザにとって見やすい画面を提供することができるとともに、低消費電力化を図ることが可能となる。

【0095】

本実施形態における信号ドライバ 30 において、信号ライン駆動回路 40 はブロック単位に制御され、ブロックの信号ラインをボルテージフォロワ接続されたオペアンプ、若しくは非表示レベル電圧供給回路により駆動する。

10

【0096】

図 10 (A)、(B) に、本実施形態における信号ライン駆動回路の制御内容を模式的に示す。

【0097】

パースシャル表示データにより出力がオンに設定された表示エリアに対応するブロックの信号ラインを画像データに基づいて駆動する場合、図 10 (A) に示すように、DAC38_A により駆動電圧を生成させ、信号ライン駆動回路 40_A においてボルテージフォロワ接続されたオペアンプによりインピーダンス変換を行って、当該ブロックに割り当てられた 1 又は複数の信号ラインを駆動する。この際、信号ライン駆動回路 40_A の非表示レベル電圧供給回路は、その出力がハイインピーダンス制御される。

20

【0098】

一方、パースシャル表示データにより出力がオフに設定された非表示エリアに対応するブロックの信号ラインについては、図 10 (B) に示すように、DAC38_B による駆動電圧の生成制御を停止させるとともに、信号ライン駆動回路 40_B においてボルテージフォロワ接続されたオペアンプの出力をハイインピーダンス制御する。そして、信号ライン駆動回路 40_B の非表示レベル電圧供給回路により生成した非表示レベル電圧で、当該ブロックに割り当てられた 1 又は複数の信号ラインを駆動する。この非表示レベル電圧は、TFT に接続される液晶容量に印加される電圧を、少なくとも画素の透過率が変化して表示可能となる所与の閾値 V_{CL} より小さくするような電圧レベルに設定される。

30

【0099】

これにより、上述した画像表現による効果に加えて、オペアンプの定常的な電流消費を削減することができるので、従来から問題となっていた TFT 液晶を用いたアクティブマトリクス型液晶パネルの消費電力を低減し、バッテリー駆動の携帯型の電子機器への搭載が可能となる。

【0100】

2.2 シフト方向に応じたブロックの入れ替え

本実施形態における信号ドライバ 30 は、図 8 (A) ~ (C)、図 9 (A) ~ (C) に示したように、実装対象となる電子機器に応じて、LCD パネル 20 に対して配置される位置が異なる場合がある。

40

【0101】

図 11 (A)、(B) に、LCD パネル 20 に対して異なる位置に実装される信号ドライバ 30 を模式的に示す。

【0102】

すなわち、図 11 (A) に示す場合では、LCD パネル 20 に対して下側に信号ドライバ 30 が配置されている。一方、図 11 (B) に示す場合では、LCD パネル 20 に対して上側に信号ドライバ 30 が配置されている。

【0103】

信号ドライバ 30 の信号ライン駆動出力側は、固定されているため、図 11 (A) に示すように LCD パネル 20 に対して下側に信号ドライバ 30 が配置されたときの駆動側の順

50

番が、図 1 1 (B) に示すように L C D パネル 2 0 に対して上側に配置されたとき駆動側の順番と逆になる。したがって、実装状態によって信号ドライバ 3 0 への配線の引き回しのため実装面積が増大してしまう。このため、シフト方向入れ替え信号 S H L によって、画像データのシフト方向を切り替えるようにしている。

【 0 1 0 4 】

図 1 2 (A)、(B)、(C) に、ラインラッチに保持された画像データと、ブロックの対応関係を模式的に示す。

【 0 1 0 5 】

例えば図 1 1 (A) に示す位置に信号ドライバ 3 0 が配置された場合、シフト方向切り替え信号 S H L を「 H 」にすることで、図 1 2 (A) に示すように、シフトレジスタで順次保持されてラインラッチ 3 6 でラッチされた一水平走査単位の画像データが、信号ライン $S_1 \sim S_M$ に対応して、画像データ P 1 ~ P M の並びの順番になるものとする。

10

【 0 1 0 6 】

これに対して図 1 1 (B) に示す位置に信号ドライバ 3 0 が配置された場合、シフト方向切り替え信号 S H L を「 L 」にすることで、図 1 2 (B) に示すように、図 1 2 (A) と同じ並びの順番で L C D コントローラ 6 0 から供給される画像データに対して、ラインラッチ 3 6 には、信号ライン $S_1 \sim S_M$ に対応して、画像データ P M、・・・、P 3、P 2、P 1 の並びの順番で保持される。

【 0 1 0 7 】

ところが、ユーザにとっては、図 1 2 (A)、(B) に示すように、複数の信号ラインを分割したブロックの並びの順番は変わらない。したがって、ブロック単位に、上述した画像データを制御する場合、ユーザもシフト方向に応じてブロックの順番の並びが変更することを認識して画像表示制御を行わなければならない。

20

【 0 1 0 8 】

そこで、本実施形態では、ユーザがシフト方向によって入れ替わるブロックの並びの順番を気にすることなく、上述したブロック単位のパーシャル表示制御を可能にするため、図 1 2 (C) に示すように、これらブロック単位で指定されるパーシャル表示データについてもシフト方向に応じて切り替えるようにしている。すなわち、本実施形態における信号ドライバ 3 0 は、シフト方向を切り替えた場合に上述したパーシャル表示選択レジスタに記憶されたパーシャル表示データの順番を逆に入れ替えることができるブロックデータ入れ替え回路を含む。

30

【 0 1 0 9 】

これにより、表示エリア及び非表示エリアが設定されたブロックと、実際のパネルの駆動回路との対応関係を維持し、信号ドライバ 3 0 の実装状態に依存することなく、ブロック単位のパーシャル表示切替を実現させることができる。

【 0 1 1 0 】

以下では、このような本実施形態における信号ドライバ 3 0 の具体的な構成例について説明する。

【 0 1 1 1 】

3 . 本実施形態における信号ドライバの構成の具体例

40

3 . 1 信号ドライバの構成 (ブロック単位)

図 1 3 に、本実施形態における信号ドライバ 3 0 において制御されるブロック単位の構成の概要を示す。

【 0 1 1 2 】

本実施形態における信号ドライバ 3 0 は、2 8 8 本の信号ライン出力 ($S_1 \sim S_{288}$) を有しているものとする。

【 0 1 1 3 】

すなわち、本実施形態における信号ドライバ 3 0 は、2 4 出力端子単位 ($S_1 \sim S_{24}$ 、 $S_{25} \sim S_{48}$ 、・・・、 $S_{265} \sim S_{288}$) に、図 1 3 に示す構成を備えており、計 1 2 ブロック (B 0 ~ B 1 1) を有している。以下では、図 1 3 は、ブロック B 0 を示すものとして説

50

明するが、他のブロック B 1 ~ B 1 1 についても同様である。

【 0 1 1 4 】

信号ドライバ 3 0 のブロック B 0 は、信号ライン $S_1 \sim S_{24}$ の各信号ラインに対応して、シフトレジスタ 1 4 0₀、ラインラッチ 3 6₀、駆動電圧生成回路 3 8₀、信号ライン駆動回路 4 0₀を含む。ここで、シフトレジスタ 1 4 0₀は、図 2 に示すシフトレジスタ 3 2 及びラインラッチ 3 4 の機能を有する。

【 0 1 1 5 】

シフトレジスタ 1 4 0₀は、各信号ラインに対応して $SR_{0-1} \sim SR_{0-24}$ を含む。ラインラッチ 3 6₀は、各信号ラインに対応して $LAT_{0-1} \sim LAT_{0-24}$ を含む。駆動電圧生成回路 3 8₀は、各信号ラインに対応して $DAC_{0-1} \sim DAC_{0-24}$ を含む。信号ライン駆動回路 4 0₀は、各信号ラインに対応して $SDRV_{0-1} \sim SDRV_{0-24}$ を含む。

10

【 0 1 1 6 】

3 . 2 パーシャル表示選択レジスタ

上述したように、本実施形態における信号ドライバ 3 0 は、ブロック単位に出力制御される。そのため、本実施形態における信号ドライバ 3 0 は、図 1 4 に示すようにパーシャル表示選択レジスタ 1 5 0 を有している。このパーシャル表示選択レジスタ 1 5 0 は、LCD コントローラ 6 0 によって設定される。LCD コントローラ 6 0 は、ホスト (CPU) からの制御によって、所与のタイミングで信号ドライバ 3 0 のパーシャル表示選択レジスタ 1 5 0 の内容を更新することができるようになっており、その都度最適なパーシャル表示を実現することができる。

20

【 0 1 1 7 】

パーシャル表示選択レジスタ 1 5 0 は、ブロック B 0 ~ B 1 1 に対応して、各ブロックの信号ラインを画像データに基づいて信号駆動するか否かを示すパーシャル表示データ PART 0 ~ PART 1 1 を含む。本実施形態では、パーシャル表示データ PART 0 ~ PART 1 1 のうち、出力がオンであることを示す「1」に設定されたブロックを表示エリア、出力がオフであることを示す「0」に設定されたブロックを非表示エリアとして、表示制御を行う。

【 0 1 1 8 】

上述したように、信号ドライバ 3 0 の実装状態に応じて、ユーザにブロックの順番を気にさせる必要なく、ブロック単位のパーシャル表示を実現させるために、パーシャル表示データをブロック単位で切り替える必要がある。

30

【 0 1 1 9 】

そこで、本実施形態では、以下に示すブロックデータ入れ替え回路により、パーシャル表示選択レジスタのブロックの並び順を、シフト方向に応じて切り替えるようになっている。

【 0 1 2 0 】

図 1 5 に、ブロックデータ入れ替え回路の構成の一例を示す。

【 0 1 2 1 】

上述したように、信号ドライバ 3 0 の実装状態に応じて、ユーザにブロックの順番を気にさせる必要なく、ブロック単位のパーシャル表示を実現させるために、パーシャル表示データをブロック単位で切り替える必要がある。

40

【 0 1 2 2 】

このブロックデータ入れ替え回路は、パーシャル表示データ選択レジスタに設定されたパーシャル表示データ PART 0 ~ PART 1 1 の並びをシフト方向切り替え信号 SHL に応じて切り替える。より具体的には、ブロックデータ入れ替え回路は、シフト方向切り替え信号 SHL に応じて、パーシャル表示データ PART 0 及び PART 1 1 のいずれか一方を PART 0 ' として選択出力する。同様に、シフト方向切り替え信号 SHL に応じて、パーシャル表示データ PART 1 及び PART 1 0 のいずれか一方を PART 1 ' 、パーシャル表示データ PART 2 及び PART 9 のいずれか一方を PART 2 ' 、・・・、パーシャル表示データ PART 1 1 及び PART 0 のいずれか一方を PART 1 1 ' とし

50

て、それぞれ選択出力する。

【0123】

このようにシフト方向に応じてブロック単位の並び順が切り替えられたパーシャル表示データ $PART0' \sim PART11'$ は、シフト方向に応じて $PART0$ 、 $PART1$ 、 \dots 、 $PART11$ 、又は $PART11$ 、 $PART10$ 、 \dots 、 $PART0$ のいずれかのデータとして、それぞれ対応する各ブロック $B0 \sim B11$ に供給される。各ブロック $B0 \sim B11$ は、パーシャル表示データ $PART0' \sim PART11'$ に基づいてパーシャル表示制御を行う。

【0124】

ブロック $B0$ は、パーシャル表示データ $PART0'$ に基づいてパーシャル表示制御が行われる。 10

【0125】

3.3 シフトレジスタ

ブロック $B0$ のシフトレジスタ 140_0 は、クロック信号 CLK に同期して、隣接するブロックのシフトレジスタからシフトされた画像データを順次各 SR においてシフトする。また、シフトレジスタ 140_0 は、シフト方向切り替え信号 SHL に応じて、左方向データ入力信号 LIN 若しくは右方向データ入力信号 RIN として隣接するブロックのシフトレジスタから入力された画像データを順次シフトする。なお、ブロック $B0$ の LIN 及び $LOUT$ 、ブロック $B11$ の RIN 及び $ROUT$ は、シフト切り替え信号 SHL によって入出力方向が切り替えられる。 20

【0126】

図16に、 SR_{0-1} の構成の一例を示す。

【0127】

ここでは、 SR_{0-1} の構成について示すが、他の $SR_{0-2} \sim SR_{0-24}$ についても同様に構成することができる。

【0128】

SR_{0-1} は、 FF_{L-R} 、 FF_{R-L} 、 $SW1$ を含む。

【0129】

FF_{L-R} は、例えば D 端子に入力される左方向データ入力信号 LIN を、 CK 端子に入力されるクロック信号の立ち上がりエッジに同期してラッチし、 Q 端子から右方向データ出力信号 $ROUT$ として、 SR_{0-2} の D 端子に対して左方向データ入力信号 LIN を供給する。 30

【0130】

FF_{R-L} は、例えば D 端子に入力される右方向データ入力信号 RIN を、 CK 端子に入力されるクロック信号の立ち上がりエッジに同期してラッチし、 Q 端子から左方向データ出力信号 $LOUT$ を出力する。

【0131】

FF_{L-R} の Q 端子から出力される右方向データ出力信号 $ROUT$ と、 FF_{R-L} の Q 端子から出力される左方向出力信号 $LOUT$ とは、 $SW1$ にも供給される。 $SW1$ は、シフト方向切り替え信号 SHL に応じて、右方向データ出力信号 $ROUT$ と、 FF_{R-L} の Q 端子から出力される左方向出力信号 $LOUT$ のうち、いずれか一方を選択して、ラインラッチ 36_0 の LAT_{0-1} に供給する。 40

【0132】

このようにして、シフトレジスタ 140_0 の各 $SR_{0-1} \sim SR_{0-24}$ に保持された画像データは、水平同期信号 LP に同期してそれぞれラインラッチ 36_0 の各 $LAT_{0-1} \sim LAT_{0-24}$ にラッチされる。

【0133】

3.4 ラインラッチ

ラインラッチ LAT_{0-1} にラッチされた信号ライン S_1 に対応する画像データは、駆動電圧生成回路の DAC_{0-1} に供給される。 DAC_{0-1} は、 DAC イネーブル信号 $DACen$ が論 50

理レベル「H」のときに、 $L A T_{0-1}$ から供給された例えば6ビットの階調データ(画像データ)に基づいて、64レベルの階調電圧を発生する。

【0134】

3.5 駆動電圧生成回路

図17に、 $D A C_{0-1}$ によって生成される階調電圧を説明するための図を示す。

【0135】

$D A C_{0-1}$ は、電源回路80から例えば $V_0 \sim V_8$ の各レベルの基準電圧が供給されている。 $D A C_{0-1}$ は、 $D A C$ イネーブル信号 $D A C e n$ が論理レベル「H」になると、各信号ラインの画像データとしての6ビットの階調データのうち例えば上位3ビットから $V_0 \sim V_8$ によって分割された電圧範囲のうちの1つを選択する。ここで、例えば基準電圧 V_2 と V_3 との間を選択すると、6ビットの階調データのうち例えば下位3ビットによって特定される V_2 と V_3 の間の8レベルのうちいずれか1つである $V_{2.3}$ を選択する。

10

【0136】

このように、信号ライン S_1 に対応する $D A C_{0-1}$ に選択された駆動電圧は、信号ライン駆動回路400の $S D R V_{0-1}$ に供給される。同様に、他の信号ライン $S_2 \sim S_{24}$ についても、駆動電圧の供給が行われる。

【0137】

本実施形態では、 $D A C$ イネーブル信号 $D A C e n$ が、信号ドライバ30の図示しない制御回路で生成された $D A C$ 制御信号 $d a c e n$ と、パーシャル表示選択レジスタのブロックB0のパーシャル表示の可否を示すパーシャル表示データ $P A R T(P A R T 0')$ との論理積により生成される。すなわち、パーシャル表示エリアとして設定された場合にのみ $D A C$ 動作を行う一方、パーシャル非表示エリアとして設定された場合、 $D A C$ 動作を停止してラダー抵抗に流れる電流消費を削減する。

20

【0138】

なお、この $D A C$ イネーブル信号 $D A C e n$ は、他の信号ライン $S_2 \sim S_{24}$ に対応する $D A C_{0-2} \sim D A C_{0-24}$ にも同様に供給され、ブロック単位で $D A C$ の動作制御が行われる。

【0139】

3.6 信号駆動回路

信号ライン駆動回路400の $S D R V_{0-1}$ は、インピーダンス変換手段としてのボルテージフォロワ接続されたオペアンプ $O P_{0-1}$ と、パーシャル非表示レベル電圧供給回路 $V G_{0-1}$ を含む。

30

【0140】

3.6.1 オペアンプ

ボルテージフォロワ接続されたオペアンプ $O P_{0-1}$ は、その出力端子が負帰還され、オペアンプの入力インピーダンスも極めて大きくなり、入力電流はほとんど流れなくなる。そして、オペアンプイネーブル信号 $O P e n$ が論理レベル「H」のときに、 $D A C_{0-1}$ によって生成された駆動電圧をインピーダンス変換して、信号ライン S_1 を駆動する。これにより、信号ライン S_1 の出力負荷に依存することなく、信号駆動を行うことができる。

【0141】

40

本実施形態では、オペアンプイネーブル信号 $O P e n$ が、信号ドライバ30の図示しない制御回路で生成されたオペアンプ制御信号 $o p e n$ と、パーシャル表示選択レジスタのブロックB0のパーシャル表示の可否を示すパーシャル表示データ $P A R T(P A R T 0')$ との論理積により生成される。すなわち、パーシャル表示エリアとして設定された場合にのみインピーダンス変換して信号ラインの駆動を行う一方、パーシャル非表示エリアとして設定された場合、オペアンプ動作を停止して電流源を停止して電流消費を削減する。

【0142】

図18に、ボルテージフォロワ接続されたオペアンプ $O P_{0-1}$ の構成の一例を示す。

【0143】

このオペアンプ $O P_{0-1}$ は、差動増幅部1600-1と、出力増幅部1700-1とを含む。こ

50

のオペアンプ OP_{0-1} は、オペアンプイネーブル信号 $OPen$ にしたがって、 DAC_{0-1} から供給された入力電圧 VIN をインピーダンス変換して、出力電圧 VOU_T を出力する。

【0144】

差動増幅部 160_{0-1} は、第1及び第2の差動増幅回路 162_{0-1} 、 164_{0-1} を含む。

【0145】

第1の差動増幅回路 162_{0-1} は、p型トランジスタ $QP1$ 、 $QP2$ と、n型トランジスタ $QN1$ 、 $QN2$ を少なくとも含む。

【0146】

第1の差動増幅回路 162_{0-1} において、p型トランジスタ $QP1$ 、 $QP2$ のソース端子は、電源電圧レベル VDD に接続されている。また、p型トランジスタ $QP1$ 、 $QP2$ のゲート端子は互いに接続され、これらゲート端子はさらにp型トランジスタ $QP1$ のドレイン端子に接続されてカレントミラー構造となっている。p型トランジスタ $QP1$ のドレイン端子は、n型トランジスタ $QN1$ のドレイン端子に接続される。p型トランジスタ $QP2$ のドレイン端子は、n型トランジスタ $QN2$ のドレイン端子に接続される。

10

【0147】

n型トランジスタ $QN1$ のゲート端子には、出力電圧 VOU_T が供給され、負帰還されている。n型トランジスタ $QN2$ のゲート端子には、入力電圧 VIN が供給されている。

【0148】

n型トランジスタ $QN1$ 、 $QN2$ のソース端子は、基準電圧選択信号 $VREFN1 \sim VREFN3$ のいずれかが論理レベル「H」になることで形成される電流源 166_{0-1} を介して、接地レベル VSS に接続される。

20

【0149】

第2の差動増幅回路 164_{0-1} は、p型トランジスタ $QP3$ 、 $QP4$ と、n型トランジスタ $QN3$ 、 $QN4$ を少なくとも含む。

【0150】

第2の差動増幅回路 164_{0-1} において、n型トランジスタ $QN3$ 、 $QN4$ のソース端子は、接地レベル VSS に接続されている。また、n型トランジスタ $QN3$ 、 $QN4$ のゲート端子は互いに接続され、これらゲート端子はさらにn型トランジスタ $QN3$ のドレイン端子に接続されてカレントミラー構造となっている。n型トランジスタ $QN3$ のドレイン端子は、p型トランジスタ $QP3$ のドレイン端子に接続される。n型トランジスタ $QN4$ のドレイン端子は、p型トランジスタ $QP4$ のドレイン端子に接続される。

30

【0151】

p型トランジスタ $QP3$ のゲート端子には、出力電圧 VOU_T が供給され、負帰還されている。p型トランジスタ $QP4$ のゲート端子には、入力電圧 VIN が供給されている。

【0152】

p型トランジスタ $QP3$ 、 $QP4$ のソース端子は、基準電圧選択信号 $VREFP1 \sim VREFP3$ のいずれかが論理レベル「L」になることで形成される電流源 168_{0-1} を介して、電源電圧レベル VDD に接続される。

【0153】

また、出力増幅部 170_{0-1} は、p型トランジスタ $QP11$ 、 $QP12$ 、n型トランジスタ $QN11$ 、 $QN12$ を含む。

40

【0154】

出力増幅部 170_{0-1} において、p型トランジスタ $QP11$ のソース端子には電源電圧レベル VDD が接続され、ゲート端子にはオペアンプイネーブル信号 $OPen$ が供給される。また、p型トランジスタ $QP11$ のドレイン端子は、p型トランジスタ $QP2$ のドレイン端子と、p型トランジスタ $QP12$ のゲート端子に接続される。

【0155】

p型トランジスタ $QP12$ のソース端子は、駆動電圧レベル VDD_DRV に接続され、ドレイン端子から出力電圧 VOU_T が出力される。

【0156】

50

また、 n 型トランジスタ Q_{N11} のソース端子に接地レベル V_{SS} が接続され、ゲート端子にオペアンプイネーブル信号 $Open$ の反転信号が供給される。また、 n 型トランジスタ Q_{N11} のドレイン端子は、 n 型トランジスタ Q_{N4} のドレイン端子と、 n 型トランジスタ $NP12$ のゲート端子に接続される。

【0157】

n 型トランジスタ Q_{N12} のソース端子は駆動接地レベル V_{SS_DRV} に接続され、ドレイン端子から出力電圧 V_{OUT} が出力される。

【0158】

図19に、第1及び第2の差動増幅回路 162_{0-1} 、 164_{0-1} に供給される基準電圧選択信号生成回路の構成の概要を示す。

10

【0159】

本実施形態では、基準電圧選択信号 $V_{REF1} \sim V_{REF3}$ により、出力負荷に応じた最適な電流駆動能力を有する電流源を形成することができるようになっている。そのため、基準電圧選択信号生成回路は、基準電圧選択信号 $V_{REF1} \sim V_{REF3}$ により、 p 型トランジスタ用の基準電圧選択信号 $V_{REFP1} \sim V_{REFP3}$ と、 n 型トランジスタ用の基準電圧選択信号 $V_{REFN1} \sim V_{REFN3}$ を生成する。

【0160】

この際、オペアンプイネーブル信号 $Open$ の論理レベルが「H」のときにのみ、基準電圧選択信号 $V_{REF1} \sim V_{REF3}$ の状態に応じて、 p 型トランジスタ用の基準電圧選択信号 $V_{REFP1} \sim V_{REFP3}$ と、 n 型トランジスタ用の基準電圧選択信号 $V_{REFN1} \sim V_{REFN3}$ により、電流源 166_{0-1} 、 168_{0-1} を制御する。一方、オペアンプイネーブル信号 $Open$ の論理レベルが「L」のときには、基準電圧選択信号 $V_{REF1} \sim V_{REF3}$ をマスクする。そのため、電流源 166_{0-1} 、 168_{0-1} は、電流源に流れる電流がなくなり、差動増幅動作を停止する。

20

【0161】

次に、このような構成のボルテージフォロワ接続されたオペアンプ OP_{0-1} の動作の概要を説明する。

【0162】

オペアンプイネーブル信号 $Open$ の論理レベルが「H」の場合、出力電圧 V_{OUT} が入力電圧 V_{IN} より低いとき、第1の差動増幅回路 162_{0-1} において、 n 型トランジスタ Q_{N2} のドレイン端子が低くなって、 p 型トランジスタ $QP12$ を介して出力電圧 V_{OUT} の電位を高くする。

30

【0163】

これに対して、出力電圧 V_{OUT} が入力電圧 V_{IN} より高い場合、第2の差動増幅回路 164_{0-1} において、 p 型トランジスタ $QP4$ のドレイン端子の電位が高くなって、 n 型トランジスタ Q_{N12} を介して出力電圧 V_{OUT} の電位を低くする。

【0164】

一方、オペアンプイネーブル信号 $Open$ の論理レベルが「L」の場合、図19に示したように基準電圧選択信号 $V_{REF1} \sim V_{REF3}$ がマスクされるため、電流源 166_{0-1} 、 168_{0-1} の各トランジスタはオフとなるとともに、 p 型トランジスタ $QP11$ のドレイン端子が電源電圧レベル V_{DD} に接続され、 n 型トランジスタ Q_{N11} のドレイン端子が接地レベル V_{SS} に接続される。したがって、出力電圧 V_{OUT} はハイインピーダンス状態となる。この場合、本来出力電圧 V_{OUT} が供給される信号ラインには、後述するパーシャル非表示レベル電圧供給回路 VG_{0-1} により生成された所与のパーシャル非表示レベル電圧が供給されることになる。

40

【0165】

3.6.2 非表示レベル電圧供給回路

図13において、パーシャル非表示レベル電圧供給回路 VG_{0-1} は、非表示レベル電圧供給イネーブル信号 $LEven$ が論理レベル「H」の場合に、上述したパーシャル表示選択レジスタにおいて非表示エリア（出力がオフ）に設定されたとき、信号ラインに供給する

50

所与の非表示レベル電圧 $V_{\text{PART-LEVEL}}$ を生成する。

【0166】

ここで、非表示レベル電圧 $V_{\text{PART-LEVEL}}$ は、画素の透過率が変化する所与の閾値 V_{CL} と、この画素電極に対向する対向電極の対向電極電圧 V_{com} に対して、次の(1)式の関係有する。

【0167】

$$|V_{\text{PART-LEVEL}} - V_{\text{com}}| < V_{\text{CL}} \quad \cdots (1)$$

【0168】

すなわち、非表示レベル電圧 $V_{\text{PART-LEVEL}}$ は、駆動対象の信号ラインに接続された TFT のドレイン電極に接続される画素電極に印加された場合、液晶容量の印加電圧が、所与の閾値 V_{CL} を越えないような電圧レベルとなっている。

10

【0169】

なお、この非表示レベル電圧 $V_{\text{PART-LEVEL}}$ は、電圧レベルの生成及び制御の容易さから、対向電極電圧 V_{com} と同等の電圧レベルであることが望ましい。したがって、本実施形態では、対向電極電圧 V_{com} と同等の電圧レベルを供給する。この場合、LCD パネル 20 の非表示エリアには、液晶がオフのときの色が表示される。

【0170】

また、本実施形態における非表示レベル電圧供給回路 $V_{G_{0-1}}$ は、階調レベル電圧の両端の電圧レベル V_0 若しくは V_8 のいずれかを非表示レベル電圧 $V_{\text{PART-LEVEL}}$ として選択出力することができるようにになっている。ここで、階調電圧レベルの両端の電圧レベル V_0 若しくは V_8 は、反転駆動方式によりフレームごとに交互に出力するための電圧レベルである。本実施形態では、ユーザによって指定された選択信号 S_{EL} により、非表示レベル電圧 $V_{\text{PART-LEVEL}}$ として、上述した対向電極電圧 V_{com} か、階調レベル電圧の両端の電圧レベル V_0 若しくは V_8 かを選択できるようにする。これにより、ユーザは、非表示エリアの色の選択の自由度を高めることができる。

20

【0171】

本実施形態では、非表示レベル電圧供給イネーブル信号 LEV_{en} が、信号ドライバ 30 の図示しない制御回路で生成された非表示レベル電圧供給回路制御信号 lev_{en} と、パースシャル表示選択レジスタのブロック B0 のパースシャル表示の可否を示すパースシャル表示データ $PART(PART_0')$ の反転との論理積により生成される。すなわち、非表示エリア(出力がオフ)として設定された場合にのみ所与の非表示レベル電圧を信号ラインに駆動し、表示エリア(出力がオン)として設定された場合、非表示レベル電圧供給回路 $V_{G_{0-1}}$ はハイインピーダンス状態となって信号ラインの駆動を行わない。

30

【0172】

なお、このオペアンプイネーブル信号 OP_{en} 及び非表示レベル電圧供給イネーブル信号 LEV_{en} は、他の信号ライン $S_2 \sim S_{24}$ に対応する $SDRV_{0-2} \sim SDRV_{0-24}$ にも同様に供給され、ブロック単位で信号ラインの駆動制御が行われる。

【0173】

図 20 に、本実施形態における非表示レベル電圧供給回路 $V_{G_{0-1}}$ の構成の一例を示す。

【0174】

非表示レベル電圧供給回路 $V_{G_{0-1}}$ は、非表示レベル電圧供給イネーブル信号 LEV_{en} により対向電極電圧と同等の電圧 V_{com} を出力するためのトランスファー回路 180_{0-1} 、インバータ回路 182_{0-1} と、スイッチ回路 SW_2 を含む。

40

【0175】

インバータ回路 182_{0-1} は、互いにドレイン端子が接続された n 型トランジスタ QN_{21} 及び p 型トランジスタ QP_{21} を含む。n 型トランジスタ QN_{21} のソース端子には、電圧レベル V_8 が接続される。p 型トランジスタ QP_{21} のソース端子には、電圧レベル V_0 が接続される。n 型トランジスタ QN_{21} のゲート端子及び p 型トランジスタ QP_{21} のゲート端子は、XOR 回路 184_{0-1} が接続される。XOR 回路 184_{0-1} は、極性反転のタイミングを示す極性反転信号 POL と、現在の位相を示す $Phase$ との排他的論

50

理和が演算される。

【0176】

このようなインバータ回路182₀₋₁は、極性反転信号POLのタイミングにしたがって、現在の位相を示すPhaseの論理レベルが反転し、電圧レベルV₀若しくはV₈のいずれかがスイッチ回路SW2に供給される。

【0177】

スイッチ回路SW2は、選択信号SELによって、トランスファ回路180₀₋₁の出力、インバータ回路182₀₋₁の出力、又はハイインピーダンス状態のいずれか1つを非表示レベル電圧V_{PART-LEVEL}として出力する。

【0178】

3.7 動作例

図21に、本実施形態における信号ドライバ30の動作の一例を示す。

【0179】

シフトレジスタは、クロック信号CLKに同期して、イネーブル入出力信号EIOがシフトされて、EIO1～EIO_L(Lは、2以上の自然数)を生成する。そして、各EIO1～EIO_Lに同期してラインラッチに、画像データ(DIO)が順次ラッチされる。

【0180】

ラインラッチ36は、水平同期信号LPの立ち上がり同期して、一水平走査単位の画像データをラッチし、その立ち下がりからDAC38及び信号ライン駆動回路40により信号ラインの駆動を行う。

【0181】

本実施形態では、上述したようにブロック単位で画像データに基づいて信号ラインの駆動を行うか否かを選択できるようになっており、これにより表示エリア及び非表示エリアの設定が可能となる。表示エリアに設定されたブロックの信号ラインについては、階調データに基づいて生成された駆動電圧に基づいて信号ラインが駆動される。非表示エリアに設定されたブロックの信号ラインについては、対向電極電圧V_{com}若しくは、階調電圧レベルの両端の電圧のうち的一方が選択出力される。

【0182】

このような本実施形態における信号ドライバを用いることにより、携帯電話機のようなバッテリー駆動が行われる携帯型の電子機器の表示部として、高コントラストを有する高画質化と、パースナル表示による低消費電力化とを両立させることができるようになる。

【0183】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述したLCDパネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用可能である。

【0184】

また、本実施形態では、隣接する24出力を1ブロックとして分割するものとして説明したが、これに限定されるものではない。24出力以下であっても良い、24出力以上であっても良い。また、隣接する複数の信号ラインごとに分割する必要もなく、所与の信号ライン間隔で選択した複数の信号ラインを1ブロックとして扱うようにしても良い。

【0185】

さらにまた、本実施形態における信号ドライバは、ライン反転駆動方式に限らず、フレーム反転駆動方式にも適用することができる。

【0186】

また、本実施形態では、表示装置に、LCDパネル、走査ドライバ及び信号ドライバを含むように構成したが、これに限定されるものではない。例えば、LCDパネルに、走査ドライバ及び信号ドライバを含んで構成するようにしても良い。

【0187】

さらに、本実施形態では、TFT液晶を用いたアクティブマトリクス型液晶パネルを例に説明したが、これに限定されるものではない。

10

20

30

40

50

【図面の簡単な説明】

【図 1】本実施形態における信号駆動回路（信号ドライバ）を適用した表示装置の構成の概要を示すブロック図である。

【図 2】図 1 に示した信号ドライバの構成の概要を示すブロック図である。

【図 3】図 1 に示した走査ドライバの構成の概要を示すブロック図である。

【図 4】図 1 に示した LCD コントローラの構成の概要を示すブロック図である。

【図 5】図 5（A）は、フレーム反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 V_{com} の波形を模式的に示す模式図である。図 5（B）は、フレーム反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示す模式図である。

10

【図 6】図 6（A）は、ライン反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 V_{com} の波形を模式的に示す模式図である。図 6（B）は、ライン反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示す模式図である。

【図 7】液晶装置の LCD パネルの駆動波形の一例を示す説明図である。

【図 8】図 8（A）、（B）、（C）は、本実施形態における信号ドライバにより実現したパースナル表示の一例を模式的に示す説明図である。

【図 9】図 9（A）、（B）、（C）は、本実施形態における信号ドライバにより実現したパースナル表示の他の例を模式的に示す説明図である。

【図 10】図 10（A）、（B）は、本実施形態における信号ライン駆動回路の制御内容を模式的に示す説明図である。

20

【図 11】図 11（A）、（B）は、LCD パネルに対して異なる位置に実装される信号ドライバを模式的に示す説明図である。

【図 12】図 12（A）、（B）、（C）は、ラインラッチに保持された画像データと、ブロックの対応関係を模式的に示す説明図である。

【図 13】本実施形態における信号ドライバにおいて制御されるブロック単位の構成の概要を示す構成図である。

【図 14】本実施形態における信号ドライバが有するパースナル表示選択レジスタを示す説明図である。

【図 15】本実施形態におけるブロックデータ入れ替え回路の構成の一例を示す構成図である。

30

【図 16】本実施形態におけるシフトレジスタを構成する SR の構成の一例を示す構成図である。

【図 17】本実施形態における DAC によって生成される階調電圧を説明するための説明図である。

【図 18】本実施形態におけるボルテージフォロワ接続されたオペアンプ OP の構成の一例を示す回路構成図である。

【図 19】本実施形態におけるボルテージフォロワ接続されたオペアンプ OP の第 1 及び第 2 の差動増幅回路に供給される基準電圧選択信号生成回路の構成の一例を示す回路構成図である。

40

【図 20】本実施形態における非表示レベル電圧供給回路の構成の一例を示す構成図である。

【図 21】本実施形態における信号ドライバの動作波形の一例を示すタイミング図である。

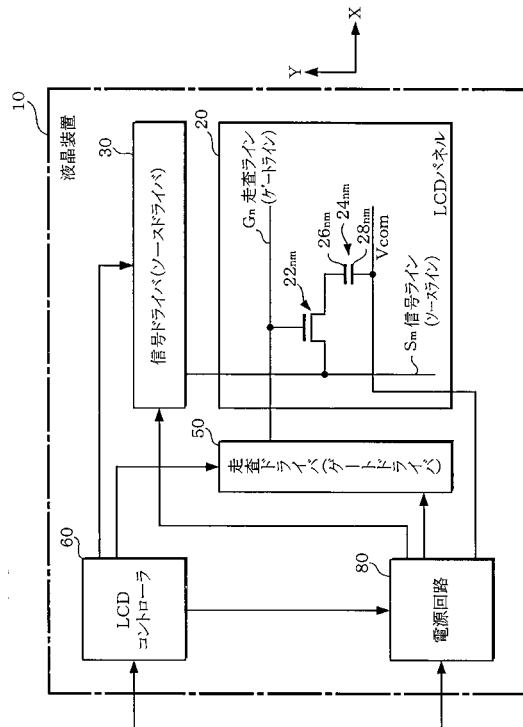
【符号の説明】

- 10 液晶装置（表示装置）
- 20 LCD パネル（電気光学装置）
- 22_{nm} TFT
- 24_{nm} 液晶容量
- 26_{nm} 画素電極

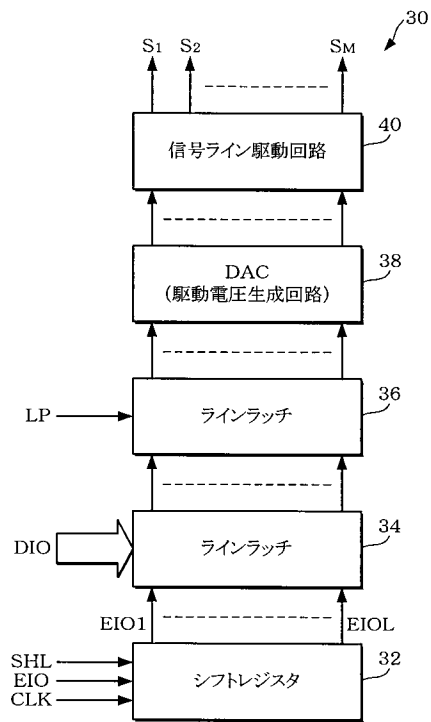
50

28 _{nm}	対向電極	
30	信号ドライバ	
32、52、140、140 ₀	シフトレジスタ	
34、36、36 ₀	ラインラッチ	
38、38 ₀	駆動電圧生成回路(DAC)	
40、40 ₀	信号ライン駆動回路	
50	走査ドライバ	
54、56	L/S	
58	走査ライン駆動回路	
60	LCDコントローラ	10
62	制御回路	
64	RAM	
66	ホストI/O	
68	LCDI/O	
70	コマンドシーケンサ	
72	コマンド設定レジスタ	
74	コントロール信号生成回路	
80	電源回路	
100B、108B、120B、128B	非表示エリア	
102A、106A、122A、126A	表示エリア	20
150	パーシャル表示選択レジスタ	
160 ₀	差動増幅部	
162 ₀	第1の差動増幅回路	
164 ₀	第2の差動増幅回路	
166 ₀ 、168 ₀	電流源	
170 ₀	出力増幅部	
180 ₀	トランスファ回路	
182 ₀	インバータ回路	
184 ₀	XOR回路	
CLK	クロック信号	30
DACen	DACイネーブル信号	
dacen	DAC制御信号	
EIO	イネーブル入出力信号	
LEVen	非表示レベル電圧供給イネーブル信号	
leven	非表示レベル電圧供給回路制御信号	
LP	水平同期信号	
Open	オペアンプイネーブル信号	
open	オペアンプ制御信号	
POL	極性反転信号	
SHL	シフト方向切り替え信号	40
XOEV	出力イネーブル信号	

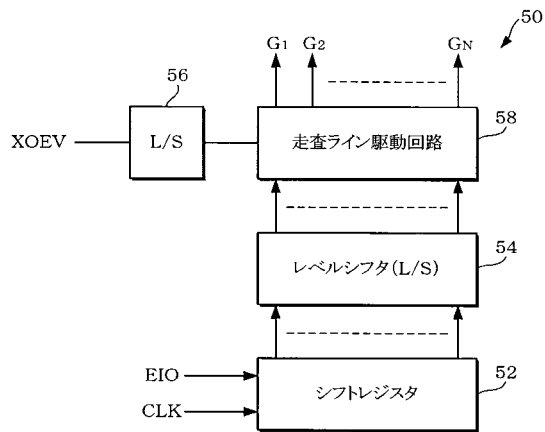
【図1】



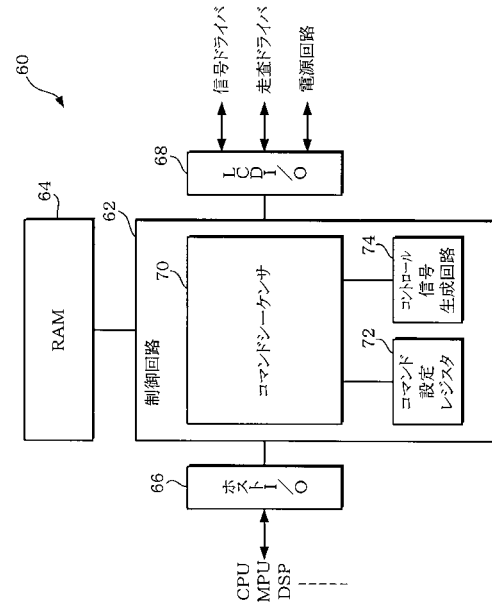
【図2】



【図3】

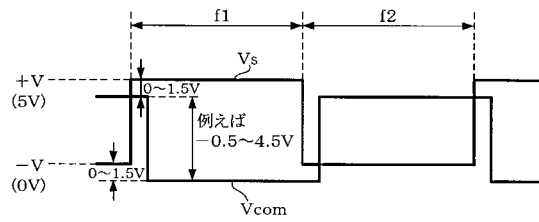


【図4】

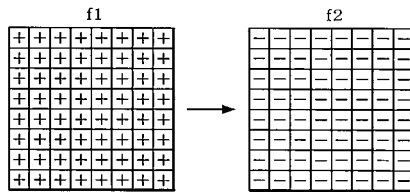


【図 5】

(A)

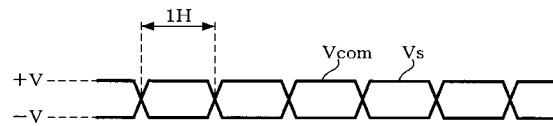


(B)

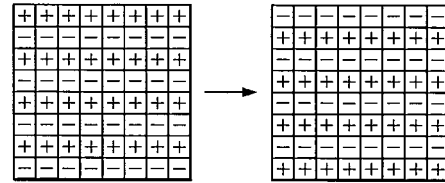


【図 6】

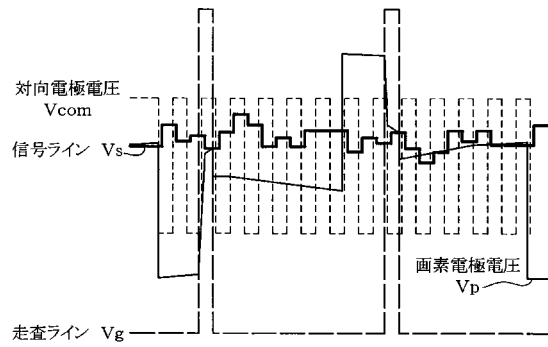
(A)



(B)

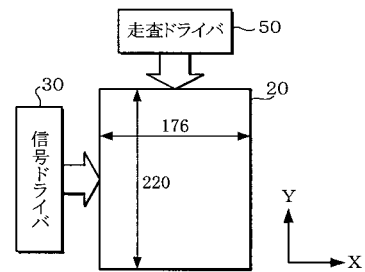


【図 7】

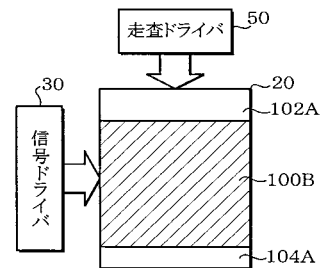


【図 8】

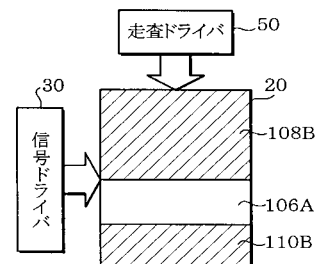
(A)



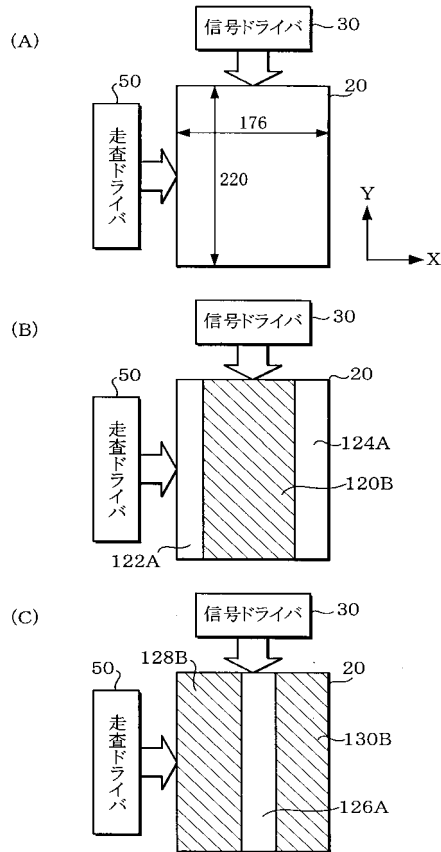
(B)



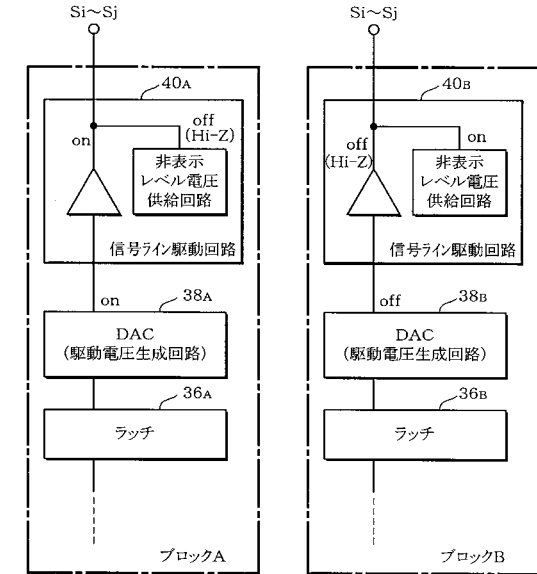
(C)



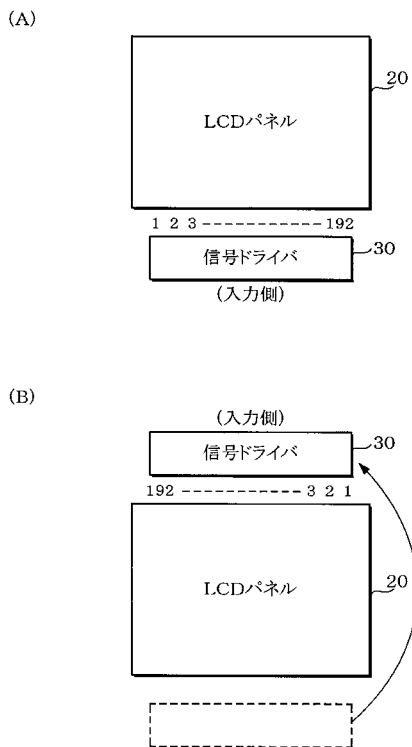
【図 9】



【図 10】

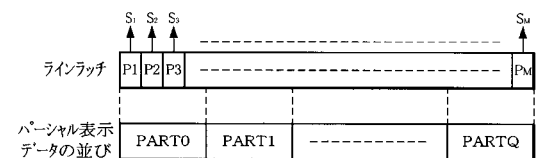


【図 11】



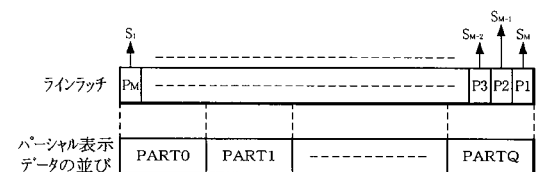
【図 12】

(A) SHL=「H」



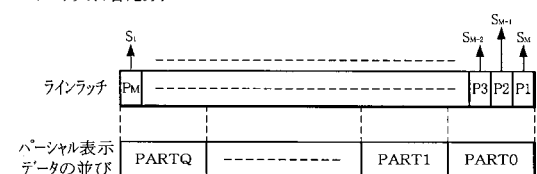
(B) SHL=「L」

データ入れ替えなし

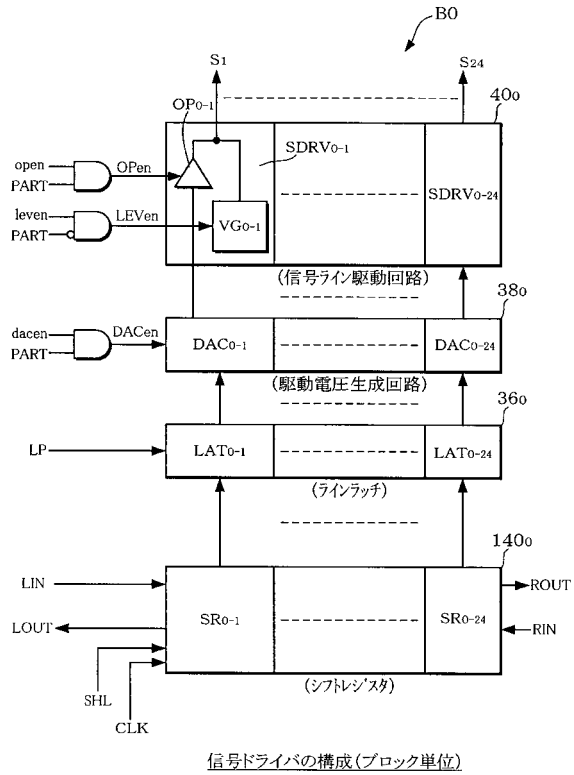


(C) SHL=「L」

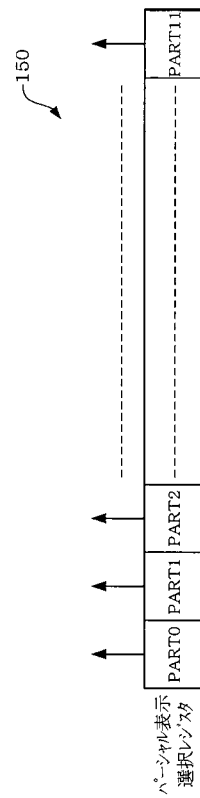
データ入れ替えあり



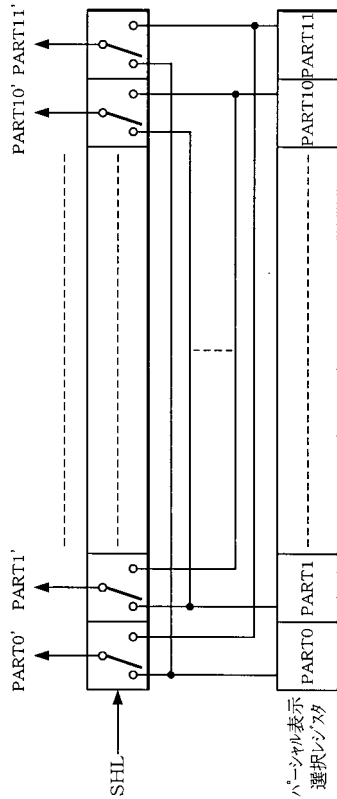
【図 13】



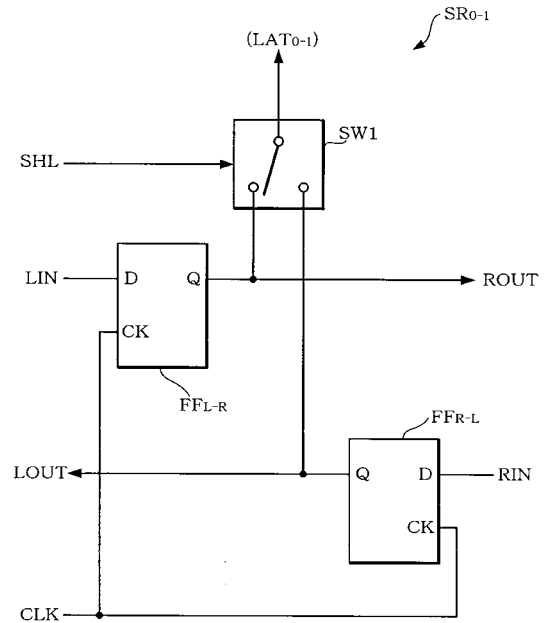
【図 14】



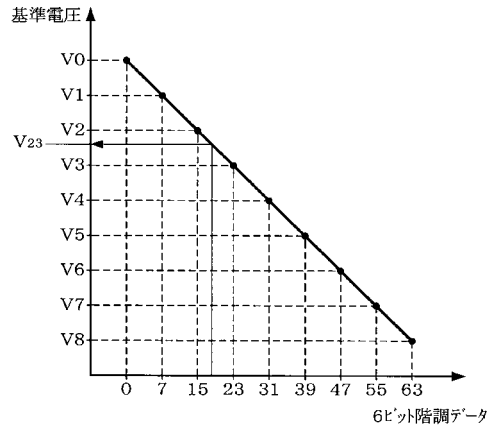
【図 15】



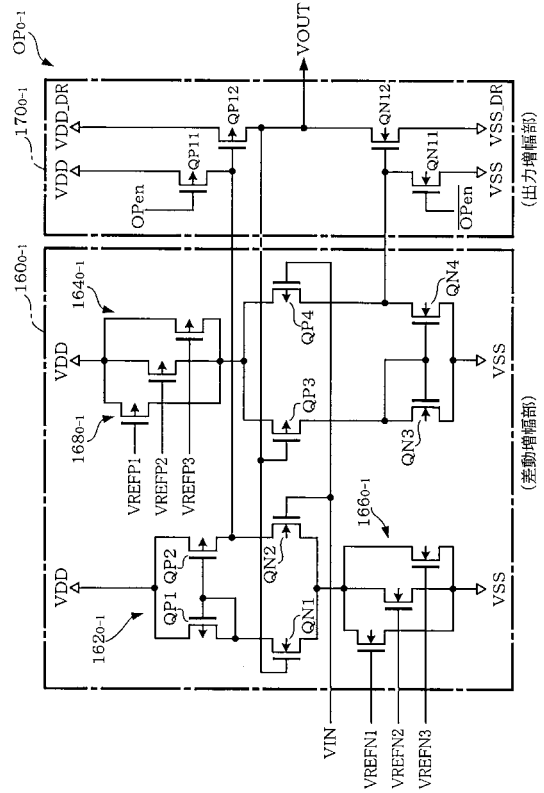
【図 16】



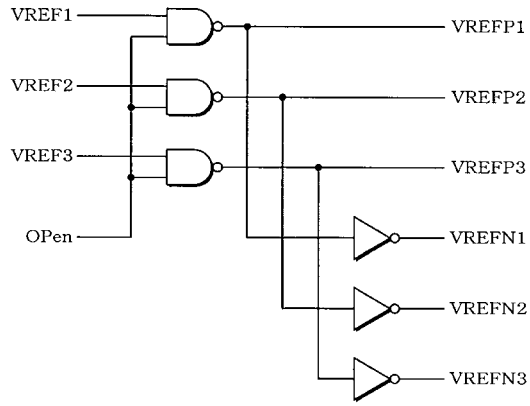
【図 17】



【図 18】

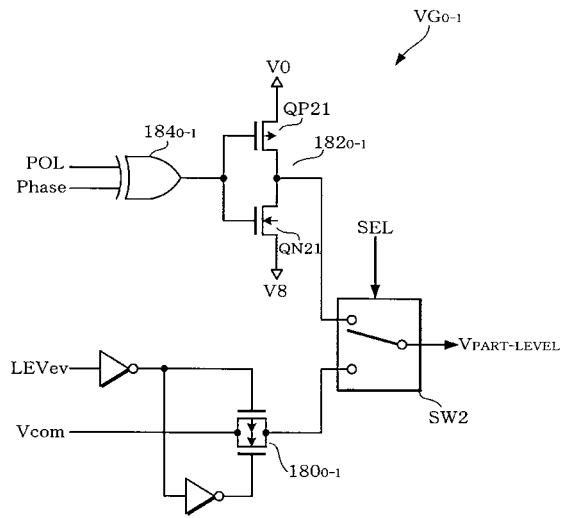


【図 19】



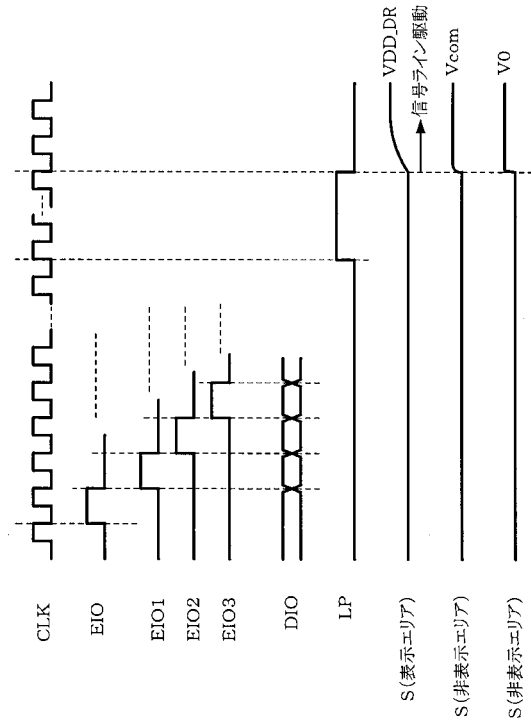
基準電圧選択信号生成回路

【図 20】



非表示レベル電圧供給回路

【図 21】



フロントページの続き

(56)参考文献 国際公開第97/022036(WO,A1)
特開2000-181414(JP,A)

(58)調査した分野(Int.Cl.,DB名)
G09G 3/00- 3/38
G02F 1/133 505-580

专利名称(译)	信号驱动电路，显示装置和电光装置		
公开(公告)号	JP3744818B2	公开(公告)日	2006-02-15
申请号	JP2001155193	申请日	2001-05-24
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	森田 晶		
发明人	森田 晶		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3614 G09G3/3648 G09G3/3666 G09G3/3677 G09G3/3696 G09G2310/0232 G09G2310/027 G09G2310/0283 G09G2310/0289 G09G2310/0291 G09G2310/0297 G09G2310/04 G09G2330/021 G09G2340/0414 G09G2340/0421 G09G2340/0471 G09G2340/0478		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.621.E		
F-TERM分类号	2H093/NA31 2H093/NA41 2H093/NC11 2H093/NC22 2H093/NC26 2H093/NC28 2H093/NC34 2H093/ND39 2H093/ND60 2H093/NF13 2H193/ZA04 2H193/ZQ09 5C006/AC24 5C006/BB14 5C006/BB16 5C006/BF05 5C006/FA47 5C080/AA10 5C080/BB06 5C080/DD26 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07		
代理人(译)	井上 一		
其他公开文献	JP2002351412A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为有源矩阵型液晶面板提供信号驱动电路，使高图像质量与低功耗兼容，显示装置，电光装置和使用信号驱动的信号驱动方法电路。解决方案：该信号驱动器（信号驱动电路）包括移位寄存器140，该移位寄存器140通过使用为每个多个信号线分配的块作为单元，根据块的信号线的图像数据，线锁存器连续移位图36中所示的图像数据与水平同步信号LP同步地锁存，驱动电压产生电路38基于图像数据和信号线驱动电路40产生驱动电压，并且在驱动器中，基于部分显示数据PART控制部分显示以块为单位指定。基于图像数据驱动设置在显示区域中的块的信号线。此外，在非显示区域中设置的每个块的信号线由在非显示电平电压提供电路中产生的给定非显示电平电压驱动。

【 図 2 】

