

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-237266  
(P2009-237266A)

(43) 公開日 平成21年10月15日(2009.10.15)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G02F 1/1343 (2006.01)</b>	G02F 1/1343	2H092
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	2H093
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550	2H193
<b>G09G 3/36 (2006.01)</b>	G02F 1/133 575	5C006
<b>G09G 3/20 (2006.01)</b>	G09G 3/36	5C080

審査請求 未請求 請求項の数 11 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2008-83169 (P2008-83169)  
(22) 出願日 平成20年3月27日 (2008. 3. 27)

(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100098785  
弁理士 藤島 洋一郎  
(74) 代理人 100109656  
弁理士 三反崎 泰司  
(74) 代理人 100130915  
弁理士 長谷部 政男  
(72) 発明者 吉田 秀史  
東京都港区港南1丁目7番1号 ソニー株式会社内  
Fターム(参考) 2H092 GA13 JA24 JB45 JB46 JB65  
NA25 PA06 PA13 QA06

最終頁に続く

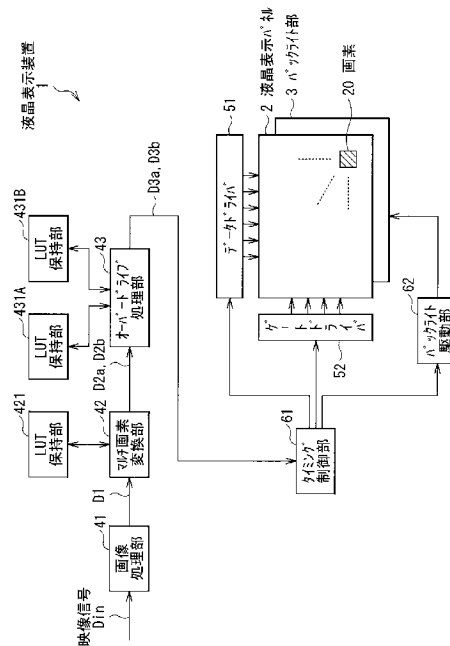
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】従来よりも輝度の視野角特性を向上させつつ、応答速度も向上させることが可能な液晶表示装置を提供する

【解決手段】副画素群20Bに、互いに異なる複数の副画素20B1, 20B2を設ける。また、各画素20の液晶素子に対する表示駆動の際に、各画素20に対する表示駆動を副画素20A, 20B1, 20B2ごとに空間的に分割して分割駆動を行う。これにより、表示画面を斜め方向から見た場合のガンマ特性の変動が効果的に分散され、輝度の視野角特性が従来よりも向上する。また、副画素20Aの面積Saが、副画素群20Bの面積Sbよりも小さくなるように設定する。これにより、低電圧階調の際に副画素20Aに印加される駆動電圧が従来よりも高くなり、応答速度が向上する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

全体としてマトリクス状に配置され、各々が液晶素子を有する複数の画素と、  
各画素の液晶素子に対して映像信号に基づく駆動電圧を印加することにより表示駆動を行う駆動手段と

を備え、

前記画素が、

低電圧階調の階調表現に用いられる第 1 副画素と、

前記低電圧階調よりも高電圧の階調である高電圧階調の階調表現に用いられる互いに異なる複数の第 2 副画素を有する副画素群と

10

により構成され、

前記第 1 副画素の面積 ( =  $S_a$  ) が、前記副画素群の面積 ( =  $S_b$  ) よりも小さくなるように設定され、

前記駆動手段は、前記映像信号に基づき、各画素に対する表示駆動を、副画素ごとに空間的に分割した分割駆動によって行う

ことを特徴とする液晶表示装置。

## 【請求項 2】

前記第 2 の副画素群が、互いに異なる 2 つの第 2 副画素により構成され、

各画素が、前記第 1 副画素と前記 2 つの第 2 副画素とにより構成されている

ことを特徴とする請求項 1 に記載の液晶表示装置。

20

## 【請求項 3】

前記駆動手段は、前記映像信号における輝度レベルの階調が大きくなるのに応じて、前記第 1 副画素、前記 2 つの第 2 副画素のうち一方の第 2 副画素、および前記 2 つの第 2 副画素のうち他方の第 2 副画素の順に、前記駆動電圧が印加されることとなるように、前記分割駆動を行う

ことを特徴とする請求項 2 に記載の液晶表示装置。

## 【請求項 4】

各画素に、

前記駆動電圧を各副画素に供給するための 2 つのスイッチング素子と、

前記 2 つのスイッチング素子のうち一方のスイッチング素子と共に前記他方の第 2 副画素に対して前記駆動電圧を供給するための容量素子と

30

が含まれており、

前記駆動手段は、前記映像信号における輝度レベルと前記第 1 副画素および前記副画素群における輝度レベルとを対応付けてなる第 1 の LUT ( ルックアップテーブル ) を用いることにより、前記第 1 副画素および前記 2 つの第 2 副画素に対する分割駆動を行う

ことを特徴とする請求項 3 に記載の液晶表示装置。

## 【請求項 5】

前記駆動手段は、各液晶素子に対して線順次で表示駆動を行うものであり、

各画素に、

駆動対象の液晶素子を線順次で選択するための 1 本のゲート線と、

40

駆動対象の液晶素子に対して前記駆動電圧を供給するための 2 本のデータ線とが接続されている

ことを特徴とする請求項 4 に記載の液晶表示装置。

## 【請求項 6】

前記駆動手段は、各液晶素子に対して線順次で表示駆動を行うものであり、

各画素に、

駆動対象の液晶素子を線順次で選択するための 2 本のゲート線と、

駆動対象の液晶素子に対して前記駆動電圧を供給するための 1 本のデータ線とが接続されている

ことを特徴とする請求項 4 に記載の液晶表示装置。

50

## 【請求項 7】

各画素に、前記駆動電圧を各副画素に供給するための3つのスイッチング素子が含まれており、

前記駆動手段は、前記映像信号における輝度レベルと各副画素に対応する映像信号における輝度レベルとを対応付けてなる第2のLUT（ルックアップテーブル）を用いることにより、前記第1副画素および前記2つの第2副画素に対する分割駆動を行う

ことを特徴とする請求項3に記載の液晶表示装置。

## 【請求項 8】

前記第1副画素の面積  $S_a$  が、前記画素全体の面積の  $1/3$  以下となるように設定されている

ことを特徴とする請求項2に記載の液晶表示装置。

## 【請求項 9】

前記第1副画素の面積  $S_a$ 、前記一方の第2副画素の面積（ $= S_{b1}$ ）および前記他方の第2副画素の面積（ $= S_{b2}$ ）の間で、以下の（1）式を満たす

ことを特徴とする請求項8に記載の液晶表示装置。

$$S_a < S_{b1} < S_{b2} \quad \dots \dots (1)$$

## 【請求項 10】

前記駆動手段は、各副画素に対する分割駆動の際に、各副画素の映像信号に対してオーバードライブ処理を行うと共に、前記第1副画素と前記副画素群との間で、前記オーバードライブ処理の際のオーバードライブ量が互いに異なることとなるように、分割駆動を行う

ことを特徴とする請求項1に記載の液晶表示装置。

## 【請求項 11】

前記液晶素子が、垂直配向（VA）モードの液晶を含んで構成されている

ことを特徴とする請求項1に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、各画素が複数の副画素（サブ画素）構造により構成された液晶表示装置に関する。

## 【背景技術】

## 【0002】

近年、液晶テレビやノート型パソコン、カーナビゲーション等の表示モニタとして、例えば、垂直配向型液晶を用いたVA（Vertical Alignment）モードを採用した液晶表示装置が提案されている。このVAモードでは、液晶分子が負の誘電率異方性、すなわち分子の長軸方向の誘電率が短軸方向に比べて小さい性質を有しており、TN（Twisted Nematic）モードに比べて広視野角を実現できる。

## 【0003】

ところが、VAモードの液晶を用いた液晶表示装置では、表示画面を正面方向から見た場合と斜め方向から見た場合とで、輝度に変動してしまうという問題がある。具体的には、正面方向から見た場合と、例えば45度方向から見た場合とでは、輝度特性が大きく異なってしまう（輝度が高くなる方向に変動してしまう）ということである。このような現象は、「しらっちゃけ」や「Wash out」、「Color Shift」などと呼ばれ、VAモードの液晶を用いた場合の液晶表示装置における最大の欠点とされている。

## 【0004】

そこで、このような「しらっちゃけ」現象の改善策として、単位画素を2つの副画素（サブ画素）に分離すると共に、各々の副画素でのしきい値を変えるようにしたもの（マルチ画素構造）が提案されている（例えば、特許文献1）。

## 【0005】

具体的には、例えば図14に示したマルチ画素構造（画素120の構造）では、画素1

10

20

30

40

50

20内に2つの副画素(サブ画素)120A, 120Bが設けられている。また、これら2つの副画素120A, 120B内には、それぞれ液晶素子122A, 122Bが形成されている。また、各液晶素子122A, 122BにはTFT(Thin Film Transistor; 薄膜トランジスタ)素子121A, 121Bが直接接続されており、これらTFT素子121A, 121Bには、共通のゲート線Gと、データ線DAまたはデータ線DBとが接続されている。このような構成により、各副画素120A, 120Bには、互いに異なる駆動電圧が印加されるようになっている。

【0006】

また、例えば図15に示したマルチ画素構造(画素120-1の構造)では、2つの副画素120A, 120Bのうち、一方の副画素120Aには、TFT素子121から駆動電圧が直接印加されると共に、他方の副画素120Bには、TFT素子121から接続線L101および容量素子123Bを介して駆動電圧が印加されるようになっている。このような構成により、同様に各副画素120A, 120Bには、互いに異なる駆動電圧が印加されるようになっている。

10

【0007】

【特許文献1】特開2007-86791号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ここで、図14および図15に示したいずれの場合においても、マルチ画素構造によって各副画素に互いに異なる駆動電圧が印加されるため、視野角特性がある程度改善されるようになっている。ただし、視野角特性がある程度改善されるもののまだ不十分であり、改善の余地があった。また、各副画素の大きさや、各副画素における液晶の立ち上がり特性に制限があることなどから、液晶の応答速度については十分に改善するには至っていなかった。

20

【0009】

なお、上記特許文献1の図12には、各画素に3つの副画素と2つのTFT素子とを設けるようにしたマルチ画素構造が提案されている。具体的には、一方のTFT素子によって2つの副画素が駆動されると共に、他方のTFT素子によって残り1つの副画素が駆動されるようになっている。ところが、一方のTFT素子によって駆動される2つの副画素には全く同一の駆動電圧が印加されるようになっていることから、実質的には各画素に2つの副画素が設けられている場合と同様であり、視野角特性の改善効果としては不十分である。

30

【0010】

なお、このような問題は、これまで説明したVAモードの液晶に特有のものではなく、他のモードの液晶についても同様に生ずるものである。

【0011】

本発明はかかる問題点に鑑みてなされたもので、その目的は、従来よりも輝度の視野角特性を向上させつつ、応答速度も向上させることが可能な液晶表示装置を提供することにある。

40

【課題を解決するための手段】

【0012】

本発明の液晶表示装置は、全体としてマトリクス状に配置され、各々が液晶素子を有する複数の画素と、各画素の液晶素子に対して映像信号に基づく駆動電圧を印加することにより表示駆動を行う駆動手段とを備えたものである。ここで、各画素は、低電圧階調の階調表現に用いられる第1副画素と、上記低電圧階調よりも高電圧の階調である高電圧階調の階調表現に用いられる互いに異なる複数の第2副画素を有する副画素群とにより構成されている。また、上記第1副画素の面積(=Sa)が、上記副画素群の面積(=Sb)よりも小さくなるように設定されている。また、上記駆動手段は、映像信号に基づき、各画素に対する表示駆動を、副画素ごとに空間的に分割した分割駆動によって行うようになっ

50

ている。

【0013】

本発明の液晶表示装置では、各画素の液晶素子に対する表示駆動の際に、映像信号に基づき、各画素に対する表示駆動が副画素ごとに空間的に分割されて分割駆動がなされるため、そのような分割駆動がなされない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性（映像信号の階調と表示輝度との関係を示す特性）の変動（表示画面を正面方向から見た場合からの変動）が分散される。また、副画素群には互いに異なる複数の第2副画素が設けられているため、各画素には少なくとも3つ以上の副画素が含まれてそれぞれ独立に分割駆動されることとなり、従来のように各画素内で2つに分割駆動がなされている場合と比べ、表示画面を斜め方向から見た場合のガンマ特性の変動が、より効果的に分散される。さらに、低電圧階調の階調表現に用いられる第1副画素の面積 $S_a$ が、上記高電圧階調の階調表現に用いられる副画素群の面積 $S_b$ よりも小さいため、低電圧階調の際に第1副画素に印加される駆動電圧が、従来よりも高くなる。

10

【発明の効果】

【0014】

本発明の液晶表示装置によれば、副画素群に互いに異なる複数の第2副画素を設けると共に、各画素の液晶素子に対する表示駆動の際に、各画素に対する表示駆動を副画素ごとに空間的に分割して分割駆動を行うようにしたので、表示画面を斜め方向から見た場合のガンマ特性の変動を効果的に分散することができ、輝度の視野角特性を従来よりも向上させることができる。また、第1副画素の面積 $S_a$ が副画素群の面積 $S_b$ よりも小さくなるようにしたので、低電圧階調の際に第1副画素に印加される駆動電圧が従来よりも高くなり、応答速度を向上させることができる。よって、従来よりも輝度の視野角特性を向上させつつ、応答速度も向上させることが可能となる。

20

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0016】

図1は、本発明の一実施の形態に係る液晶表示装置（液晶表示装置1）の全体構成を表すものである。この液晶表示装置1は、液晶表示パネル2と、バックライト部3と、画像処理部41と、マルチ画素変換部42と、オーバードライブ処理部43と、3つのLUT（ルックアップテーブル）保持部421, 431A, 431Bと、データドライバ51と、ゲートドライバ52と、タイミング制御部61と、バックライト制御部63とを備えている。

30

【0017】

バックライト部3は、液晶表示パネル2に対して光を照射する光源であり、例えばCFL（Cold Cathode Fluorescent Lamp：冷陰極蛍光灯）やLED（Light Emitting Diode：発光ダイオード）などを含んで構成される。

【0018】

液晶表示パネル2は、後述するゲートドライバ52から供給される駆動信号に従って、データドライバ51から供給される駆動電圧に基づいてバックライト部3から発せられる光を変調することにより、映像信号 $D_{in}$ に基づく映像表示を行うものである。この液晶表示パネル2は、全体としてマトリクス状に並んで配置された複数の画素20を含んで構成されている。各画素20は、R（Red：赤）、G（Green：緑）またはB（Blue：青）に対応する画素（図示しないR、G、B用のカラーフィルタが設けられている画素であり、R、G、Bの色の表示光を射出する画素）により構成されている。また、各画素20内には、1つの副画素（後述する副画素20A）および1つの副画素群（後述する副画素群20B）による3つの副画素（後述する副画素20A、20B1、20B2）を含む画素回路が形成されている。なお、この画素回路の詳細構成については、後述する（図2、図3）。

40

【0019】

50

画像処理部 4 1 は、外部からの映像信号  $D_{in}$  に対して所定の画像処理を施すことにより、RGB 信号である映像信号  $D_1$  を生成するものである。

【0020】

マルチ画素変換部 4 2 は、LUT 保持部 4 2 1 に保持されている LUT (後述する LUT 1) を用いることにより、画像処理部 4 1 から供給される映像信号  $D_1$  を、前述の 1 つの副画素および 1 つの副画素群用の 2 つの映像信号  $D_{2a}$  ,  $D_{2b}$  に変換する (マルチ画素変換を行う) と共に、これら映像信号  $D_{2a}$  ,  $D_{2b}$  をオーバードライブ処理部 4 3 へ供給するものである。この LUT は、映像信号  $D_1$  の輝度レベルの階調 (入力階調) と、1 つの副画素および 1 つの副画素群に対応する映像信号  $D_{2a}$  ,  $D_{2b}$  の輝度レベルの階調 (マルチ画素変換後の階調) とを、R, G, B に対応する画素の映像信号ごとに対応付けてなるものである。なお、LUT 保持部 4 2 1 に保持されている LUT の詳細については、後述する (図 4, 図 5)。

10

【0021】

オーバードライブ処理部 4 3 は、マルチ画素変換部 4 2 から供給される映像信号  $D_{2a}$  ,  $D_{2b}$  に対してそれぞれ、オーバードライブ処理を行うと共に、このオーバードライブ処理後の映像信号  $D_{3a}$  ,  $D_{3b}$  をタイミング制御部へと供給するものである。また、オーバードライブ処理部 4 3 は、このようなオーバードライブ処理の際、LUT 保持部 4 3 1 A に保持されている映像信号  $D_{2a}$  用の LUT (後述する LUT 2 A) と、LUT 保持部 4 3 1 B に保持されている映像信号  $D_{2b}$  用の LUT (後述する LUT 2 B) との 2 つの LUT を用いることにより、映像信号  $D_{2a}$  ,  $D_{2b}$  の間でオーバードライブ量が互いに異なることとなるようにしている。なお、LUT 保持部 4 3 1 A , 4 3 1 B に保持されている LUT の詳細については、後述する (図 6)。

20

【0022】

ゲートドライバ 5 2 は、タイミング制御部 6 1 によるタイミング制御に従って、液晶表示パネル 2 内の各画素 2 0 を図示しない走査線 (後述するゲート線 G) に沿って線順次駆動するものである。

【0023】

データドライバ 5 1 は、液晶表示パネル 2 の各画素 2 0 (より詳細には、各画素 2 0 内の各副画素) へそれぞれ、タイミング制御部 6 1 から供給される映像信号  $D_{2a}$  ,  $D_{2b}$  に基づく駆動電圧を供給するものである。具体的には、このデータドライバ 5 1 は、映像信号  $D_{2a}$  ,  $D_{2b}$  に対し、リファレンス電圧生成部 4 5 から供給されるリファレンス電圧  $V_{ref}$  を用いてそれぞれ D/A 変換を施すことにより、アナログ信号である映像信号 (上記駆動電圧) を生成し、各画素 2 0 へ出力するようになっている。

30

【0024】

バックライト駆動部 6 2 は、バックライト部 3 の点灯動作を制御するものである。タイミング制御部 6 1 は、ゲートドライバ 5 2 およびデータドライバ 5 1 の駆動タイミングを制御すると共に、映像信号  $D_{2a}$  ,  $D_{2b}$  をデータドライバ 5 1 へ供給するものである。

【0025】

次に、図 2 および図 3 を参照して、各画素 2 0 に形成された画素回路の構成について詳細に説明する。図 2 は、この画素 2 0 内の画素回路の回路構成例を表したものである。また、図 3 は、この画素回路内の液晶素子における画素電極の平面構成例を表したものである。

40

【0026】

画素 2 0 は、閾値電圧を例えば 2 . 0 V 程度とした場合、低電圧階調 (例えば、0 ~ 2 . 3 V 程度の階調) の階調表現に用いられる副画素 2 0 A と、この低電圧階調よりも高電圧の階調である高電圧階調 (例えば、2 . 3 ~ 7 . 0 V 程度の階調) の階調表現に用いられる副画素群 2 0 B とにより構成されている。また、この副画素群 2 0 B には、上記高電圧階調の階調表現に用いられる互いに異なる 2 つの副画素 2 0 B 1 , 2 0 B 2 が設けられている。すなわち、画素 2 0 には、互いに異なる 3 つの副画素 2 0 A , 2 0 B 1 , 2 0 B 2 が設けられており、マルチ画素構造となっている。なお、上記した低電圧階調とは、ノ

50

ーマリーブラック表示モードの場合には低階調に対応し、ノーマリーホワイト表示モードの場合には高階調に対応する。

【0027】

副画素20Aには、液晶素子22Aが設けられている。この副画素20Aには、TFT素子21Aが直接接続されている。また、副画素20B1にも同様に、液晶素子22B1が設けられている。この副画素20B1には、配線L1を介してTFT素子21Bが直接接続されている。また、副画素20B2にも同様に、液晶素子22B2が設けられている。ただし、この副画素20B2には、配線L1および容量素子23Bを介してTFT素子21Bと接続されている。

【0028】

画素20にはまた、駆動対象の液晶素子を線順次で選択するための1本のゲート線Gと、駆動対象の液晶素子に対し、副画素20Aおよび副画素群20Bごとにそれぞれ駆動電圧(データドライバ51から供給される駆動電圧)を供給する2本のデータDA, DBとが接続されている。

【0029】

液晶素子22Aは、データ線DAからTFT素子21Aを介して一端に供給される駆動電圧に応じて、表示のための動作を行う(表示光を射出する)表示要素として機能している。また、液晶素子22B1も同様に、データ線DBからTFT素子21Bを介して一端に供給される駆動電圧に応じて、表示のための動作を行う(表示光を射出する)表示要素として機能している。一方、液晶素子22B2は、データ線DBからTFT素子21Bおよび容量素子23Bを介して一端に供給される駆動電圧に応じて、表示のための動作を行う(表示光を射出する)表示要素として機能している。これら液晶素子22A, 22B1, 22B2は、例えばVAモードの液晶により構成された液晶層(図示せず)と、この液晶層を挟む一对の電極(図示せず)とを含んで構成されている。これら一对の電極のうち的一方(一端)側は、TFT素子21A, 21Bのソースまたは容量素子23Bの一端に接続され、他方(他端)側は接地されている。

【0030】

TFT素子21Aは、MOS-FET(Metal Oxide Semiconductor-Field Effect Transistor)により構成されており、ゲートがゲート線Gに接続され、ソースが液晶素子22Aの一端に接続され(例えば、図3中のコンタクト部C1によって電氣的に接続され)、ドレインがデータ線DAに接続されている。このTFT素子21Aは、液晶素子22Aの一端に対し、副画素20A用の駆動電圧(映像信号D2aに基づく駆動電圧)を供給するためのスイッチング素子として機能している。具体的には、ゲートドライバ52からゲート線Gを介して供給される選択信号に応じて、データ線DAと液晶素子22Aの間を選択的に導通させるようになっている。

【0031】

TFT素子21Bも同様にMOS-FETにより構成されており、ゲートがゲート線Gに接続され、ソースが液晶素子22Bの一端および容量素子23Bの他端に接続され、ドレインがデータ線DBに接続されている。このTFT素子21Bは、液晶素子22Bの一端および容量素子23Bの他端に対し、副画素20B1, 20B2用の駆動電圧(映像信号D2bに基づく駆動電圧)を供給するためのスイッチング素子として機能している。具体的には、ゲートドライバ52からゲート線Gを介して供給される選択信号に応じて、データ線DBと液晶素子22Bの一端および容量素子23Bの他端との間を選択的に導通させるようになっている。

【0032】

容量素子23Bは、TFT素子21Bのソースと液晶素子22B2の一端との間に配置されている。この容量素子23Bは、TFT素子21Bと共に副画素20B2に対して駆動電圧を供給するためのものである。これにより、詳細は後述するように、副画素群20B内の副画素20B1, 20B2において、互いに異なる駆動電圧が印加されるようになっている。なお、容量素子23Bは、例えば図3に示したように、副画素電極220B2

10

20

30

40

50

と配線 L 1 と層間に形成され、コンタクト部 C 2 によって副画素電極 2 2 0 B 1 と電氣的に接続されるようになっている。

【 0 0 3 3 】

ここで、例えば図 3 に示した副画素電極 2 2 0 A , 2 2 0 B 1 , 2 2 0 B 2 のように、液晶素子 2 2 A , 2 2 B 1 , 2 2 B 2 における上記した一对の電極のうち的一方側の電極は、平面形状となっている。そして本実施の形態では、副画素 2 0 A の面積 ( = S a ) が、副画素群 2 0 B の面積 ( = S b ; 副画素 2 0 B 1 の面積 S b 1 + 副画素 2 0 B 2 の面積 S b 2 ) よりも小さくなるように設定されている。これにより詳細は後述するが、低電圧階調における液晶の応答速度が向上するようになっている。

【 0 0 3 4 】

なお、副画素 2 0 A の面積 S a は、画素 2 0 全体の面積 ( = S total ) に対してできるだけ小さいほうが応答速度の観点から好ましく、例えば、副画素 2 0 A の面積 S a が、画素 2 0 全体の面積 S total の 1 / 3 以下となるように設定されているのが好ましい。これにより、低電圧階調での応答性の改善が特に顕著となるためである。また、副画素 2 0 A の面積 S a 、副画素 2 0 B 1 の面積 S b 1 および副画素 2 0 B 2 の面積 S b 2 の間で、以下の ( 1 1 ) 式を満たすようにするのがより好ましい。これにより、低電圧階調での応答性の改善がさらに顕著となるためである。

$$S a < S b 1 < S b 2 \quad \dots \dots ( 1 1 )$$

【 0 0 3 5 】

次に、図 4 および図 5 を参照して、マルチ画素変換部 4 2 において用いられる L U T ( L U T 1 ) について詳細に説明する。なお、以下説明する特性図においては、一例として、映像信号の輝度レベルの階調が、0 / 2 5 5 階調 ( 黒表示状態 ) から 2 5 5 / 2 5 5 階調 ( 白表示状態 ) までに設定されているものとする。

【 0 0 3 6 】

この L U T 1 は、例えば図 4 に示したように、マルチ画素変換部 4 2 に供給される映像信号 D 1 の輝度レベルの階調を、副画素 2 0 A 用の映像信号 D 2 a の輝度レベルの階調と、副画素群 2 0 B 用 ( 副画素 2 0 B 1 , 2 0 B 2 用 ) の映像信号 D 2 b の輝度レベルの階調とに分割するためのものである。すなわち、映像信号 D 1 に基づき、各画素 2 0 に対する表示駆動を、副画素 2 0 A および副画素群 2 0 B ごとに空間的に 2 つに分割して分割駆動を行うために用いられるものである。

【 0 0 3 7 】

この L U T 1 では、入力階調が大きくなるのに応じて、副画素 2 0 A に対応する階調が最初に立ち上がり、図 4 中の階調 Y 1 1 で示したように副画素 2 0 A に対応する階調がほぼ立ち上がりきった後に、副画素群 2 0 B に対応する階調が立ち上がるようになっている。これにより、副画素 2 0 A から副画素群 2 0 B の順に駆動電圧が印加されるようになっている。

【 0 0 3 8 】

また、副画素群 2 0 B 内では、前述のように、副画素 2 0 B 1 では T F T 素子 2 1 B から直接駆動電圧 ( 映像信号 D 2 b に基づく駆動電圧 ) が供給される一方、副画素 2 0 B 2 では、T F T 素子 2 1 B から容量素子 2 3 B を介して駆動電圧 ( 映像信号 D 2 b に基づく駆動電圧 ) が供給されるようになっている。したがって、図 4 に示した L U T 1 に基づいて、各副画素 2 0 A , 2 0 B 1 , 2 0 B 2 に印加される駆動電圧から L U T を換算すると、例えば図 5 に示した L U T 1 0 のようになる。具体的には、映像信号 D 2 b に基づき、副画素 2 0 B 1 , 2 0 B 2 にはそれぞれ、図中の仮想の映像信号 D 2 b - 1 , D 2 b - 2 に対応する駆動電圧が印加され、これにより副画素 2 0 B 1 , 2 0 B 2 には互いに異なる駆動電圧が印加されるようになっている。したがって、この L U T 1 0 では、入力階調が大きくなるのに応じて、副画素 2 0 A に対応する階調が最初に立ち上がり、図 5 中の階調 Y 1 1 で示したように副画素 2 0 A に対応する階調がほぼ立ち上がりきった後に、副画素 2 0 B 1 に対応する階調が立ち上り、さらに図 5 中の階調 Y 1 2 で示したように副画素 2 0 B 1 に対応する階調がほぼ立ち上がりきった後に、副画素 2 0 B 2 に対応する階調が立

10

20

30

40

50

ち上がるようになっている。これにより、副画素 20A から副画素 20B1、副画素 20B2 の順に駆動電圧が印加されるようになっている。

【0039】

次に、図6を参照して、オーバードライブ処理部43において用いられる2つのLUT(LUT2A, 2B)について詳細に説明する。

【0040】

LUT2Aは、例えば図6(A)に示したように、オーバードライブ処理の際の前フレーム(スタートフレーム)における映像信号D2aの階調とオーバードライブ処理の際の後フレーム(ターゲットフレーム)における映像信号D2aの階調とに基づき、オーバードライブ処理後の後フレーム(ターゲットフレーム)における映像信号D3aを決定する  
10

【0041】

ここで、本実施の形態では、副画素20Aと副画素群20B(副画素20B1, 20B2)との間で、オーバードライブ処理の際のオーバードライブ量(図6中におけるオーバードライブ処理後の後フレームにおける映像信号D3a, D3bの階調)が互いに異なる  
20

こととなるように、LUT2A, 2Bが設定されている。すなわち、副画素20Aと副画素群20B(副画素20B1, 20B2)との間で、液晶の応答速度を改善するためのオーバードライブ量が互いに独立に設定されている。これにより、詳細は後述するが、TFT素子のみが直接接続された副画素(副画素20A)の特性と、容量素子23Bを含むようにして接続された副画素(副画素20B1, 20B2)の特性の違いが吸収され、最適な応答が実現可能となっている。具体的には、LUT2Bが使用されて意味があるのは、副画素群20Bがアクティブになるときであるが、このときにはすでに副画素20Aはアクティブとなっていてある程度の表示光が出射されている。このため、副画素20Bにおいて、透過光量の変動しても副画素20Aの透過光量と重なるため、画素20全体として、変動量は比較的小さなものとなる。このことから、副画素群20Bにおいて表示する階  
30

調としては、LUT2Bにおいて、LUT2Aと比べてより極端なオーバードライブ量が設定されている。すなわち、図6(B)に示したLUT2Bでは、図6(A)に示したLUT2Aと比べ、階調が大きくなる場合にはより大きな階調が設定されると共に、階調が小さくなる場合にはより小さい階調が設定されている。例えば、64階調から192階調へと変化する場合、LUT2Aでは226階調が割り当てられているのに対し、LUT2Bでは231階調が割り当てられている。

【0042】

ここで、マルチ画素変換部41、オーバードライブ処理部43、タイミング制御部61、データドライバ51およびゲートドライバ52が、本発明における「駆動手段」の一具体例に対応する。また、副画素20Aが本発明における「第1副画素」の一具体例に対応し、副画素群20Bが本発明における「副画素群」の一具体例に対応し、副画素20B1, 20B2が本発明における「第2副画素」の一具体例に対応する。また、TFT素子21A, 21Bが本発明における「2つのスイッチング素子」の一具体例に対応し、容量素子23Bが本発明における「容量素子」の一具体例に対応する。また、図4に示したLUT1が、本発明における「第1のLUT」の一具体例に対応する。  
40

【0043】

次に、本実施の形態の液晶表示装置1の動作について詳細に説明する。

【0044】

まず、図1~図4を参照して、液晶表示装置1の基本動作について説明する。

【0045】

10

20

30

40

50

この液晶表示装置 1 では、図 1 に示したように、外部から供給された映像信号  $D_{in}$  が画像処理部 4 1 により画像処理され、各画素 2 0 用の映像信号  $D 1$  が生成される。そしてこの映像信号  $D 1$  は、マルチ画素変換部 4 2 へ供給される。マルチ画素変換部 4 3 では、図 4 に示した  $LUT 1$  を用いることにより、供給された映像信号  $D 1$  が、副画素 2 0 A および副画素群 2 0 B 用の 2 つの映像信号  $D 2 a$  ,  $D 2 b$  に変換される (マルチ画素変換)。これら 2 つの映像信号  $D 2 a$  ,  $D 2 b$  はそれぞれ、オーバードライブ処理部 4 3 においてオーバードライブ処理がなされることにより 2 つの映像信号  $D 3 a$  ,  $D 3 b$  となり、タイミング制御部 6 1 を介してデータドライバ 5 1 へ供給される。データドライバ 5 1 では、映像信号  $D 3 a$  ,  $D 3 b$  に対する  $D/A$  変換が施され、アナログ信号である 2 つの映像信号が生成される。そしてこれら 2 つの映像信号に基づき、ゲートドライバ 5 2 およびデータドライバ 5 1 から出力される各画素 2 0 内の副画素 2 0 A および副画素群 2 0 B への駆動電圧によって、画素 2 0 ごとに線順次表示駆動動作がなされる。具体的には、図 2 および図 3 に示したように、ゲートドライバ 5 2 からゲート線  $G$  を介して供給される選択信号に応じて、 $TFT$  素子 2 1 A , 2 1 B のオン・オフが切り替えられ、データ線  $DA$  ,  $DB$  と液晶素子 2 2 A , 2 2 B 1 および容量素子 2 3 B との間が選択的に導通されることにより、データドライバ 5 1 から供給される 2 つの映像信号に基づく駆動電圧が液晶素子 2 2 A , 2 2 B 1 , 2 2 B 2 へと供給され、表示駆動動作がなされる。

10

#### 【0046】

すると、データ線  $DA$  ,  $DB$  と液晶素子 2 2 A , 2 2 B および容量素子 2 3 B との間が導通された画素 2 0 では、バックライト部 3 0 からの照明光が液晶表示パネル 2 において変調され、表示光として出力される。これにより、映像信号  $D_{in}$  に基づく映像表示が、液晶表示装置 1 において行われる。

20

#### 【0047】

次に、図 1 ~ 図 4 に加えて図 5 および図 7 を参照して、本発明の液晶表示装置における特徴的部分について詳細に説明する。図 7 は、映像信号  $D 1$  の階調 (入力階調) と各副画素 2 0 A , 2 0 B 1 , 2 0 B 2 の明るさ (輝度) との関係の一例 (ガンマ特性 1) を表したものである。

#### 【0048】

本実施の形態の液晶表示装置 1 では、図 4 に示した  $LUT 1$  を用いることにより、各画素 2 0 の液晶素子 2 2 A , 2 2 B 1 , 2 2 B 2 に対する表示駆動の際に、映像信号  $D 1$  に基づき、各画素 2 0 に対する表示駆動が空間的に 2 つに分割されて分割駆動がなされる。具体的には、映像信号  $D 1$  に対してマルチ画素変換がなされた映像信号  $D 2 a$  ,  $D 2 b$  に基づき、各画素 2 0 に対する表示駆動が、副画素 2 0 A および副画素群 2 0 B ごとに空間的に 2 つに分割されて分割駆動がなされる。したがって、そのような分割駆動がなされない場合と比べ、表示画面を斜め方向 (例えば、 $45^\circ$  方向) から見た場合のガンマ特性 (映像信号  $D 1$  の輝度レベルの階調と、明るさ (輝度) との関係を示す特性) の変動 (表示画面を正面方向から見た場合からの変動) が、分散される。これにより、マルチ画素構造による分割駆動がなされていない場合と比べ、輝度の視野角特性が向上する。

30

#### 【0049】

また、本実施の形態では、各画素 2 0 内の副画素群 2 0 B には、互いに異なる 2 つの副画素 2 0 B 1 , 2 0 B 2 が設けられているため、例えば図 4 および図 5 に示したように、映像信号  $D 2 b$  に基づき、副画素 2 0 B 1 , 2 0 B 2 にはそれぞれ、図中の仮定の映像信号  $D 2 b - 1$  ,  $D 2 b - 2$  に対応する駆動電圧が印加され、これにより副画素 2 0 B 1 , 2 0 B 2 には互いに異なる駆動電圧が印加される。したがって、入力階調が大きくなるのに応じて、副画素 2 0 A に対応する階調が最初に立ち上がり、図 5 中の階調  $Y 1 1$  で示したように副画素 2 0 A に対応する階調がほぼ立ち上がりきった後に、副画素 2 0 B 1 に対応する階調が立ち上がり、さらに図 5 中の階調  $Y 1 2$  で示したように副画素 2 0 B 1 に対応する階調がほぼ立ち上がりきった後に、副画素 2 0 B 2 に対応する階調が立ち上がる。これにより、副画素 2 0 A から副画素 2 0 B 1 , 副画素 2 0 B 2 の順に駆動電圧が印加される。その結果、例えば図 7 に示したガンマ特性 1 のように、各画素 2 0 内の 3 つの副画

40

50

素 20A, 20B1, 20B2 がそれぞれ独立に分割駆動されることとなり、従来のように各画素内で 2 つに分割駆動がなされている場合と比べ、表示画面を斜め方向から見た場合のガンマ特性の変動が、より効果的に分散される（この場合、3 段階に分散される）。

【0050】

さらに、本実施の形態では、副画素 20A の面積  $S_a$  が、副画素群 20B の面積  $S_b$  よりも小さくなるように設定されているため、低電圧階調における液晶の応答速度が従来よりも向上する。これは、以下の理由による。まず、一般に液晶の応答は低電圧が印加されるような場合に遅い。例えば VA モードの液晶では、黒表示状態からグレー表示状態への遷移の際の応答が遅い。そして黒表示状態からの応答を考えると、黒表示状態から暗いグレー表示状態への遷移の際の応答よりも、黒表示状態から明るいグレー表示状態への遷移の際の応答の方が速くなる。これを利用して、本実施の形態では、例えば副画素 20A の面積  $S_a$  が画素 20 全体の面積  $S_{total}$  の  $1/4$  に設定されている場合、白表示状態の  $1/4$  の明るさを表示するときには、副画素 20A には白表示状態のときと同じ駆動電圧が印加されることになる。すなわち、低電圧階調の際に副画素 20A に印加される駆動電圧が従来よりも高くなり、例えば黒表示状態から白表示状態の  $1/4$  の明るさへの遷移の際の応答であっても、黒表示状態から白表示状態への遷移の際の応答と同様の応答速度が実現されることとなる。

10

【0051】

以上のように本実施の形態では、副画素群 20B に互いに異なる複数の副画素 20B1, 20B2 を設けると共に、各画素 20 の液晶素子に対する表示駆動の際に、各画素 20 に対する表示駆動を副画素 20A, 20B1, 20B2 ごとに空間的に分割して分割駆動を行うようにしたので、表示画面を斜め方向から見た場合のガンマ特性の変動を効果的に分散することができ、輝度の視野角特性を従来よりも向上させることができる。また、副画素 20A の面積  $S_a$  が副画素群 20B の面積  $S_b$  よりも小さくなるようにしたので、低電圧階調の際に副画素 20A に印加される駆動電圧が従来よりも高くなり、応答速度を向上させることができる。よって、輝度の視野角特性を向上させつつ、全ての階調において応答速度を向上させることが可能となる。

20

【0052】

以上、実施の形態を挙げて本発明を説明したが、本発明はこの実施の形態に限定されるものではなく、種々の変形が可能である。

30

【0053】

例えば、上記実施の形態では、図 2 および図 3 に示した画素 20 のように、各画素において、1 本のゲート線 G および 2 本のデータ線 DA, DB が接続されている場合のマルチ画素構造について説明したが、例えば図 8 および図 9 に示した画素 20-1（変形例 1）のように、各画素において、2 本のゲート線 GA, GB および 1 本のデータ線 D が接続されているようなマルチ画素構造においても、本発明を適用することが可能である。なお、このような画素 20-1 の場合、1 画素ライン選択期間を時間軸に沿って 2 分割して 2 つのサブ画素ライン選択期間を設けると共に、各サブ画素ライン選択期間内でゲート線 GA, GB から供給される選択信号およびデータドライバ D から供給される駆動電圧に従って、各副画素 20A, 20B-1, 20B-2 が駆動されることになる。

40

【0054】

また、上記実施の形態では、副画素 20B 内の副画素 20B1, 20B2 に対して 1 つのスイッチング素子 21B および 1 つの容量素子 23B が接続されている場合について説明したが、例えば図 10 に示した画素 20-2（変形例 2）および図 11 に示した画素 20-3（変形例 3）のように、副画素 20B 内の副画素 20B1, 20B2 に対して 2 つのスイッチング素子 21B1, 21B2 が接続されているようにしてもよい。すなわち、各画素 20-2 に、駆動電圧を各副画素 20A, 20B1, 20B2 に供給するための 3 つの TFT 素子 21A, 21B1, 21B2 が含まれていると共に、映像信号における輝度レベルと各副画素 20A, 20B1, 20B2 に対応する映像信号における輝度レベルとを対応付けてなる LUT（図示せず；第 2 の LUT）を用いることにより、各副画素 2

50

0 A , 2 0 B 1 , 2 0 B 2 に対する分割駆動を行うようにしてもよい。

【 0 0 5 5 】

また、上記実施の形態では、副画素群 2 0 B 内に 2 つの副画素 2 0 B 1 , 2 0 B 2 が設けられていることにより各画素 2 0 内に 3 つの副画素 2 0 A , 2 0 B 1 , 2 0 B 2 が設けられている場合について説明したが、副画素群に含まれる副画素の数や画素に含まれる副画素の数はこれには限られず、任意に設定することが可能である。例えば、図 1 2 に示した画素 2 0 - 4 ( 変形例 4 ) のように、各画素において、2 本のゲート線 G A , G B および 2 本のデータ線 D A , D B が接続されていると共に、副画素群 2 0 B - 4 内に 3 つの副画素 2 0 B 1 ~ 2 0 B 3 が設けられていることにより各画素 2 0 - 4 内に 4 つの副画素 2 0 A , 2 0 B 1 ~ 2 0 B 3 が設けられているようなマルチ画素構造であってもよい。なお、この場合もゲート線やデータ線の本数はこの場合には限られず、また、T F T 素子の数 ( 容量素子 2 3 B の数 ) もこの場合には限られない。

10

【 0 0 5 6 】

また、上記実施の形態では、副画素電極の平面形状を具体的に挙げて説明したが、この副画素電極の平面形状は、図 3 や図 9 に示したのものには限られない。

【 0 0 5 7 】

さらに、上記実施の形態では、V A モードの液晶を挙げて説明したが、本発明は、例えば T N ( Twisted Nematic ) モードや I P S ( In-Plane Switching ) モードなどの他のモードの液晶に対しても適用することが可能である。ただし、液晶の応答速度向上の観点からは、V A モードおよび T N モードの液晶に適用するのが好ましい。

20

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】 本発明の一実施の形態に係る液晶表示装置の全体構成を表すブロック図である。

【 図 2 】 図 1 に示した画素の詳細構成を表す回路図である。

【 図 3 】 図 1 に示した画素の詳細構成を表す平面図である。

【 図 4 】 図 1 に示したマルチ画素変換部において用いられる L U T ( ルックアップテーブル ) の一例を表す特性図である。

【 図 5 】 図 4 に示した L U T に基づいて各副画素に印加される駆動電圧から換算した L U T の一例を表す特性図である。

【 図 6 】 図 1 に示したオーバードライブ処理部において用いられる L U T の一例を表す特性図である。

30

【 図 7 】 映像信号の階調と各副画素の明るさ ( 輝度 ) との関係の一例を表す特性図である。

【 図 8 】 本発明の変形例 1 に係る画素の詳細構成を表す回路図である。

【 図 9 】 本発明の変形例 1 に係る画素の詳細構成を表す平面図である。

【 図 1 0 】 本発明の変形例 2 に係る画素の詳細構成を表す回路図である。

【 図 1 1 】 本発明の変形例 3 に係る画素の詳細構成を表す回路図である。

【 図 1 2 】 本発明の変形例 4 に係る画素の詳細構成を表す回路図である。

【 図 1 3 】 本発明の変形例 5 に係る液晶表示装置の全体構成を表すブロック図である。

【 図 1 4 】 従来 of 液晶表示装置におけるマルチ画素構造の一例について説明するための回路図である。

40

【 図 1 5 】 従来 of 液晶表示装置におけるマルチ画素構造の他の例について説明するための回路図である。

【 符号の説明 】

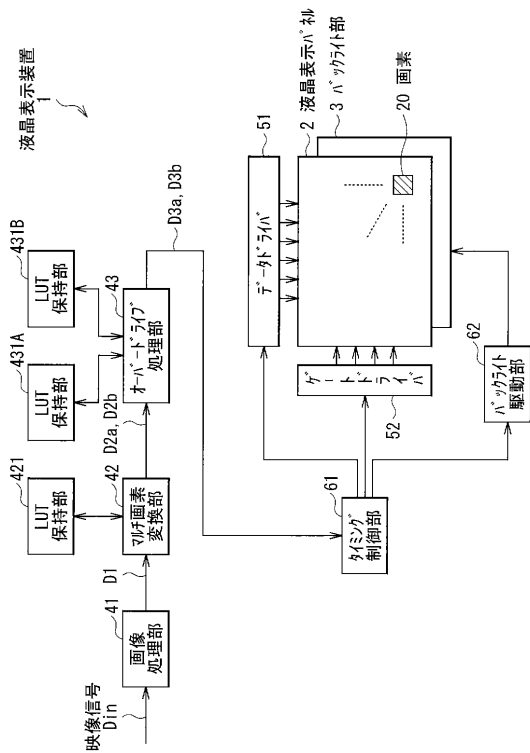
【 0 0 5 9 】

1 , 1 A ... 液晶表示装置、 2 ... 液晶表示パネル、 2 0 , 2 0 - 1 ~ 2 0 - 4 ... 画素、 2 0 A , 2 0 B - 1 ~ 2 0 B - 3 ... 副画素 ( サブ画素 ) 、 2 0 B , 2 0 B - 4 ... 副画素群 ( サブ画素群 ) 、 2 1 A , 2 1 B 1 ~ 2 1 B 3 ... T F T 素子、 2 2 A , 2 2 B 1 ~ 2 2 B 3 ... 液晶素子、 2 2 0 A , 2 2 0 B 1 , 2 2 0 B 2 ... 副画素電極 ( サブ画素電極 ) 、 2 3 B ... 容量素子、 3 ... バックライト部、 4 1 ... 画像処理部、 4 2 ... マルチ画素変換部、 4 2 1

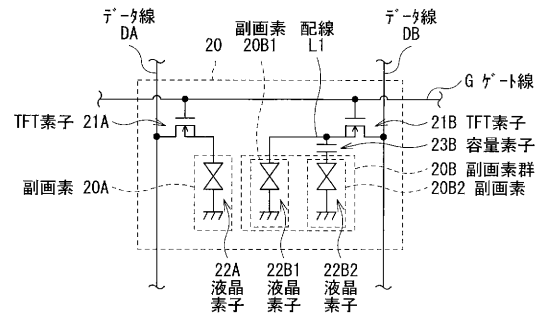
50

... LUT 保持部、43, 43A ... オーバードライブ処理部、431, 431A, 431B  
 ... LUT 保持部、51 ... データドライバ、52 ... ゲートドライバ、61 ... タイミング制御部、62 ... バックライト駆動部、Din... 映像信号、D1, D2a, D2b, D3a, D3b ... 映像信号、G, GA, GB, GB1, GB2 ... ゲート線、D, DA, DB, DB1, DB2 ... データ線、L1 ... 配線、C1, C2 ... コンタクト部、LUT1, LUT10, LUT2A, LUT2B ... ルックアップテーブル、1 ... ガンマ特性。

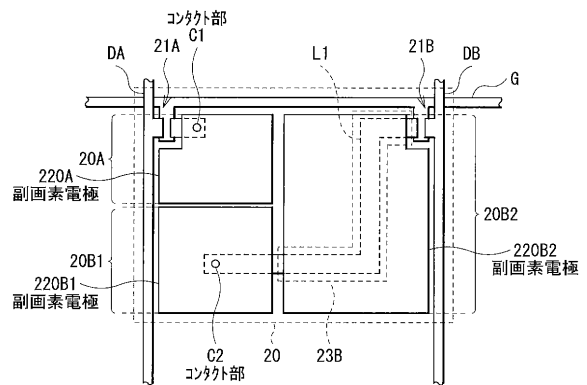
【 図 1 】



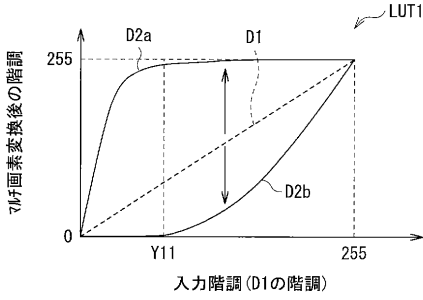
【 図 2 】



【 図 3 】



【 図 4 】

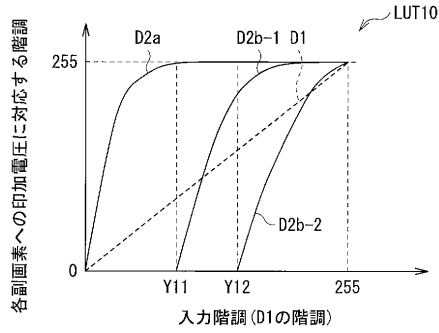


【 図 6 】

LUT2A

		前フレームの階調					
		0	64	128	192	255	
(A)	後フレームの階調	0	0	0	0	0	0
		64	144	64	31	11	7
		128	184	141	128	111	94
		192	234	226	208	192	181
		255	255	255	255	255	255

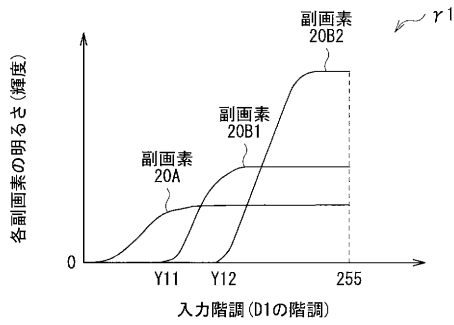
【 図 5 】



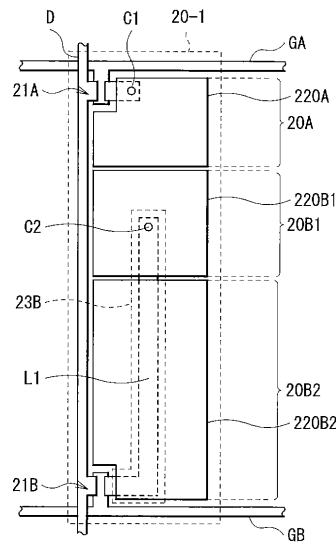
LUT2B

		前フレームの階調					
		0	64	128	192	255	
(B)	後フレームの階調	0	0	0	0	0	0
		64	170	64	15	5	2
		128	200	164	128	94	76
		192	248	231	214	192	141
		255	255	255	255	255	255

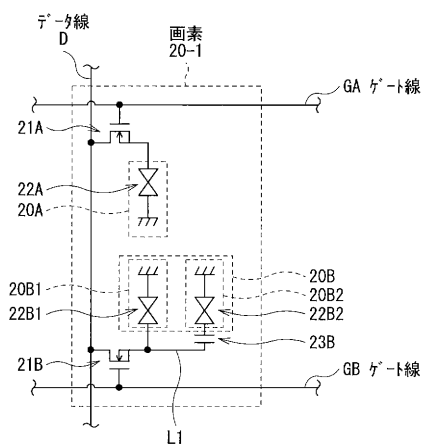
【 図 7 】



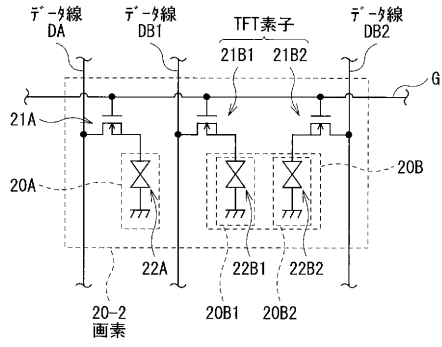
【 図 9 】



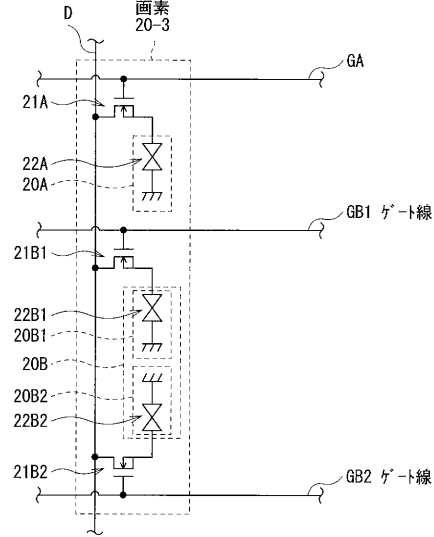
【 図 8 】



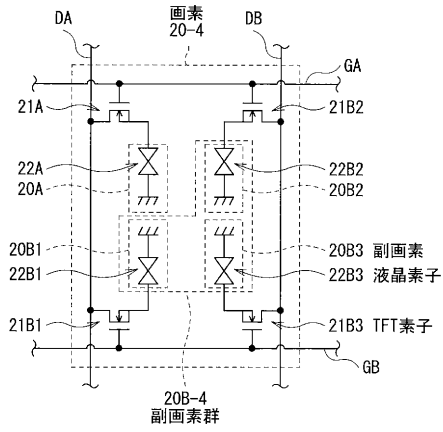
【図 1 0】



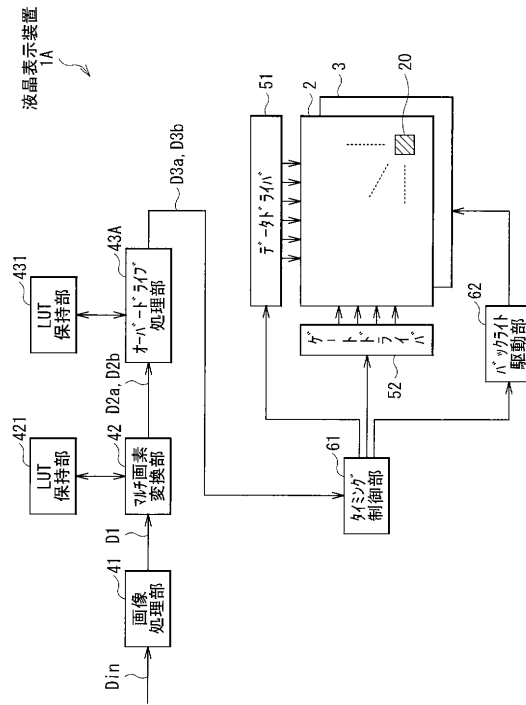
【図 1 1】



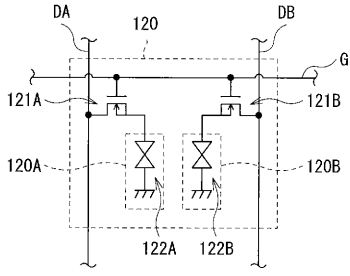
【図 1 2】



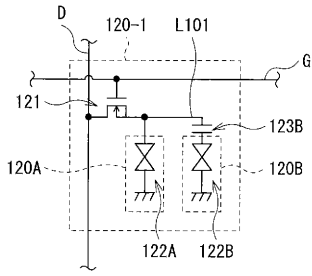
【図 1 3】



【 図 1 4 】



【 図 1 5 】



## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 2 1 E
G 0 9 G	3/20	6 3 1 V

Fターム(参考)	2H093	NA16	NA54	NC13	NC28	NC34	NC40	ND06	ND13	NF04	
	2H193	ZA04	ZD24								
	5C006	AA12	AF12	AF44	AF45	AF46	BA19	BB16	BC06	FA12	FA55
	5C080	AA10	BB05	DD01	DD08	EE19	EE29	FF07	JJ02	JJ03	JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2009237266A</a>	公开(公告)日	2009-10-15
申请号	JP2008083169	申请日	2008-03-27
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	吉田秀史		
发明人	吉田 秀史		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G02F1/136213 G02F1/13624 G02F2001/134345 G02F2001/13712 G09G2300/0426 G09G2300/0443 G09G2320/0252 G09G2320/0276 G09G2320/028 G09G2340/16		
FI分类号	G02F1/1343 G02F1/1368 G02F1/133.550 G02F1/133.575 G09G3/36 G09G3/20.621.F G09G3/20.621.E G09G3/20.631.V		
F-TERM分类号	2H092/GA13 2H092/JA24 2H092/JB45 2H092/JB46 2H092/JB65 2H092/NA25 2H092/PA06 2H092/PA13 2H092/QA06 2H093/NA16 2H093/NA54 2H093/NC13 2H093/NC28 2H093/NC34 2H093/NC40 2H093/ND06 2H093/ND13 2H093/NF04 2H193/ZA04 2H193/ZD24 5C006/AA12 5C006/AF12 5C006/AF44 5C006/AF45 5C006/AF46 5C006/BA19 5C006/BB16 5C006/BC06 5C006/FA12 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD08 5C080/EE19 5C080/EE29 5C080/FF07 5C080/JJ02 5C080/JJ03 5C080/JJ05 2H192/AA24 2H192/BA13 2H192/BC23 2H192/BC24 2H192/BC31 2H192/CC24 2H192/CC64 2H192/GD61 2H192/JA13 2H193/ZA19 2H193/ZC25 2H193/ZD01 2H193/ZD02 2H193/ZD12 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZE01 2H193/ZF13 2H193/ZF17 2H193/ZF22 2H193/ZF34 2H193/ZF36 2H193/ZG02 2H193/ZG12 2H193/ZG14 2H193/ZH41 2H193/ZH44 2H193/ZH53 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16		
其他公开文献	JP4807371B2 JP2009237266A5		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够同时提高响应速度，同时改善亮度的可见度特性，并且比传统的液晶显示装置更高。

ŽSOLUTION：在该液晶显示装置中，在子像素组20B中设置彼此不同的多个子像素20B1,20B2。当驱动每个像素20的液晶元件的显示时，每个像素20的显示驱动在每个子像素20A, 20B1,20B2上被空间划分，以执行分割驱动。因此，当在倾斜方向上观看显示屏幕时伽马特性的波动被有效地散射，并且亮度的可见度特性比传统装置更加改善。子像素20A的面积Sa设定为小于子像素组20B的面积Sb。结果，施加在子像素20A上的驱动电压变得高于低电压灰度中的传统电压，从而提高了响应速度。

Ž

