

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-98234
(P2009-98234A)

(43) 公開日 平成21年5月7日(2009.5.7)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H089
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H093
G09G 3/20 (2006.01)	G02F 1/133 575	5C006
G02F 1/1347 (2006.01)	G09G 3/20 624B	5C080

審査請求 未請求 請求項の数 4 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2007-267378 (P2007-267378)
(22) 出願日 平成19年10月15日 (2007.10.15)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100102185
弁理士 多田 繁範
(72) 発明者 寺西 康幸
東京都港区港南1丁目7番1号 ソニー株式会社内
Fターム(参考) 2H089 QA16 TA02 TA07 TA08 TA09
2H092 GA11 JA24 JB22 JB31 NA25
PA06
2H093 NA32 NA33 NA51 NC10 NC12
NC24 NC34 ND60 NE03
5C006 AA16 AA22 BB16 FA38
5C080 AA10 BB05 CC03 DD29 FF11
JJ02 JJ03 JJ04 JJ06

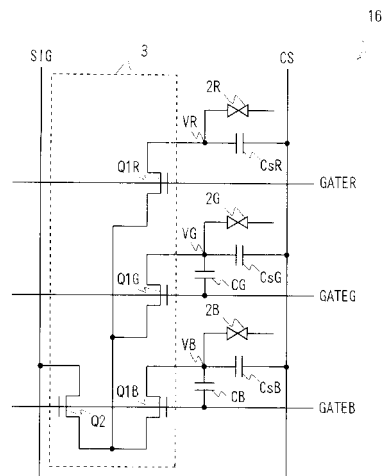
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 本発明は、液晶表示装置に関し、特にいわゆる画素内セクタ方式による液晶表示装置に適用して、1つのセクタに割り当てられた複数の液晶セル間で、液晶への直流電界の印加を防止する。

【解決手段】 本発明は、画素内セクタ方式により1つのセクタ3に割り当てられる複数の液晶セル2R、2G、2Bにおいて、後で画素電位を設定する液晶セル2G、2B程、画素電極と対応するゲート信号の走査線との間の容量(CB、CG)が増大するように設定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基本ユニットを順次配置して形成された表示部により所望の画像を表示する液晶表示装置において、

前記基本ユニットは、

複数の液晶セルと、

ゲート信号によりオンオフ動作するトランジスタにより前記複数の液晶セルの画素電極を信号線の設定に順次設定して、前記複数の液晶セルの階調を順次設定するセレクタとを有し、

前記複数の液晶セルのうちで、後で階調を設定する液晶セル程、前記画素電極と対応する前記ゲート信号の走査線との間の容量が増大するように設定された

ことを特徴とする液晶表示装置。

10

【請求項 2】

前記容量の増大が、前記画素電極と前記走査線とのオーバーラップにより形成されたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記容量の増大が、前記画素電極への配線パターンと前記走査線とのオーバーラップにより形成された

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記基本ユニットは、

さらに前記信号線の設定を記録するメモリ部を有し、

前記セレクタは、

前記メモリ部に記録された前記信号線の設定を前記複数の液晶セルに順次設定して、前記複数の液晶セルの階調を順次設定する

ことを特徴とする請求項 1 に記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、液晶表示装置に関し、特にいわゆる画素内セレクタ方式による液晶表示装置に適用することができる。本発明は、画素内セレクタ方式により 1 つのセレクタに割り当てられる複数の液晶セルにおいて、後で画素電極電位を設定する液晶セル程、画素電極と対応するゲート信号の走査線との間の容量が増大するように設定することにより、1 つのセレクタに割り当てられた複数の液晶セル間で、液晶への直流電界の印加を防止する。

【背景技術】

【0002】

従来、液晶表示装置は、マトリックス状に画素を配置して表示部が形成され、この表示部の周囲に垂直駆動部及び水平駆動部が設けられる。液晶表示装置は、走査線を介した垂直駆動部による制御により各画素を順次信号線に接続し、各画素の階調を水平駆動部により設定し、これにより表示部で所望の画像を表示する。

40

【0003】

この種の液晶表示装置は、いわゆる画素内セレクタ方式により、各画素の階調を設定する方式も提供されている。ここで画素内セレクタ方式は、複数画素単位で、表示部にセレクタを設け、このセレクタによりこれら複数画素を構成する複数の液晶セルの階調を順次設定する方式である。

【0004】

ここで図 18 は、この画素内セレクタ方式による液晶表示装置の基本ユニットを示す接続図である。基本ユニット 1 は、画素内セレクタ方式による表示部の構成単位であり、液

50

晶表示装置は、この基本ユニット1がマトリクス状に配置されて表示部が形成される。この図18の例において、基本ユニット1は、赤色、緑色、青色の液晶セル2R、2G、2Bによる3つのサブ画素に1つのセクタ3が設けられる。この基本ユニット1において、赤色、緑色、青色の液晶セル2R、2G、2Bは、共通電極が共通に信号線に接続され、この信号線が図示しない共通電極用の駆動電源に接続される。なおCsR、CsG、CsBは、保持容量であり、一端がそれぞれ液晶セル2R、2G、2Bの画素電極に接続され、他端にプリチャージ用の駆動信号CSが供給される。赤色、緑色、青色の液晶セル2R、2G、2Bは、画素電極がそれぞれゲート信号GATER、GATEG、GATEBによりオンオフ動作するNMOSTランジスタQ1R、Q1G、Q1Bを介してNMOSTランジスタQ2に接続され、このランジスタQ2は、青色用のゲート信号GATEBによりオンオフ動作して、ランジスタQ1R、Q1G、Q1Bを信号線SIGに接続する。

10

【0005】

基本ユニット1は、図19に示すように、水平駆動部により、時分割で、赤色、緑色、青色の液晶セル2R、2G、2Bの階調に対応する電圧に信号線SIGの電圧が設定される(図19(A))。なおこの図19では、各液晶セル2R、2G、2Bの階調に対応する電圧を符号R、G、Bにより示す。また基本ユニット1は、この信号線SIGの電圧の設定に連動して、ゲート信号GATER、GATEG、GATEBによりランジスタQ1R、Q1G、Q1B、Q2がオン状態に設定された後、順次、オフ状態に設定される(図19(B1)、(B2)、(B3))。すなわち信号線SIGの電圧が赤色液晶セル2Rの階調に対応する電圧Rに設定されている期間で、ランジスタQ1R、Q1G、Q1B、Q2をオン状態に立ち上げた後、赤色液晶セル2Rに接続されたランジスタQ1Rをオフ状態に切り換え、これにより赤色液晶セル2Rの画素電極の電圧VRを信号線SIGの電圧Rに設定する(図19(C1))。また続いて信号線SIGの電圧が緑色液晶セル2Gの階調に対応する電圧Gに設定されている期間で、緑色液晶セル2Gに接続されたランジスタQ1Gをオフ状態に切り換え、これにより緑色液晶セル2Gの画素電極の電圧VGを信号線SIGの電圧Gに設定する(図19(C2))。また続いて信号線SIGの電圧が青色液晶セル2Bの階調に対応する電圧Bに設定されている期間で、青色液晶セル2Bに接続されたランジスタQ1BをランジスタQ2と共にオフ状態に切り換え、これにより青色液晶セル2Bの画素電極の電圧VBを信号線SIGの電圧Bに設定する(図19(C3))。

20

30

【0006】

このような液晶表示装置に関して、特開平9-243995号公報には、各画素にそれぞれメモリを設け、このメモリの記録に従って各画素を駆動する構成が開示されている。以下、この方式をメモリ方式と呼ぶ。このメモリ方式によれば、一旦、各画素の階調を設定すれば、各画素に対する階調設定処理を省略することができることから、消費電力を低減することができる。

【0007】

ところで図19に示す画素内セクタ方式の基本ユニット1では、図20に示すように、各ゲート信号GATER、GATEG、GATEBの走査線と各液晶セル2R、2G、2Bの画素電極との間に容量Cgが発生する。なおここでCgRR、CgRG、CgRBは、それぞれ赤色液晶セル2Rの画素電極と各ゲート信号GATER、GATEG、GATEBの走査線との間の容量である。またCgGR、CgGG、CgGBは、それぞれ緑色液晶セル2Gの画素電極と各ゲート信号GATER、GATEG、GATEBの走査線との間の容量である。またCgBR、CgBG、CgBBは、それぞれ青色液晶セル2Bの画素電極と各ゲート信号GATER、GATEG、GATEBの走査線との間の容量である。

40

【0008】

その結果、基本ユニット1では、これら容量Cgによるゲートカップリングにより、ゲート信号GATER、GATEG、GATEBの信号レベルが変化すると、各液晶セル2

50

R、2G、2Bに設定された画素電極の電位VR、VG、VBが変化する。

【0009】

基本ユニット1では、図19との対比により図21に示すように、始めに赤色用のゲート信号GATERによりトランジスタQ1Rをオフ動作させて赤色液晶セル2Rの階調を設定した後、順次、緑色用及び青色用のゲート信号GATEG、GATEBによりトランジスタQ1G、Q1Bをオフ動作させて緑色液晶セル2G、青色液晶セル2Bの階調を設定していることにより、赤色液晶セル2Rでは、これら赤色用、緑色用、青色用のゲート信号GATER、GATEG、GATEBの信号レベルが立ち下がる毎に、画素電極の電位VRが立ち下がることになる。また緑色液晶セル2Gでは、緑色用、青色用のゲート信号GATEG、GATEBの信号レベルの立ち下がりにより、画素電極の電位VGが順次立ち下がることになる。また青色液晶セル2Bでは、青色用のゲート信号GATEBの信号レベルの立ち下がりにより、画素電極の電位VBが立ち下がることになる。

10

【0010】

その結果、基本ユニット1では、信号線SIGを介して画素電極に設定された電位VR、電位VG、電位VBが変化し、その変化量VR、VG、VBが赤色液晶セル2R、緑色液晶セル2G、青色液晶セル2Bの順に小さくなる。この画素電極の電位VR、電位VG、電位VBの変化量VR、VG、VBは、ゲート信号GATER、GATEG、GATEBによる駆動により発生するものであることから、フィールド反転、フレーム反転、ライン反転等による各信号線SIGの駆動を切り換える場合であっても、ほぼ一定値に保持される。

20

【0011】

これにより画素内セクタ方式では、1つのセクタが割り当てられた複数液晶セル間で液晶に直流電界が印加される問題があった。なおこのように液晶に直流電界が印加され続けると、液晶表示装置では、液晶が劣化することになる。

【特許文献1】特開平9-243995号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は以上の点を考慮してなされたもので、画素内セクタ方式により各液晶セルを駆動する場合に、液晶への直流電界の印加を防止することができる液晶表示装置を提案しようとするものである。

30

【課題を解決するための手段】

【0013】

上記の課題を解決するため請求項1の発明は、基本ユニットを順次配置して形成された表示部により所望の画像を表示する液晶表示装置に適用して、前記基本ユニットは、複数の液晶セルと、ゲート信号によりオンオフ動作するトランジスタにより前記複数の液晶セルの画素電極を信号線の設定に順次設定して、前記複数の液晶セルの階調を順次設定するセクタとを有し、前記複数の液晶セルのうちで、後で階調を設定する液晶セル程、前記画素電極と対応する前記ゲート信号の走査線との間の容量が増大するように設定される。

【0014】

請求項1の構成によれば、後で階調を設定して、ゲートカップリングによる画素電極電圧の変化の小さい液晶セル程、画素電極と対応する前記ゲート信号の走査線との間の容量の増大により、ゲートカップリングによる画素電極電圧の変化を大きくすることができる。従って1つのセクタに割り当てられた複数の液晶セルにおいて、画素電極の電圧変化の相違を小さくすることができ、これら複数の液晶セルにおける液晶への直流電界の印加を防止することができる。

40

【発明の効果】

【0015】

本発明によれば、画素内セクタ方式により各液晶セルを駆動する場合に、液晶への直流電界の印加を防止することができる。

50

【発明を実施するための最良の形態】

【0016】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0017】

(1) 実施例1の構成

図2は、本発明の実施例1の液晶表示装置を示すブロック図である。この液晶表示装置11は、画素内セクタ方式による液晶表示装置であり、液晶セルによる画素をマトリックス状に配置して表示部12が形成され、水平駆動部13及び垂直駆動部14により駆動してこの表示部12で所望の画像を表示する。表示部12は、所定の基本ユニットがマトリックス状に配置されて形成されることにより、液晶セルによる画素がマトリックス状に配置される。

10

【0018】

ここで図1は、図18との対比によりこの表示部12を形成する基本ユニットを示す接続図である。この図1において、図18と同一構成は、対応する符号を付して示し、重複した説明は省略する。この基本ユニット16では、図21について上述した画素電極の電位VR、電位VG、電位VBの変化量VR、VG、VBが最も大きな赤色液晶セル2Rを除いて、それぞれ画素電極とゲート信号GATEG、GATEBの走査線との間に画素電極電位補正用容量CG、CBが設けられる。この基本ユニット16は、この画素電極電位補正用容量CG、CBに関する構成が異なる点を除いて、図18の基本ユニット1と同一に構成される。従ってこの基本ユニット16は、図19で説明したと同一に順次各液晶セル2R、2G、2Bの階調が設定される。

20

【0019】

ここで図1に示す構成において、赤色液晶セル2Rのゲート信号GATERの立ち下がりによる赤色液晶セル2Rの画素電極の電位VRの立ち下がり電圧VRは、液晶セル2Rの画素電極の対アース間の容量と、画素電極及びゲート信号GATERの走査線間の容量CgRRとによりゲート信号GATERの電圧変化を分圧した電圧により表すことができる。従ってこの電圧変化量VR1は、次式により表すことができる。なおここでCtotalRは、赤色液晶セル2Rの画素電極と他の全ての部位との間の容量の合算の容量である。またVgは、ゲート信号GATER、GATEG、GATEBの電圧変化量である。

30

【0020】

【数1】

$$\Delta V_{RR} = \frac{C_{gRR}}{C_{totalR}} \times \Delta V_g \quad \dots \dots (1)$$

【0021】

またこの赤色液晶セル2Rにおいて、緑色液晶セル2Gのゲート信号GATEGの立ち下がりによる画素電極の電位VRの立ち下がり量VRGは、同様に液晶セル2Rの画素電極の対アース間の容量と、画素電極及びゲート信号GATEGの走査線間の容量CgRGとによりそれぞれゲート信号GATEGの電圧変化を分圧した電圧により表すことができる。またこの赤色液晶セル2Rにおいて、青色液晶セル2Bのゲート信号GATEBの立ち下がりによる画素電極の電位VRの立ち下がり量VRBについても、同様に液晶セル2Rの画素電極の対アース間の容量と、画素電極及びゲート信号GATEBの走査線間の容量CgRBとによりそれぞれゲート信号GATEBの電圧変化を分圧した電圧により表すことができる。従ってこれらの電圧変化量VRG、VRBは、次式により表すことができる。なおここでCtotalGは、緑色液晶セル2Gの画素電極と他の全ての部

40

50

位との間の容量の合算の容量であり、また $C_{total B}$ は、青色液晶セル 2 B の画素電極と他の全ての部位との間の容量の合算の容量である。

【0022】

【数2】

$$\Delta V_{RG} = \frac{C_{gRG}}{C_{total R}} \times \Delta V_g \quad \dots\dots (2)$$

10

【0023】

【数3】

$$\Delta V_{RB} = \frac{C_{gRB}}{C_{total R}} \times \Delta V_g \quad \dots\dots (3)$$

【0024】

従って図 2 1 について上述した赤色液晶セル 2 R における画素電極電位 V_R の電圧降下量 V_R は、次式により表すことができる。 20

【0025】

【数4】

$$\begin{aligned} \Delta V_R &= \Delta V_{RR} + \Delta V_{RG} + \Delta V_{RB} \\ &= \frac{C_{gRR} + C_{gRG} + C_{gRB}}{C_{total R}} \times \Delta V_g \quad \dots\dots (4) \end{aligned}$$

30

【0026】

同様にして、緑色液晶セル 2 G 及び青色液晶セル 2 B における画素電極電位 V_G 、 V_B の変化量 V_G 、 V_B は、それぞれ次式により表すことができる。

【0027】

【数5】

$$\begin{aligned} \Delta V_G &= \Delta V_{GG} + \Delta V_{GB} \\ &= \frac{C_{gGG} + C_{gGB}}{C_{total G}} \times \Delta V_g \quad \dots\dots (5) \end{aligned}$$

40

【0028】

【数 6】

$$\Delta V_B = \Delta V_{GB}$$

$$= \frac{C_{gBB}}{C_{totalB}} \times \Delta V_g \quad \dots\dots (6)$$

10

【0029】

ここで画素電極電位補正用容量 C_G 、 C_B を除いた場合、各液晶セル $2R$ 、 $2G$ 、 $2B$ の画素電極と対応するゲート信号 $GATER$ 、 $GATEG$ 、 $GATEB$ の走査線との間の容量 C_{gRR} 、 C_{gGG} 、 C_{gBB} は、これら液晶セル $2R$ 、 $2G$ 、 $2B$ 間でトランジスタ $Q1R$ 、 $Q1G$ 、 $Q1B$ 等のレイアウトを同一とすることにより、ほぼ等しくすることができる。従ってこの等しい容量を C_E とおくと、容量 C_{gRR} 、 C_{gGG} 、 C_{gBB} は、それぞれ C_E 、 $C_E + C_G$ 、 $C_E + C_B$ で表すことができる。

【0030】

ここで(4)式及び(5)式の C_{gRR} 、 C_{gGG} をそれぞれ C_E 、 $C_E + C_G$ とおいて、 $V_R = V_G$ とすると、次式の関係式を得ることができる。

20

【0031】

【数 7】

$$\frac{C_E + C_{gRG} + C_{gRB}}{C_{totalR}} \times \Delta V_g = \frac{C_E + C_G + C_{gGB}}{C_{totalG}} \times \Delta V_g \quad \dots\dots (7)$$

30

【0032】

ここで C_{totalR} 、 C_{totalG} であることから、この(7)式を整理すれば、次式の関係式を得ることができる。

【0033】

【数 8】

$$C_G = C_{gRG} + C_{gRB} - C_{gGB} \quad \dots\dots (8)$$

40

【0034】

画素電極電位補正用容量 C_G は、この(8)式の関係式を満足するように、赤色液晶セル $2R$ の画素電極と緑色用ゲート信号 $GATEG$ との間の容量 C_{gRG} 、赤色液晶セル $2R$ の画素電極と青色用ゲート信号 $GATEB$ との間の容量 C_{gRB} の合成容量から緑色液晶セル $2G$ の画素電極と青色用ゲート信号 $GATEB$ との間の容量 C_{gGB} を減算した容量に設定される。

【0035】

また同様にして(4)式及び(6)式の C_{gRR} 、 C_{gGB} をそれぞれ C_E 、 $C_E + C_B$ とおいて、 $V_R = V_B$ とすると、次式の関係式を得ることができる。

【0036】

50

【数 9】

$$\frac{C_E + C_{gRG} + C_{gRB}}{C_{totalR}} \times \Delta V_g = \frac{C_E + C_B}{C_{totalB}} \times \Delta V_g$$

…… (9)

【0037】

10

C_{totalG} 、 C_{totalB} とにおいてこの(9)式を整理すれば、次式の関係式を得ることができる。

【0038】

【数 10】

$$C_B = C_{gRG} + C_{gRB} \quad \dots\dots (10)$$

【0039】

20

画素電極電位補正用容量 C_B は、この(10)式の関係式を満足するように、赤色液晶セル 2R の画素電極と緑色用ゲート信号 GATEG との間の容量 C_{gRG} 、赤色液晶セル 2R の画素電極と青色用ゲート信号 GATEB との間の容量 C_{gRB} の合成容量に設定される。

【0040】

これら(8)式及び(10)式の関係式を満足するように、画素電極電位補正用容量 C_G 、 C_B が設定されて、図 21 との対比により図 3 に示すように、この基本ユニット 16 は、赤色液晶セル 2R、緑色液晶セル 2G、青色液晶セル 2B でゲートカップリングによる画素電極電位 V_R 、 V_G 、 V_B の電圧降下 V_R 、 V_G 、 V_B がほぼ等しくなるように設定され、これによりこれら隣接する赤色、緑色、青色の液晶セル 2R、2G、2B における液晶への直流電界の印加を防止することができる。

30

【0041】

図 4 は、この基本ユニット 16 のレイアウトを示す平面図である。表示部 12 は、一定のピッチ T_1 によりゲート信号 GATER、GATEG、GATEB の走査線が順次設けられる。基本ユニット 16 は、隣接する走査線の間、順次、赤色、緑色、青色による画素電極 17R、17G、17B が設けられ、また対応する保持容量 C_{sR} 、 C_{sG} 、 C_{sB} 等が設けられる。基本ユニット 16 は、緑色液晶セル 2G 及び青色液晶セル 2B の画素電極 17G、17B がそれぞれ緑色用及び青色用ゲート信号 GATEG、GATEB の走査線と所定量 T_G 、 T_B だけオーバーラップするように、赤色液晶セル 2R の画素電極 17R に比して緑色液晶セル 2G の画素電極 17G、青色液晶セル 2B の画素電極 17B が信号線 SIG に沿った方向に大型に形成され、これによりこのオーバーラップした部位

40

【0042】

(2) 実施例 1 の動作

以上の構成において、この液晶表示装置 11 (図 2) では、水平駆動部 13 及び垂直駆動部 14 による表示部 12 の駆動により、この表示部 12 に設けられた液晶セルにより各画素の階調が設定され、これによりこの表示部 12 で所望の画像を表示することができる。

【0043】

50

また表示部 12 においては(図 1)、トランジスタ Q1R、Q1G、Q1B、Q2 によるセクタを介して、隣接する赤色、緑色、青色の液晶セル 2R、2G、2B の画素電極電位 VR、VG、VB が信号線 SIG の電圧に順次設定され、これにより画素内セクタ方式により各画素の階調が設定されて所望の画像を表示する。

【0044】

しかしながら画素内セクタ方式では、赤色用ゲート信号 GATAR、緑色用ゲート信号 GATEG、青色用ゲート信号 GATEB の信号レベルを切り換えてトランジスタ Q1R、Q1G、Q1B、Q2 を順次オンオフ制御し、順次、1つのセクタに割り当てられた液晶セル 2R、2G、2B の画素電極を信号線 SIG に接続してこれら複数液晶セル 2R、2G、2B の階調を設定していることにより、画素電極の電位 VR、VG、VG がゲートカップリングにより低下することになる(図 20)。またこの画素電極の電位 VR、VG、VG の低下は、これら 1つのセクタに割り当てられた液晶セル 2R、2G、2B のうちで、最初に画素電極の電位 VR、VG、VG を設定した液晶セル程大きくなり(図 21)、その結果、何ら工夫を施さなければ、これら 1つのセクタに割り当てられた複数の液晶セル 2R、2G、2B 間で、画素電極に直流の電位差が発生し、液晶に直流電界を印加することになる。

10

【0045】

そこでこの実施例の液晶表示装置 11 において、基本ユニット 16 は、後で画素電極電位を設定する液晶セル 2G、2B 程、液晶セル 2G、2B の画素電極と対応するゲート信号 GATEG、GATEG の走査線との間の容量 CgGG、CgBB が増大するように、画素電極電位補正用容量 CG、CB が設けられる。これにより各基本ユニット 16 では、後で画素電極電位を設定する液晶セル 2G、2B 程、ゲートカップリングにより大きく画素電極の電位を大きく立ち下げ(図 3)、1つのセクタに割り当てられた液晶セル 2R、2G、2B 間で、画素電極に直流の電位差が発生しないようにし、液晶への直流電界の印加を防止する。

20

【0046】

この液晶表示装置 11 では、これら画素電極電位補正用容量 CG、CB が、対応する画素電極と走査線とのオーバーラップにより作成され(図 4)、これにより単なる製造用のマスクの改良により液晶への直流電界の印加を防止することができる。

【0047】

(3) 実施例 1 の効果

以上の構成によれば、画素内セクタ方式により 1つのセクタに割り当てられる複数の液晶セルにおいて、後で画素電極電位を設定する液晶セル程、画素電極と対応するゲート信号の走査線との間の容量が増大するように設定することにより、1つのセクタに割り当てられた複数の液晶セル間で、液晶への直流電界の印加を防止することができる。従って従来に比して液晶表示装置の信頼性を向上することができる。

30

【0048】

またこの画素電極と対応するゲート信号の走査線との間の容量の増大を、対応する画素電極と走査線とのオーバーラップにより作成することにより、簡易な構成で、液晶への直流電界の印加を防止することができる。

40

【実施例 2】

【0049】

図 5 は、本発明の実施例 2 の液晶表示装置における基本ユニットのレイアウトを示す平面図である。この実施例の液晶表示装置は、図 4 のレイアウトによる基本ユニット 16 に代えてこの図 5 のレイアウトによる基本ユニット 26 が適用される点を除いて、実施例 1 の液晶表示装置と同一に構成される。またこの基本ユニット 26 では、各液晶セル 2R、2G、2G の画素電極 17R、17G、17B に代えて、各トランジスタ Q1R、Q1G、Q1B を画素電極 17R、17G、17B に接続する配線パターン 27R、27G、27B を対応する走査線とオーバーラップさせて、画素電極電位補正用容量が作成される。

【0050】

50

従ってこの図5において、赤色液晶セル2Rでは、トランジスタQ1Rを画素電極17Rに接続する配線パターン27Rが、対応する走査線と何らオーバーラップすることなく作成される。これに対して緑色液晶セル2Gでは、トランジスタQ1Gを画素電極17Gに接続する配線パターン27Gが、対応する走査線と一定面積だけオーバーラップするように作成されて、緑色液晶セル2Gの画素電極電位補正用容量CGが作成される。またさらに青色液晶セル2Bでは、トランジスタQ1Bを画素電極17Bに接続する配線パターン27Bが、対応する走査線とさらに大面積でオーバーラップするように作成されて、青色液晶セル2Bの画素電極電位補正用容量CBが作成される。

【0051】

この実施例のように、セクタを構成する各トランジスタを画素電極に接続する配線パターンを対応する走査線とオーバーラップさせて画素電極電位補正用容量を作成しても、実施例1と同様の効果を得ることができる。

【実施例3】

【0052】

図6は、本発明の実施例3の液晶表示装置における基本ユニットのレイアウトを示す平面図である。この実施例の液晶表示装置は、図5のレイアウトによる基本ユニット26に代えてこの図6のレイアウトによる基本ユニット36が適用される点を除いて、実施例2の液晶表示装置と同一に構成される。

【0053】

この実施例の基本ユニット36では、カラーフィルタの透過率を考慮して赤色液晶セル2R、緑色液晶セル2G、青色液晶セル2Bの開口率が設定され、この開口率を確保するために赤色液晶セル2R、緑色液晶セル2G、青色液晶セル2Bの画素電極17R、17G、17Bの面積が設定される。より具体的には、赤色液晶セル2R、青色液晶セル2Bの開口率が等しい値に設定され、この赤色液晶セル2R、青色液晶セル2Bの開口率に比して緑色液晶セル2Gの開口率が大きな値に設定される。これによりこの基本ユニット36では、赤色液晶セル2R、青色液晶セル2Bにおける画素電極17R、17Bは等しい面積に設定されるのに対し、緑色液晶セル2Gの画素電極17Gが、これら赤色液晶セル2R、青色液晶セル2Bの画素電極に17R、17Bに比して大きな面積に設定される。

【0054】

またこの開口率の設定に対応して、緑色液晶セル2G、赤色液晶セル2R、青色液晶セル2Bの順序で、各液晶セル2G、2R、2Bが配置され、これにより表示画面における白色度、白輝度が最適化される。

【0055】

これに対してこの基本ユニット36による表示部を駆動する水平駆動部及び垂直駆動部は、汎用の集積部が適用されて、上述の実施例1、2と同一の順序で各液晶セル2G、2R、2Bの階調を設定する。なお配線パターン27G、27Bと走査線とのオーバーラップに代えて、実施例1について上述したように、画素電極17G、17Bと走査線とのオーバーラップにより、画素電極電位補正用容量を作成してもよい。

【0056】

この実施例のように液晶セルの配置順序と階調設定順序とを異ならせても、上述の実施例と同様の効果を得ることができる。

【実施例4】

【0057】

ところで画素電極の電位の変動は、画素電極を配置する基板のレイアウト、ゲート信号GATER、GATEG、GATEBの小振幅化等により、隣々接液晶セルによるゲートカップリングによる影響を無視できる場合もある。

【0058】

この場合に、基本ユニットの配置の順序で各液晶セルの階調を設定する場合は、図21との対比により図7に示すように、赤色及び緑色の液晶セル2R及び2Gにおける画素電極の電圧降下VR、VGがほぼ等しくなる。これに対して実施例3の構成に係る液晶

10

20

30

40

50

セルの配列、階調設定順序による場合、図 8 に示すように、両端に配置される液晶セル 2 G、2 B における画素電極の電圧降下 V_G 、 V_B がほぼ等しくなる。なお図 20 との対比により、上述の実施例 3 の構成に係る液晶セルの配列、階調設定順序による場合の、画素電極電位の変動に影響を与える寄生容量を図 9 に示す。

【0059】

そこでこの実施例では、上述の実施例 1 ~ 3 の構成において、隣々接液晶セルによるゲートカップリングによる影響を無視して画素電極電位補正用容量を配置する。ここで隣々接液晶セルによるゲートカップリングを無視すると、(7) 式は次式により表すことができる。

【0060】

10

【数 11】

$$\frac{C_E + C_{gRG}}{C_{totalR}} \times \Delta V_g = \frac{C_E + C_G + C_{gGB}}{C_{totalG}} \times \Delta V_g$$

…… (11)

【0061】

20

従って C_{totalR} 、 C_{totalG} であることから、この (11) 式を整理すれば、次式の関係式を得ることができる。

【0062】

【数 12】

$$C_G = C_{gRG} - C_{gGB} \quad \dots\dots (12)$$

【0063】

30

ここで各液晶セルにおける配線パターンを同一にレイアウトする場合には、 C_{gRG} 、 C_{gGB} の関係式が成立し、これにより (12) 式による画素電極電位補正用容量 C_G は、値 0 となる。また同様にここで隣々接液晶セルによるゲートカップリングを無視すると、(9) 式は次式により表すことができる。

【0064】

【数 13】

$$\frac{C_E + C_{gRG}}{C_{totalR}} \times \Delta V_g = \frac{C_E + C_B}{C_{totalB}} \times \Delta V_g$$

…… (13)

40

【0065】

C_{totalG} 、 C_{totalB} とおいてこの (13) 式を整理すれば、次式の関係式を得ることができる。

【0066】

【数 1 4】

$$C B = C g R G \quad \dots\dots (14)$$

【0067】

これにより上述の実施例 1 又は 2 の構成において、隣々接液晶セルによるゲートカップリングによる影響を無視して画素電極電位補正用容量を配置する場合には、最後に画素電極電位を設定する液晶セル 2 B にのみ画素電極電位補正用容量 C B を設ければよいことが判る。これによりこの場合は、表示パネルの構成を簡略化することができる。

10

【0068】

これに対して上述の実施例 3 に係る液晶セルの配列、階調設定順序による構成において、隣々接液晶セルによるゲートカップリングによる影響を無視して画素電極電位補正用容量を配置する場合には、同様の画素電極電位の変動の解析により、両端に配置する緑色液晶セル 2 G 及び青色液晶セル 2 B にほぼ同一容量の画素電極電位補正用容量 C G、C B を配置すればよいことが求められる。

【0069】

この実施例によれば、隣々接液晶セルによるゲートカップリングによる影響を無視できる場合にも、上述の各実施例と同様の効果を得ることができる。

【実施例 5】

20

【0070】

図 10 は、本発明の実施例 5 に係る液晶表示装置を示すブロック図である。この液晶表示装置 4 1 は、例えば図示しないチューナー部、外部機器等から出力されるビデオデータによる動画像、静止画像をアナログ駆動方式により表示部 4 2 で表示し、また各種メニュー画像等をメモリ方式により表示部 4 2 で表示する。なおここで、アナログ駆動方式は、各液晶セルの画素電極信号線に接続して画素電極電位を信号線の電位に設定する方式であり、上述の実施例 1 ~ 4 の駆動方式である。

【0071】

この液晶表示装置 4 1 において、インターフェース (I / F) 4 3 は、各画素の階調を順次示すシリアルデータによる画像データ S D I、この画像データ S D I に同期した各種タイミング信号を入力する。なおここでこの画像データ S D I は、アナログ駆動方式により表示部 4 2 で表示する画像データである。またインターフェース 4 3 は、コントローラ 4 4 から、メモリ方式により表示部 4 2 で表示する 2 値の画像データ D V を入力し、これら入力した画像データ S D I、D V、各種タイミング信号をコントローラ 4 4 の制御に従って各部に出力する。

30

【0072】

タイミングジェネレータ (T G) 4 5 は、コントローラ 4 4 の制御により、メモリ方式、アナログ駆動方式で必要な各種のタイミング信号を生成して水平駆動部 4 6、垂直駆動部 4 7 に出力する。また液晶セルの共通電極用の駆動電源 V C O M を生成して表示部 4 2 に出力する。なおこの実施例において表示部 4 2 は、反射型、透過型、反射型と透過型との併用型の何れをも適用することができる。

40

【0073】

水平駆動部 4 6 は、コントローラ 4 4 の制御によりアナログ駆動方式とメモリ方式とで動作を切り換え、アナログ駆動方式では、インターフェース 4 3 から入力される画像データ S D I を順次各信号線 S I G に振り分けてデジタルアナログ変換処理し、フィールド反転、フレーム反転、ライン反転等による各信号線 S I G の駆動信号 S s i g を生成する。水平駆動部 4 6 は、アナログ駆動方式では、この駆動信号 S s i g を表示部 4 2 の各信号線 S I G に出力する。

【0074】

また水平駆動部 4 6 は、メモリ方式では、コントローラ 4 4 から出力される 2 値の画像

50

データDVの論理値に対応する駆動信号Sdvを対応する信号線SIGに出力した後、所定の駆動信号XCSを信号線に出力する。

【0075】

垂直駆動部47は、コントローラ44の制御によりアナログ駆動方式とメモリ方式とで動作を切り換え、表示部42の走査線に所定の駆動信号を出力する。

【0076】

表示部42は、水平駆動部46、垂直駆動部47から出力される各種の信号により動作し、画像データSDI又はDVによる画像を表示する。ここで図11は、表示部42の基本ユニットを示す接続図である。この図11の基本ユニット51において、実施例1の基本ユニット16と同一の構成は、対応する符号を付して示し、重複した説明は省略する。

10

【0077】

ここで基本ユニット51は、アナログ駆動方式では、セクタ3及びNMOSトランジスタQ3を介して、各液晶セル2R、2G、2Bを信号線SIGに接続し、各液晶セル2R、2G、2Bの階調を順次設定する。またメモリ方式では、メモリ部52に信号線SIGの設定を記録した後、セクタ3及びNMOSトランジスタQ3、Q4により、このメモリ部52に記録された信号線SIGの設定を液晶セル2R、2G、2Bに順次設定して、これら液晶セル2R、2G、2Bの階調を順次設定する。

【0078】

基本ユニット51は、セクタ3によるこれら液晶セル2R、2G、2Bの階調の設定が、実施例1、2について上述したと同一の順序で実行され、これにより緑色及び青色の液晶セル2G及び2Bに、画素電極電位補正用容量CG、CBが設けられる。なおこの画素電極電位補正用容量CG、CBは、実施例1、2について上述したと同一に設定される。なお実施例3等について上述した順序により液晶セル2R、2G、2Bの階調を設定するようにして、上述の実施例3等の手法を適用して画素電極電位補正用容量を設けるようにしてもよい。

20

【0079】

すなわち表示部42は、赤色、緑色、青色の液晶セル2R、2G、2Bが順次循環的に連続するように、この図11に示す基本ユニットがマトリクス状に配置されて、これら液晶セル2R、2G、2Bがマトリクス状に配置される。

【0080】

この基本ユニット51において、これら赤色、緑色、青色の液晶セル2R、2G、2Bの保持容量CsR、CsG、CsBは、一端にプリチャージの処理に係る駆動信号CSが供給され、他端がそれぞれ対応する液晶セル2R、2G、2Bの画素電極に接続される。また液晶セル2R、2G、2Bは、駆動信号CSに連動して信号レベルが切り換わる駆動電源VCOMが共通電極に供給される。

30

【0081】

基本ユニット51において、メモリ部52は、ゲート及びドレインがそれぞれ共通に接続されたNMOSトランジスタQ5及びPMOSトランジスタQ6からなるCMOSインバーターと、同様のNMOSトランジスタQ7及びPMOSトランジスタQ8からなるCMOSインバーターとによるSRAM(Static Random Access Memory)であり、信号線SIGの論理レベルに対応する出力RAMと、この出力RAMと逆の論理レベルによる反転出力とをそれぞれトランジスタQ3及びQ4に出力し、これらトランジスタQ3及びQ4を相補的にオンオフ制御する。メモリ部52は、ゲート信号GATEDによりオン動作するNMOSトランジスタQ11を介して信号線SIGに接続される。

40

【0082】

基本ユニット51は、図12及び図13に示すように、アナログ駆動方式による場合には、水平駆動部46及び垂直駆動部47により、トランジスタQ3をオン状態に設定するようにメモリ部52が事前に設定された後(図12(D)~(E))、ゲート信号GATER、GATEG、GATEBの設定が順次切り換えられることにより(図12(B1)~(B3))、図13に示すように、液晶セル2R、2G、2Bが順次信号線SIGに接

50

続される。なおここで図 1 3 は、この信号線 S I G と液晶セル 2 R、2 G、2 B との接続の説明のために、図 1 1 との対比により基本ユニット 5 1 の構成を簡略化して示す図である。

【 0 0 8 3 】

また基本ユニット 5 1 は、アナログ駆動方式による場合には、水平駆動部 4 6 により、液晶セル 2 R、2 G、2 B の階調をそれぞれ示す階調電圧 R、G、B に信号線 S I G の駆動信号 S s i g が順次設定され（図 1 2 (A)）、この信号線 S I G の設定に対応するようにゲート信号 G A T E R、G A T E G、G A T E B の設定が順次切り換えられる（図 1 2 (B 1) ~ (B 3)）。これにより基本ユニット 5 1 は、液晶セル 2 R、2 G、2 B の画素電極電位 V R、V G、V B が駆動信号 S s i g による階調電圧 R、G、B に設定される。これにより基本ユニット 5 1 は、アナログ駆動方式によりこれら液晶セル 2 R、2 G、2 B の階調が設定される。

10

【 0 0 8 4 】

これに対してアナログ駆動方式におけるメモリ部 5 2 の事前の設定、メモリ方式による書込み時、基本ユニット 5 1 は、図 1 4 及び図 1 5 に示すように、ゲート信号 G A T E R、G A T E G、G A T E B によりトランジスタ Q 1 R、Q 1 G、Q 1 B、Q 2 がオフ状態に設定され（図 1 4 (B 1) ~ (B 3) 及び (C 1) ~ (C 3)）、メモリ部 5 2 の電源電圧 V R A M が信号線 S I G の H レベルに対応する電圧 V D D に一時的に立ち下げられると共に（図 1 4 (A) 及び (D)）、ゲート信号 G A T E D によりトランジスタ Q 1 1 がオン状態に設定されて信号線 S I G にメモリ部 5 2 が接続される（図 1 4 (E)）。これにより基本ユニット 5 1 は、信号線 S I G に出力される駆動信号 S d v の論理レベルがメモリ部 5 2 に設定される（図 1 4 (F)）。またその後、基本ユニット 5 1 は、電源電圧 V R A M が液晶セル 2 R、2 G、2 B の駆動電圧に対応する電圧 V D D 2 に立ち上げられて（図 1 4 (D) 及び (F)）、トランジスタ Q 3、Q 4 をオンオフ制御可能に設定される。なおここで図 1 5 は、このメモリ部 5 2 の動作の説明のために、図 1 1 に示す基本ユニット 5 1 の構成を簡略化して示す図である。

20

【 0 0 8 5 】

基本ユニット 5 1 は、アナログ駆動方式におけるメモリ部 5 2 の事前の設定時、水平駆動部 4 6 により信号線 S I G が H レベルに設定されてこれら一連の動作が実行され、これによりトランジスタ Q 3 をオン状態に設定するように設定される。これに対してメモリ方式による書込み時、水平駆動部 4 6 により信号線 S I G が画像データ D V の論理値に設定され、これにより画像データ D V の論理値がメモリ部 5 2 に設定される。またこの論理値が H レベルの場合、トランジスタ Q 3 をオン状態に設定するようにメモリ部 5 2 が設定されるのに対し、この論理値が L レベルの場合、トランジスタ Q 4 をオン状態に設定するようにメモリ部 5 2 が設定される。

30

【 0 0 8 6 】

ここでメモリ方式による表示時、基本ユニット 5 1 は、図 1 6 及び図 1 7 に示すように、水平駆動部 4 6 から、駆動信号 C S に対して相補的に信号レベルが切り換わる駆動信号 C S の反転信号 X C S が信号線 S I G に供給される（図 1 6 (A) 及び (B)）。また水平駆動部 4 6 から、トランジスタ Q 1 R、Q 1 G、Q 1 B、Q 2 を全てオン動作させるようにゲート信号 G A T E R、G A T E G、G A T E B が供給される（図 1 6 (C 1) ~ (C 3)）。基本ユニット 5 1 は、メモリ部 5 2 に設定された論理値に応じてトランジスタ Q 3 又は Q 4 が選択的にオン状態に設定され、これにより反転信号 X C S 又は駆動信号 C S が選択的に液晶セル 2 R、2 G、2 B の画素電極に供給される（図 1 6 (D 1) ~ (D 3)）。これにより液晶セル 2 R、2 G、2 B は、メモリ部 5 2 に設定された画像データ D V の論理値に対応して黒階調又は白階調に設定される。なおここで図 1 7 は、このメモリ方式による表示の説明のために、図 1 1 に示す基本ユニット 5 1 の構成を簡略化して示す図である。

40

【 0 0 8 7 】

この実施例によれば、メモリ方式による場合、さらにはメモリ方式とアナログ駆動方式

50

とを切り換える場合でも、上述の実施例と同様の効果を得ることができる。

【実施例 6】

【0088】

なお上述の実施例においては、画素電極の大きさを変化させて、又は画素電極への配線パターンの形状を異ならせて画素電極電位補正用容量を作成する場合について述べたが、本発明はこれに限らず、例えば走査線の位置をずらして画素電極とのオーバーラップ量を設定して画素電極電位補正用容量を作成する場合、さらには別途、対向電極を作成して画素電極電位補正用容量を作成する場合等、画素電極電位補正用容量の作成手法は種々の方法を広く適用することができる。

【0089】

また上述の実施例においては、1つのセクタに赤色、緑色、青色による3つの液晶セルを割り当てる場合について述べたが、本発明はこれに限らず、例えば連続する2つの液晶セルを1つのセクタに割り当てる場合、さらには4つ以上の液晶セルを1つのセクタに割り当てる場合等にも広く適用することができる。

【産業上の利用可能性】

【0090】

本発明は、いわゆる画素内セクタ方式による液晶表示装置に適用することができる。

【図面の簡単な説明】

【0091】

【図1】本発明の実施例1の液晶表示装置の基本ユニットを示す接続図である。

【図2】本発明の実施例1の液晶表示装置を示すブロック図である。

【図3】図1の基本ユニットの動作の説明に供するタイムチャートである。

【図4】図1の基本ユニットのレイアウトを示す平面図である。

【図5】本発明の実施例2の液晶表示装置の基本ユニットのレイアウトを示す平面図である。

【図6】本発明の実施例3の液晶表示装置の基本ユニットのレイアウトを示す平面図である。

【図7】本発明の実施例4の液晶表示装置におけるゲートカップリングの影響の説明に供するタイムチャートである。

【図8】図7とは異なる例によるゲートカップリングの影響の説明に供するタイムチャートである。

【図9】本発明の実施例4の液晶表示装置におけるゲートカップリングの影響の説明に供する接続図である。

【図10】本発明の実施例5の液晶表示装置を示すブロック図である。

【図11】本発明の実施例5の液晶表示装置における基本ユニットを示す接続図である。

【図12】図11の基本ユニットのアナログ駆動方式における動作の説明に供するタイムチャートである。

【図13】図11の基本ユニットのアナログ駆動方式における動作の説明に供する接続図である。

【図14】図11の基本ユニットのメモリ部の設定時における動作の説明に供するタイムチャートである。

【図15】図11の基本ユニットのメモリ部の設定時における動作の説明に供する接続図である。

【図16】図11の基本ユニットのメモリ方式による動作の説明に供するタイムチャートである。

【図17】図11の基本ユニットのメモリ方式による動作の説明に供する接続図である。

【図18】画素内セクタ方式による液晶表示装置の基本ユニットを示す接続図である。

【図19】図18の基本ユニットの動作の説明に供するタイムチャートである。

【図20】図18の基本ユニットにおける寄生容量の説明に供する接続図である。

【図21】図18の基本ユニットにおけるゲートカップリングの説明に供するタイムチャ

10

20

30

40

50

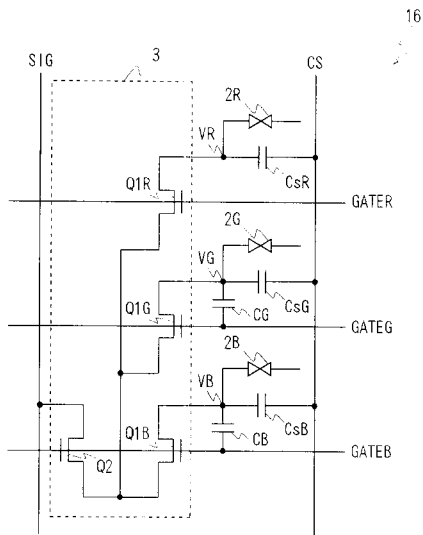
ートである。

【符号の説明】

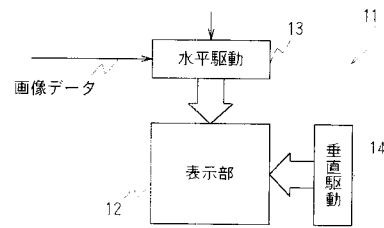
【0092】

1、16、26、36、51...基本ユニット、2R、2G、2B...液晶セル、3...
 ...セクタ、11、41...液晶表示装置、12、42...表示部、17R、17G、1
 7B...画素電極、52...メモリ方式、CB、CG...画素電極電位補正用容量、Q1
 ~Q11...トランジスタ

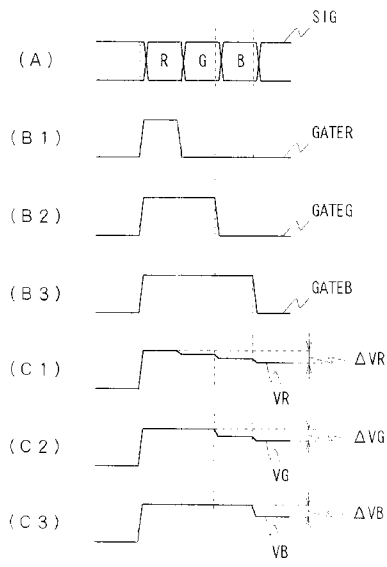
【図1】



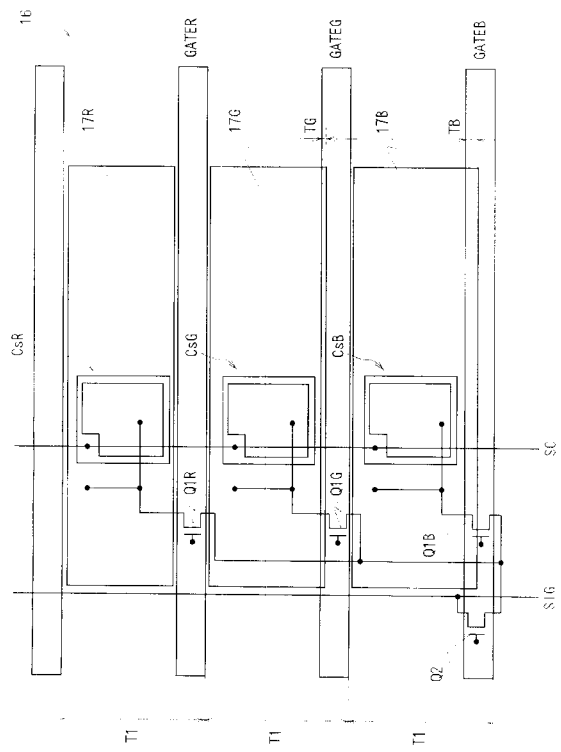
【図2】



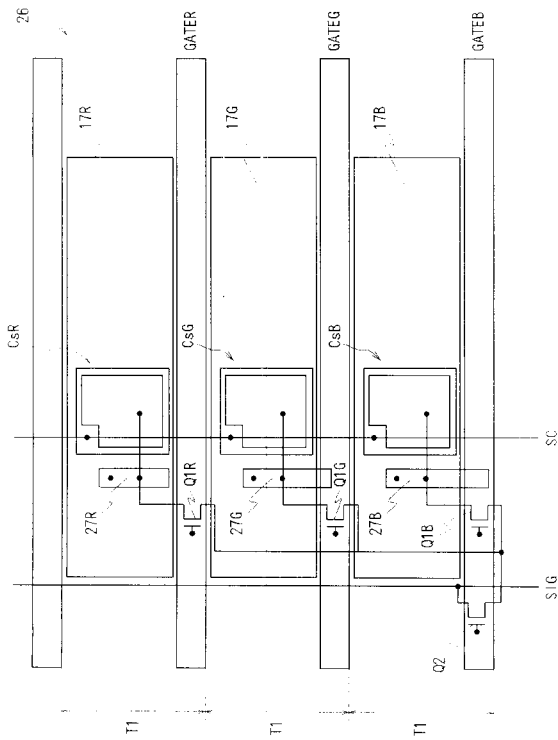
【 図 3 】



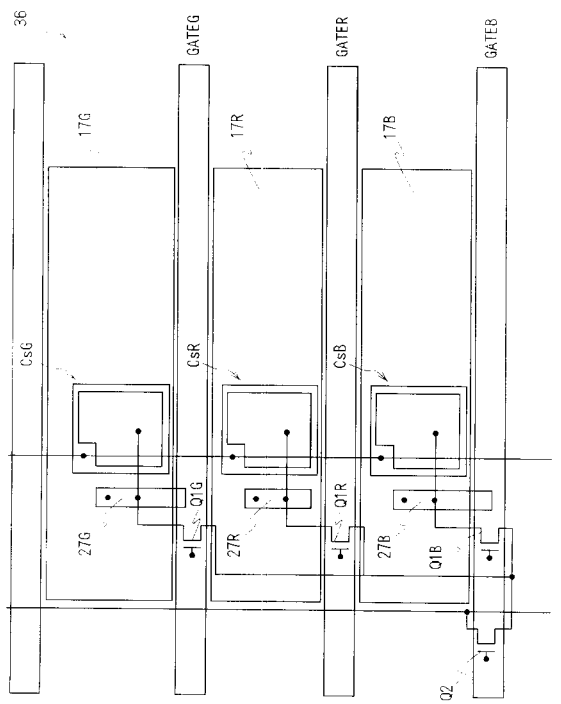
【 図 4 】



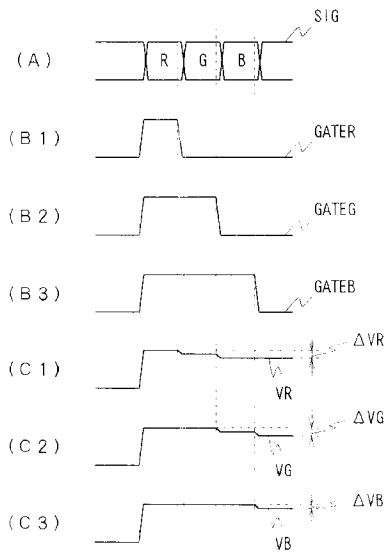
【 図 5 】



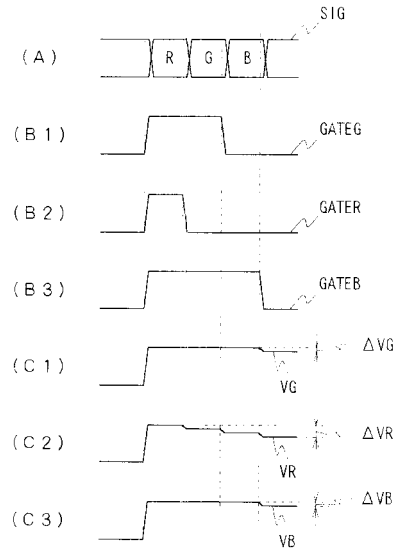
【 図 6 】



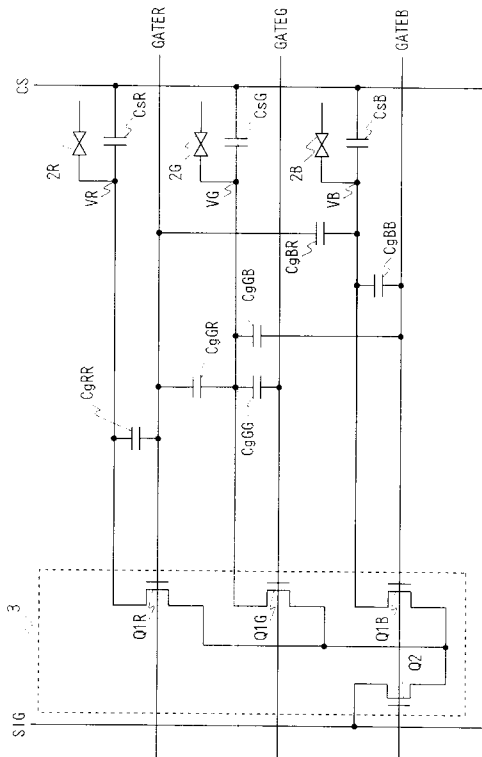
【図7】



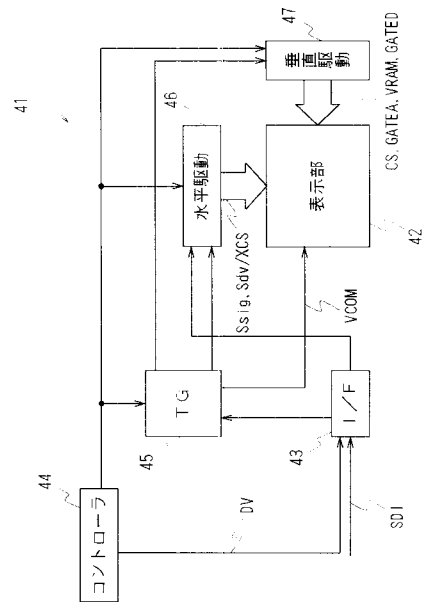
【図8】



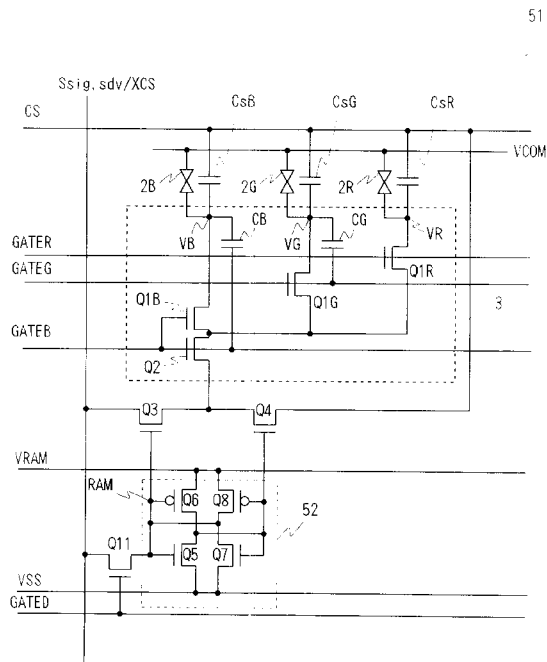
【図9】



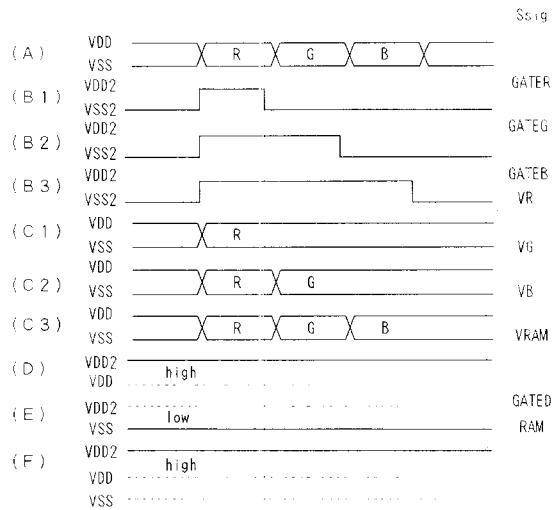
【図10】



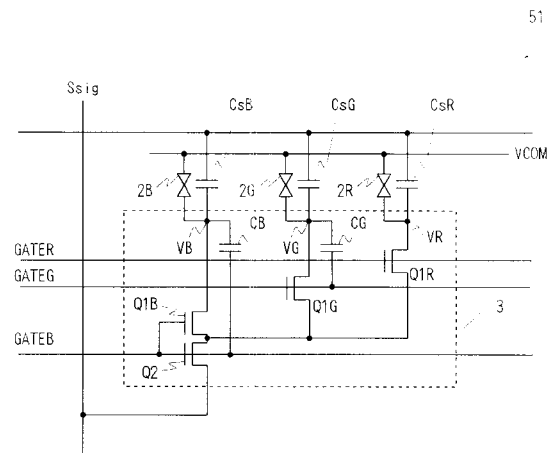
【 図 1 1 】



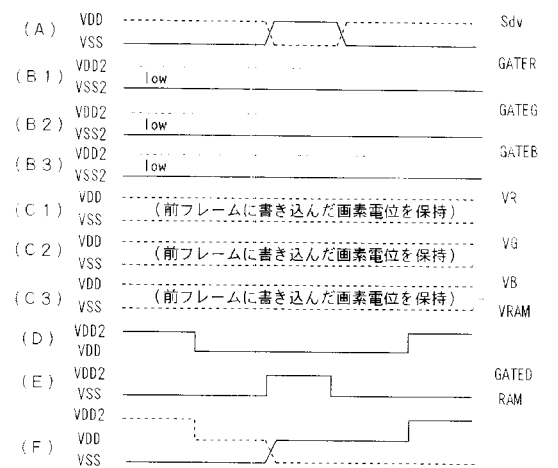
【 図 1 2 】



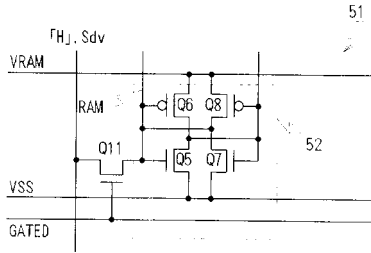
【 図 1 3 】



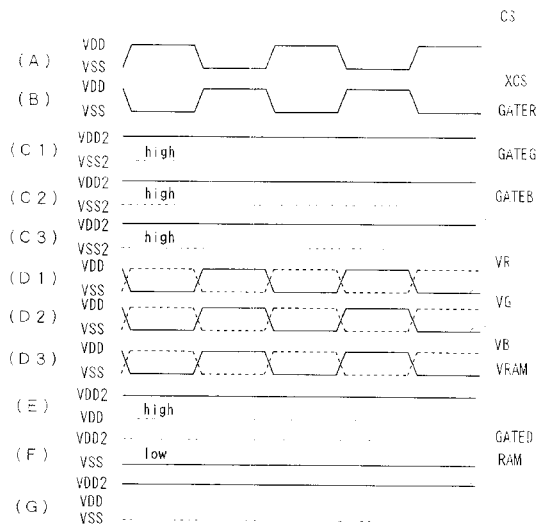
【 図 1 4 】



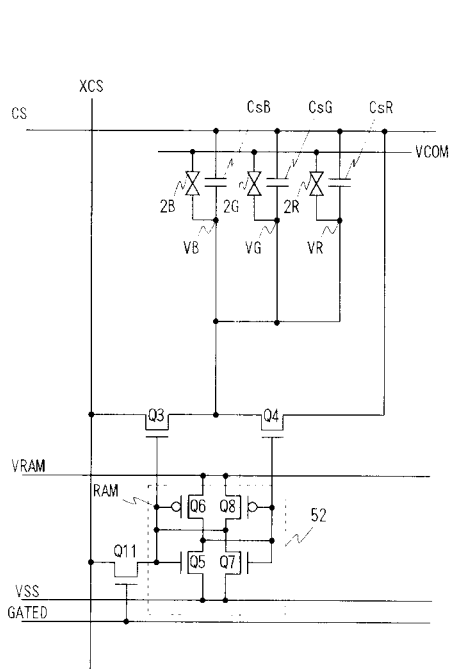
【 図 1 5 】



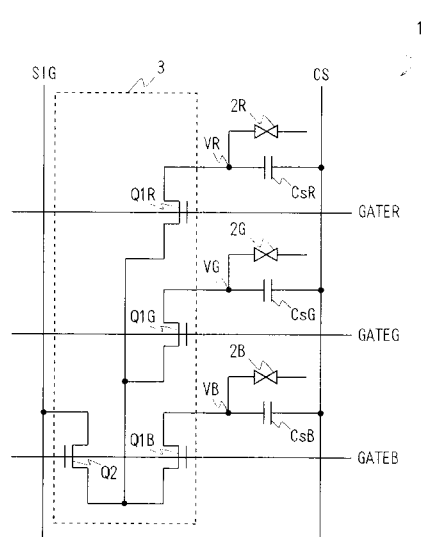
【 図 1 6 】



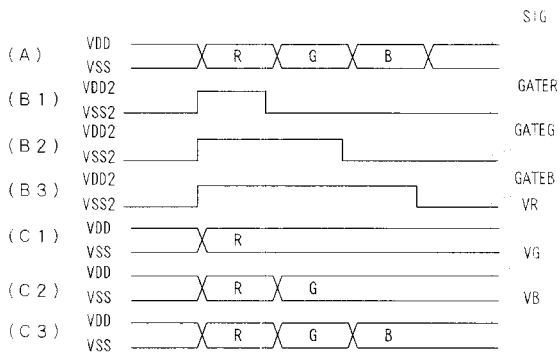
【 図 1 7 】



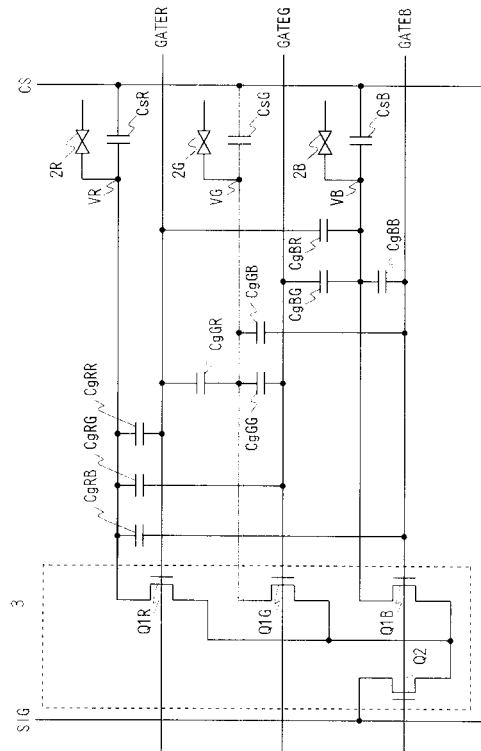
【 図 1 8 】



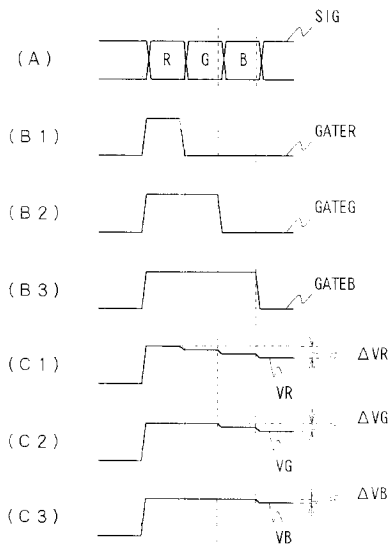
【 図 19 】



【 図 20 】



【 図 21 】



【手続補正書】

【提出日】平成21年1月29日(2009.1.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

ここで図1に示す構成において、赤色液晶セル2Rのゲート信号GATERの立ち下がりによる赤色液晶セル2Rの画素電極の電位VRの立ち下がり電圧VRは、液晶セル2Rの画素電極の対アース間の容量と、画素電極及びゲート信号GATERの走査線間の容量CgRRとによりゲート信号GATERの電圧変化を分圧した電圧により表すことができる。従ってこの電圧変化量 $\frac{V_R}{R}$ は、次式により表すことができる。なおここでCtotalRは、赤色液晶セル2Rの画素電極と他の全ての部位との間の容量の合算の容量である。またVgは、ゲート信号GATER、GATEG、GATEBの電圧変化量である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

そこでこの実施例の液晶表示装置11において、基本ユニット16は、後で画素電極電位を設定する液晶セル2G、2B程、液晶セル2G、2Bの画素電極と対応するゲート信号GATEG、GATEBの走査線との間の容量CgGG、CgBBが増大するように、画素電極電位補正用容量CG、CBが設けられる。これにより各基本ユニット16では、後で画素電極電位を設定する液晶セル2G、2B程、ゲートカップリングにより大きく画素電極の電位を大きく立ち下げ(図3)、1つのセクタに割り当てられた液晶セル2R、2G、2B間で、画素電極に直流の電位差が発生しないようにし、液晶への直流電界の印加を防止する。

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 3 1 H
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 7 0 K
G 0 2 F	1/1347	

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009098234A	公开(公告)日	2009-05-07
申请号	JP2007267378	申请日	2007-10-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	寺西康幸		
发明人	寺西 康幸		
IPC分类号	G02F1/1368 G09G3/36 G02F1/133 G09G3/20 G02F1/1347		
FI分类号	G02F1/1368 G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.624.B G09G3/20.631.H G09G3/20.641.C G09G3/20.670.K G02F1/1347 G02F1/133.510 G02F1/1343 G02F1/1345		
F-TERM分类号	2H089/QA16 2H089/TA02 2H089/TA07 2H089/TA08 2H089/TA09 2H092/GA11 2H092/JA24 2H092/JB22 2H092/JB31 2H092/NA25 2H092/PA06 2H093/NA32 2H093/NA33 2H093/NA51 2H093/NC10 2H093/NC12 2H093/NC24 2H093/NC34 2H093/ND60 2H093/NE03 5C006/AA16 5C006/AA22 5C006/BB16 5C006/FA38 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/AA43 2H192/CB23 2H192/CB24 2H192/DA02 2H192/GD61 2H193/ZA04 2H193/ZA06 2H193/ZA07 2H193/ZA08 2H193/ZA20 2H193/ZB02 2H193/ZB03 2H193/ZB07 2H193/ZB14 2H193/ZB16 2H193/ZB18 2H193/ZC02 2H193/ZC15 2H193/ZC20 2H193/ZC25 2H193/ZD12 2H193/ZD21 2H193/ZD23 2H193/ZE06 2H193/ZF22 2H193/ZF34 2H193/ZF36 2H193/ZF59 2H193/ZP03 2H193/ZP20		
其他公开文献	JP5121386B2		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，特别是应用于防止在分配给一个选择器的多个液晶单元中的液晶上施加直流电场的，所谓的像素内选择器方式的液晶显示装置。要做。本发明对应于通过像素内选择器方法分配给一个选择器3的多个液晶单元2R，2G和2B中的像素电极，与稍后设置像素电势的液晶单元2G和2B一样多。选通信号和扫描线之间的电容 (CB，CG) 设置为增加。[选型图]图1

