

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-175853
(P2008-175853A)

(43) 公開日 平成20年7月31日(2008.7.31)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 624A	5C080
	G09G 3/20 621B	

審査請求 未請求 請求項の数 6 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2007-6662 (P2007-6662)
(22) 出願日 平成19年1月16日 (2007.1.16)

(71) 出願人 304053854
エプソンイメージングデバイス株式会社
長野県安曇野市豊科田沢6925
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100127661
弁理士 官坂 一彦
(72) 発明者 中山 実
東京都港区浜松町二丁目4番1号 三洋エ
プソンイメージングデバイス株式会社内
(72) 発明者 小澤 裕
東京都港区浜松町二丁目4番1号 三洋エ
プソンイメージングデバイス株式会社内
Fターム(参考) 2H092 JB63 JB69 NA01 NA25

最終頁に続く

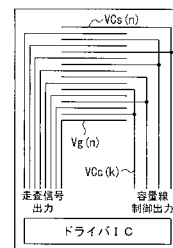
(54) 【発明の名称】 表示装置及び電気機器

(57) 【要約】

【課題】 走査線毎にこれに沿って配置した補助容量線を利用して画素電極にバイアスを加えて画像表示を行う際に、補助容量線を駆動するドライバICのチップサイズや表示装置全体の小型化を図る。

【解決手段】 走査線 $V_g(n)$ 毎に、これに沿って配置した補助容量線 $V_{Cs}(n)$ のうち、同極性であり、且つ隣接する複数の補助容量線 $V_{Cs}(n)$ を、同一の容量制御線 $V_{Cc}(k)$ に接続し、複数の補助容量線 $V_{Cs}(n)$ への容量線制御信号を、1本の容量制御線 $V_{Cc}(k)$ を介して供給する。補助容量線 $V_{Cs}(n)$ を駆動するために必要なドライバ回路ICの出力端子は補助容量線 $V_{Cs}(n)$ の数よりも少ない容量制御線 $V_{Cc}(k)$ の数相当あればよいから、その分、チップサイズの縮小を図ることができ、すなわち表示装置全体の小型化を図ることができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数の走査線と複数のデータ線との交差に対応して設けられた画素電極と当該画素電極と対向して設けられた対向電極との間に形成される画素容量に保持される電圧に応じて画像を表示する表示装置において、

前記複数の走査線に沿って設けられる補助容量線と、

前記補助容量線に対して、周期的に反転させて所定の電位を供給する補助容量線駆動回路と、を備え、

複数の前記補助容量線について極性の同じものを組とし、当該組に属する複数の補助容量線の一端どうしを共通の容量制御線に接続し、当該容量制御線の他端を前記補助容量線駆動回路の出力端に接続したことを特徴とする表示装置。

10

【請求項 2】

前記容量制御線は、前記同極性の補助容量線のうち、隣り合う複数の補助容量線が接続されることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記複数の走査線を選択的に駆動する走査信号を前記走査線に印加する走査線駆動回路と、

前記走査線駆動回路での前記走査線の駆動順に応じた順で前記データ線にデータ信号を供給するデータ線駆動回路と、を備え、

前記走査線駆動回路は、フレーム毎に前記組に対応する走査線に対して供給する順番を異ならせた走査信号を供給し、

20

前記補助容量線駆動回路は、前記組に対応する走査線における全ての走査線への走査信号が前記走査線を選択する選択状態から非選択状態へ切り替えられた後に、前記補助容量線の所定の電位を反転させて出力することを特徴とする請求項 1 又は 2 記載の表示装置。

【請求項 4】

前記補助容量線は、1 フレーム毎に極性が変化し、

前記走査線駆動回路は、前記補助容量線の極性が同一となるフレーム間で、前記組に対応する走査線での走査線の駆動順の入れ替えを行うことを特徴とする請求項 3 記載の表示装置。

30

【請求項 5】

前記画素電極は、対応する前記データ線にスイッチ素子を介して接続され、前記走査信号により前記スイッチ素子が導通状態となったとき、前記データ線に供給されるデータ信号が前記画素電極に印加され、

前記スイッチ素子は、アモルファスシリコンで構成されることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の表示装置。

【請求項 6】

前記請求項 1 乃至 5 の何れか 1 項に記載の表示装置を備えることを特徴とする電気機器。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、薄膜トランジスタ等のスイッチ素子を用いた液晶表示装置等の、表示装置及び電気機器に関する。

【背景技術】

【0002】

従来、コンピュータや携帯電話のディスプレイには、液晶表示装置が用いられている。この液晶表示装置は、マトリクス状に配置された画素電極を順次選択駆動することで表示が行われる。すなわち、選択された画素電極と、これに対向する対向電極との間に電圧を印加することで、両者の間に介在する液晶を変移させ、透過特性を変化させることで表示

50

パターンを形成している。

【0003】

これら画素電極を駆動する方法として、スイッチ素子で印加電圧を制御するアクティブマトリクス方式があり、その中でも、薄膜トランジスタでスイッチ素子を形成したものを、TFTと呼んでいる。

近年、特に携帯用途で使用される液晶表示装置には、低消費電力が要求されている。一般的なTFTを用いた駆動方法においては、液晶を交流化させる必要があり、対向電極(COM電極)を1ライン毎に反転させる必要がある。

【0004】

これに対し、特許文献1や特許文献2に記載されているように、走査線に沿って補助容量線を設け、画素電極と補助容量線との間に補助容量を形成し、前記補助容量線を1ライン毎に個別に反転させるという技術が公開されている。

この技術は、対向電極はある直流電位で一定とし、ライン毎に補助容量線の信号をフレーム周期で反転制御するため、補助容量線の電位変化の回数が減少し、駆動電力の低減を図ることができる。

【特許文献1】特開2003-295157号公報

【特許文献2】特開2006-220947号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述のように、ライン毎に補助容量線の信号をフレーム周期で反転する制御を、一般的なアモルファスTFTで実現する場合、ライン毎に設けられる補助容量線のそれぞれを制御するための信号線が必要となる。つまり、例えば320ライン表示の液晶パネルの場合、これを駆動するためのドライバICは、制御出力が、この補助容量線を制御するための制御出力に相当する320本分多く必要となり、その結果、チップサイズの増加及びコストアップにつながるという問題がある。

そこで、この発明は、上記従来未解決の課題に着目してなされたものであり、チップサイズの小型化及びコストアップの低減を図ることの可能な表示装置及び電気機器を提供することを目的としている。

【課題を解決するための手段】

【0006】

上記した課題を解決するために、本発明の表示装置は、複数の走査線と複数のデータ線との交差に対応して設けられた画素電極と当該画素電極と対向して設けられた対向電極との間に形成される画素容量に保持される電圧に応じて画像を表示する表示装置において、前記複数の走査線に沿って設けられる補助容量線と、前記補助容量線に対して、周期的に反転させて所定の電位を供給する補助容量線駆動回路と、を備え、複数の前記補助容量線について極性の同じものを組とし、当該組に属する複数の補助容量線の一端どうしを共通の容量制御線に接続し、当該容量制御線の他端を前記補助容量線駆動回路の出力端に接続したことを特徴としている。

【0007】

これにより、複数の補助容量線の一端を1本の容量制御線にまとめた分、補助容量線を駆動するための信号数が少なくなり、その分、この信号用の配線が少なくなることから、この信号を供給するための制御出力端子の数を削減することができる。よって、補助容量線を駆動するドライバ回路ICの小型化を図ることができると共に、引き回す配線数を削減することができるから、配線の占有面積を縮小することができ、表示装置の小型化を図ることができる。

【0008】

また、上記した表示装置において、前記容量制御線は、前記同極性の補助容量線のうち、隣り合う複数の補助容量線が接続されることを特徴としている。

ここで、比較的離れた補助容量線をまとめて複数駆動すると、場合によっては、表示画

10

20

30

40

50

像にフリッカ等が発生する可能性があるが、比較的近傍の複数の補助容量線をまとめて駆動しているため、複数の補助容量線をまとめて駆動することに起因する表示画像への影響を低減することができる。

【0009】

また、上記した表示装置において、前記複数の走査線を選択的に駆動する走査信号を前記走査線に印加する走査線駆動回路と、前記走査線駆動回路での前記走査線の駆動順に応じた順で前記データ線にデータ信号を供給するデータ線駆動回路と、を備え、前記走査線駆動回路は、フレーム毎に前記組に対応する走査線に対して供給する順番を異ならせた走査信号を供給し、前記補助容量線駆動回路は、前記組に対応する走査線における全ての走査線への走査信号が前記走査線を選択する選択状態から非選択状態へ切り替えられた後に、前記補助容量信号の所定の電位を反転させて出力することを特徴としている。

10

【0010】

ここで、複数の補助容量線をまとめて駆動した場合、走査線間で前記画素容量及び前記補助容量への充電期間に差が生じるため、例えば明るさ等といった画素の表示状況に差が生じる可能性がある。しかしながら、一の組に対応する走査線に対して、走査信号を供給する順番をフレーム毎に入れ替えて供給し、且つ、前記一の組に対応する走査線に対する走査信号が全て選択状態から非選択状態へ切り替えられた後に、前記一の組に対応する補助容量線に対する補助容量信号を供給するようにしたから、フレーム間での、明るさ等といった画素の表示状況の差を、視覚的に平均化することができる。

【0011】

また、上記した表示装置において、前記補助容量線は、1フレーム毎に極性が変化し、前記走査線駆動回路は、前記補助容量線の極性が同一となるフレーム間で、前記組に対応する走査線での走査線の駆動順の入れ替えを行うことを特徴としている。

20

これによって、極性の差に起因する画素の表示特性の差の影響を受けることを回避し、よりの確に表示状況の平均化を行うことができる。

【0012】

また、上記した表示装置において、前記画素電極は、対応する前記データ線にスイッチ素子を介して接続され、前記走査信号により前記スイッチ素子が導通状態となったとき、前記データ線に供給されるデータ信号が前記画素電極に印加され、前記スイッチ素子は、アモルファスシリコンで構成されることを特徴としている。

30

ここで、アモルファスシリコンで構成されるスイッチ素子の場合、このスイッチ素子と共にこれを駆動する駆動回路を同一の基板上に形成することは困難であるため補助容量線を引き回す必要があるが、複数の補助容量線をまとめて一本の容量制御線に接続し、基板上で容量制御線が占める割合を低減することができる。よってその分、表示装置の小型化を図ることができると共に、補助容量線を駆動するための信号数を削減することができるから、補助容量線を駆動するドライバICの出力端子数を削減することができ、ドライバICの小型化を図ることができる。

【0013】

また、本発明に係る電気機器は、上記した何れかの表示装置を備えることを特徴としている。

40

これによって、表示装置を備えた電気機器において、チップサイズの小型化及びコストアップの低減を図ることの可能な電気機器を実現することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態を説明する。

図1は、本実施形態の表示装置を適用した液晶表示装置1の概略構成を、表示部100の等価回路と共に示すブロック図である。

この液晶表示装置1は、マトリクス状に配置された多数の画素形成部としての画素回路かなる表示部100と、走査側の駆動回路としての、走査線駆動回路及び容量線駆動回路を有する走査側駆動回路200と、データ線側の駆動回路としてのデータ線駆動回路30

50

0と、外部の信号源から与えられる画像信号及び制御信号に基づき走査側駆動回路200及びデータ線駆動回路300を動作させるための制御信号及び画像データを生成する表示制御回路500と、を備えている。

【0015】

本実施形態における表示部100は、液晶表示パネルであって、電気光学素子としての液晶層を挟持する1対の基板からなり、各基板の外表面には偏向板が貼り付けられている。この1対の基板の一方はTFT基板と呼ばれ、TFT基板では、ガラス等の絶縁性基板上に、複数のデータ線 $V_s(1) \sim V_s(M)$ と、複数の走査線 $V_g(1) \sim V_g(N)$ とが互いに交差するように格子状に形成され、さらに、複数の走査線 $V_g(1) \sim V_g(N)$ とほぼ並行に延在して、これら走査線 $V_g(n)$ のそれぞれに対応して複数の補助容量線 $V_{Cs}(1) \sim V_{Cs}(N)$ が形成されている。これら複数の補助容量線 $V_{Cs}(1) \sim V_{Cs}(N)$ は、一つおきに隣接する2本の補助容量線 $V_{Cs}(n)$ どうしが、1本の容量制御線 $V_{Cc}(1) \sim V_{Cc}(K)$ に接続されている。つまり、図1の場合、補助容量線 $V_{Cs}(n-1)$ と $V_{Cs}(n+1)$ とが、容量制御線 $V_{Cc}(k-1)$ に接続され、同様に、補助容量線 $V_{Cs}(n)$ と、 $V_{Cs}(n+2)$ とが、容量制御線 $V_{Cc}(k)$ に接続されている。

10

【0016】

これら補助容量線 $V_{Cs}(1) \sim V_{Cs}(N)$ は、例えば図2に示すように、走査線 $V_g(1) \sim V_g(N)$ 毎に、この走査線に沿ってほぼ平行に配置され、一方の端部位置(図2では右端)で、一つおきに隣接する2本の補助容量線 $V_{Cs}(n)$ どうしが、1本の容量制御線 $V_{Cc}(k)$ に接続されている。そして、この容量制御線 $V_{Cc}(1) \sim V_{Cc}(K)$ が後述のドライバICに接続されている。一方、走査線 $V_g(n)$ はそのままドライバICに接続される。

20

【0017】

つまり、補助容量線 $V_{Cs}(1) \sim V_{Cs}(N)$ は走査線毎に設けられているが、容量制御線 $V_{Cc}(k)$ を介してドライバICに接続されているため、補助容量線 $V_{Cs}(1) \sim V_{Cs}(N)$ を駆動するために必要なドライバICの出力端子は、走査線を駆動するために必要な出力端子数の半分でよいことになる。つまり、例えば、320ライン表示の液晶表示装置の場合は、本来320個必要なところ、その半分の160個ですむ。

【0018】

一方、複数のデータ線 $V_s(1) \sim V_s(M)$ と、走査線 $V_g(1) \sim V_g(N)$ との交差点にそれぞれ対応して複数の画素回路 $P(n, m)$ がマトリクス状に形成されており($n=1 \sim N, m=1 \sim M$)、各画素回路 $P(n, m)$ は、図3に示すように、画素電極 V_{pix} と、その画素電極 V_{pix} と後述の対向電極 V_{COMDC} とによって形成される液晶容量(以下、画素容量ともいう) C_{LC} と、その画素電極 V_{pix} の近傍を通過する1つの補助容量線 $V_{Cs}(n)$ との間に形成される補助容量 C_s と、スイッチ素子としてのTFT10とを含んでいる。このTFT10のゲート端子及びソース端子は、当該画素回路 $P(n, m)$ に対応する交差点を通過する走査線 $V_g(n)$ 及びデータ線 $V_s(m)$ にそれぞれ接続され、このTFT10のドレイン端子は、画素電極 V_{pix} に接続されている。

30

40

【0019】

また、TFT基板における表示部100の周辺部には、図1に示すように、データ線 $V_s(1) \sim V_s(M)$ を駆動する回路として、前記データ線駆動回路300と、走査線 $V_g(1) \sim V_g(N)$ を駆動する走査線駆動回路及び容量制御線 $V_{Cc}(1) \sim V_{Cc}(K)$ を介して補助容量線 $V_{Cs}(1) \sim V_{Cs}(k)$ を駆動する容量線駆動回路とを含む走査側駆動回路200とが、それぞれドライバICチップに内蔵されてTFT基板上に実装されている。

【0020】

次に、上記1対の基板の他方は、対向基板と呼ばれ、ガラス等の透明な絶縁性基板上に、全面にわたって対向電極 V_{COMDC} 、配向膜が順次積層されている。そして、この対

50

向基板と上記 T F T 基板との間に、周囲を封止されて挟持された液晶層が存在し、この液晶層と、それを挟むように配置されている各画素電極 $V_{p i x}$ 及び対向電極 $V_{C O M D C}$ とによって、上記の液晶容量 $C_{L C}$ が形成されている。なお、各画素回路 $P(n, m)$ によって形成すべき画素の値に相当する電圧を保持するための総容量（以下、これを画素容量としての液晶容量 $C_{L C}$ と区別して画素総容量と呼ぶ）は、液晶容量 $C_{L C}$ と補助容量 C_s とから構成される。

【0021】

上記のような液晶パネルにおいて、共通電極としての対向電極 $V_{C O M D C}$ は、所定の電位（直流電圧） $V_{C O M}$ に設定され（以後、この電位を、対向電極電位又は共通電極電位という）、各画素電極 $V_{p i x}$ 及び対向電極 $V_{C O M D C}$ とによって挟持される液晶層には、それらの電極間の電位差に応じた電圧が印加される。これによって液晶層の各部分の光学的変調が行われ透過特性を変化させることで表示パターンを形成している。

10

【0022】

図4は、本実施形態に係る液晶表示装置1の各信号線及び画素電極電位の概要を示す信号波形図である。

各データ線 $V_s(1) \sim V_s(M)$ には、各ライン分のデータに相当する信号が順次印加され、画素マトリクス of 各行を構成する各画素回路 $P(n, m)$ の画素容量 $C_{L C}$ （及び補助容量 C_s ）に画素データへ書き込みが行われ、且つ、データ線 $V_s(1) \sim V_s(M)$ に印加すべきデータ信号の対向電極電位 $V_{C O M}$ を基準とする極性が1水平走査期間毎に反転され、且つ、フレーム毎に極性が反転されて駆動される。

20

【0023】

図4において、波形 t_1 は、走査線 $V_g(n)$ への走査信号、つまり T F T 10 へのゲート波形を表す。波形 t_2 は、補助容量線 $V_{C s}(n)$ への容量線信号を表す。この補助容量線 $V_{C s}(n)$ への容量線制御信号は1水平走査期間毎に反転し、且つ、この容量線制御信号と対応する走査線 $V_g(n)$ への走査信号が T F T 10 を遮断状態にさせる電位になった後に極性が反転する波形となっている。また、1フレーム毎に極性が反転する波形となっている。波形 t_3 は、対向電極 $V_{C O M D C}$ の電位、波形 t_4 及び t_5 は、画素電極電位 $V_{p i x}$ であって、これらによって示される画素電極電位 $V_{p i x}$ と対向電極電位 $V_{C O M}$ との電位差 V が、画素電極と対向電極とに挟まれた液晶層に印加される電圧を示したものとなる。なお、 t_4 は、液晶層の配向状態が光透過状態となる液晶 O N 時の画素電極電位、 t_5 は、液晶層の配向状態が光遮断状態となる液晶 O F F 時の画素電極電位である。

30

【0024】

なお、以下では、説明の便宜上、対向電極電位 $V_{C O M}$ は“0”〔V〕とする。

今、走査線 $V_g(n)$ へ走査信号（波形 t_1 ）が供給され、これにより走査線 $V_g(n)$ に接続された画素スイッチ素子すなわち T F T 10 が導通状態となると、データ線 $V_s(m)$ からのデータ信号（波形 t_4 ）として正電位が画素電極例えば A に与えられ、走査線 $V_g(n)$ に接続された T F T 10 が遮断状態となるまでの期間に、画素電極 A に接続される画素容量としての液晶容量 $C_{L C}$ 及び補助容量 C_s が充電され、それによって、画素電極 A がデータ信号としての正電位を保持する。次に、走査信号（波形 t_1 ）の供給が終了し、走査線 $V_g(n)$ に接続された画素スイッチ素子が遮断状態となると、その画素容量としての液晶容量及び補助容量に蓄積された電荷はそのまま保持される。この間、補助容量線 $V_{C s}(n)$ は、所定の低電位になっている。

40

【0025】

その後、補助容量線 $V_{C s}(n)$ への電位を所定の高電位に変化させると、これにより画素電極電位 $V_{p i x}$ にバイアスが加わることになって、液晶層のうち画素電極 A と対向電極とに挟持された部分である画素液晶には、データ信号の正電位にバイアスが加算された電圧が印加されることになって、画素スイッチ素子が再び導通状態となるまでの期間電荷は保持される。

【0026】

50

このようにして、 N 本の走査線 $Vg(1) \sim Vg(n)$ に対応して配設された N 本の補助容量線 $VCs(1) \sim VCs(n)$ が順次駆動されることで、対向電極 $VCOMDC$ の電位が直流 DC でありながら、同一の走査線にて導通/遮断が制御される $TFT10$ に接続される画素電極群毎に、画素電極電位 $Vpix$ にバイアスが加わり、そのバイアスの加わった画素電極電位 $Vpix$ と対向電極 $VCOMDC$ 電位との差に相当する電圧が実効値として液晶層に印加されることとなる。

【0027】

図5は、走査側駆動回路200の構成を示すブロック図である。

この走査側駆動回路200は、走査線 $Vg(1) \sim Vg(N)$ を駆動する走査線駆動回路210と、容量制御線 $VCc(1) \sim VCc(K)$ を介して補助容量線 $VCs(1) \sim VCs(N)$ を駆動する容量線駆動回路220とを備えている。

走査線駆動回路210は、表示制御回路500からのタイミング信号等の制御信号に基づいて走査線 $Vg(1) \sim Vg(N)$ を順次選択し走査信号を出力する、シフトレジスタ等で構成される走査信号出力回路211と、表示制御回路500からの切替信号に基づいて走査信号出力回路211からの走査信号の出力先を切り替えて、対応する走査線 $Vg(1) \sim Vg(N)$ に供給する切替回路212とを備えている。

【0028】

ここで、上述のように本願では、隣接する2つの補助容量線 $VCs(n)$ 、 $VCs(n+2)$ が、1本の容量制御線 $VCc(k)$ に接続され、同一の容量線制御信号で2つの補助容量線 $VCs(n)$ 、 $VCs(n+2)$ が駆動される。つまり、補助容量線 $VCs(1)$ と $VCs(3)$ 、補助容量線 $VCs(2)$ と $VCs(4)$ 、...、 $VCs(N-2)$ と $VCs(N)$ がそれぞれ対をなしている。これら補助容量線 $VCs(n)$ への容量線制御信号は、1水平走査期間毎に反転するようになっており、すなわち、印加電圧が同極性となる補助容量線 $VCs(n)$ どうしで対が形成されている。

【0029】

上述のように、切替回路212では、表示制御回路500からの切替信号に基づき、通常接続が指示されているときには、走査信号出力回路211からの走査信号をそのまま対応する走査線 $Vg(n)$ に出力する。一方、切替信号で接続先の切替が指示されているときには、走査信号の出力先を、対をなす補助容量線のうち他方に対応する走査線に出力する。

【0030】

すなわち、走査線 $Vg(1)$ に対応する補助容量線 $VCs(1)$ は、補助容量線 $VCs(3)$ と対をなしていることから、走査線 $Vg(1)$ への走査信号は、補助容量線 $VCs(3)$ に対応する走査線 $Vg(3)$ に出力する。同様に、走査線 $Vg(2)$ に対応する補助容量線 $VCs(2)$ は、補助容量線 $VCs(4)$ と対をなしていることから、走査線 $Vg(2)$ への走査信号は、補助容量線 $VCs(4)$ に対応する走査線 $Vg(4)$ に出力する。同様に、走査線 $Vg(3)$ への走査信号は走査線 $Vg(1)$ に出力し、走査線 $Vg(4)$ への走査信号は走査線 $Vg(2)$ に出力する。つまり、通常は、走査線 $Vg(n)$ を、 $Vg(1)$ 、 $Vg(2)$ 、 $Vg(3)$ 、 $Vg(4)$ 、...の順に駆動するが、切替指示が行われたときには、 $Vg(3)$ 、 $Vg(4)$ 、 $Vg(1)$ 、 $Vg(2)$ 、...の順に駆動する。

【0031】

また、容量線駆動回路220は、走査信号出力回路211からの走査信号の立ち上がり及び立ち下がりタイミングに同期して、補助容量線 $VCs(1) \sim VCs(N)$ を駆動するための容量線制御信号を、容量制御線 $VCc(1) \sim VCc(K)$ に出力する。上述のように、対をなす補助容量線 $VCs(n)$ 、補助容量線 $VCs(n+2)$ は、1本の容量制御線 $VCc(k)$ に接続されていることから、対をなす補助容量線 $VCs(n)$ 、 $VCs(n+2)$ に対して同一のタイミングで同一の容量線制御信号が供給される。したがって、この容量線制御信号は、対をなす補助容量線 $VCs(n)$ 、 $VCs(n+2)$ に対応する走査線つまり、 $Vg(n)$ 、 $Vg(n+2)$ のうち、後に駆動される $Vg(n+2)$

10

20

30

40

50

への走査信号が、TFT10遮断状態に制御する信号に切り換わった後、この走査線に接続された画素へのデータ信号の書き込み極性と同極性の容量線制御信号を、補助容量線 $V_{Cs}(n)$ 、 $V_{Cs}(n+2)$ に対応する容量制御線 $V_{Cc}(k)$ に出力する。

【0032】

一方、データ線駆動回路300は、表示制御回路500からの制御信号及び画像データに基づいて、制御信号で指定されるタイミングでデータ線 $V_s(m)$ を順次切り替えて供給する。

表示制御回路100は、走査線側駆動回路200に対し切替信号を出力する。この切替信号は、2フレーム毎に、通常指示、及び接続先の切替指示を交互に出力する。また、切替指示を出力したときにはこのフレームに対応する、データ線駆動回路300に供給する画像データの並び順を変えて出力する。つまり、上述のように、切替指示が行われたときには、走査線を、 $V_g(3)$ 、 $V_g(4)$ 、 $V_g(1)$ 、 $V_g(2)$ 、...の順に駆動することから、この順に合わせて、各画素に対応する画像データの並び順を変更して出力する。

10

【0033】

つまり、通常は、走査線 $V_g(1)$ 、 $V_g(2)$ 、 $V_g(3)$ 、 $V_g(4)$ 、...の順にこれに接続された画素に対応する画像データの並び順で画像信号をデータ線駆動回路300に出力し、切替指示を行うときには、走査線 $V_g(3)$ 、 $V_g(4)$ 、 $V_g(1)$ 、 $V_g(2)$ 、...の順にこれに接続された画素に対応する画像データの並び順で画像信号をデータ線駆動回路300に出力する。

20

【0034】

次に、本実施の形態の動作を図6のタイミングチャートを用いて説明する。なお、この図6では、同極性での書き込みが行われる1ライン目及び3ライン目の走査線に接続される画素について説明する。

走査線駆動回路210では、走査線 $V_g(n)$ を順次選択するための走査信号を出力すると共に、表示制御回路500からの切替信号に基づいて走査信号の出力先を切り替える。

【0035】

今、1フレーム目の画像表示を行うものとする、表示制御回路500は、通常接続を指示する切替信号を出力する。

30

このため、走査線駆動回路210では、各走査線 $V_g(n)$ を順次選択するための走査信号を、走査線 $V_g(n)$ に順次出力する。これによって、走査線 $V_g(1)$ 、走査線 $V_g(2)$ 、走査線 $V_g(3)$ 、走査線 $V_g(4)$ 、...の順に、走査信号が順次出力される。

【0036】

データ線駆動回路300では、データ線 $V_s(m)$ を順次切り替え、データ線表示制御回路500から入力される画像データを所定のタイミングで選択したデータ線 $V_s(m)$ に出力する。

ここで、走査線 $V_g(1)$ 、データ線 $V_s(m)$ の交差位置に対応する画素回路 $P(1, m)$ 、走査線 $V_g(3)$ 、データ線 $V_s(m)$ の交差位置に対応する画素回路 $P(3, m)$ に着目する。

40

なお、図6において、細実線は、走査線 $V_g(1)$ への走査信号（つまりゲート信号）、太実線は、走査線 $V_g(3)$ への走査信号（つまりゲート信号）、細破線は、1ライン目の走査線 $V_g(1)$ に接続された画素回路 $P(1, m)$ の画素電極電位、太破線は、3ライン目の走査線 $V_g(3)$ に接続された画素回路 $P(3, m)$ の画素電極電位を表す。

【0037】

まず、図6(a)に示すように、走査線 $V_g(1)$ に、走査信号が供給され、走査線 $V_g(1)$ が選択されると、この走査線 V_g はすなわちTFT10へのゲート信号となることから、選択された走査線 $V_g(1)$ に接続されたTFT10が導通状態となり、データ線 $V_s(m)$ からデータ信号として正電位が画素電極に与えられ、走査線 $V_g(1)$ に接

50

続された T F T 1 0 が遮断状態となるまでの期間に、画素電極に接続される画素容量としての液晶容量 C_{LC} 及び補助容量 C_s が充電され、それによって画素回路 $P(1, m)$ の画素電極が、データ信号に相当する正電位に保持される。この間、補助容量線 $V_{Cs}(1)$ は所定の低電位 V_L となっている。

【0038】

その後、2ライン目の走査線 $V_g(2)$ が選択されて（図示せず）、同様に動作し、この場合負極性での書き込みが行われ、続いて、3ライン目の走査線 $V_g(3)$ が選択されると、その液晶容量 C_{LC} 及び補助容量 C_s が同様に充電されて、その画素電極は、破線で示すように、データ信号相当の正電位に保持される。

この走査線 $V_g(3)$ への走査信号が T F T 1 0 を遮断状態に切り替える信号となると、容量線駆動回路 220 では、容量制御線 $V_{Cc}(1)$ への容量線制御信号を高電位に変化させ、容量制御線 $V_{Cc}(1)$ を高電位に変化させる。この容量制御線 $V_{Cc}(1)$ を介して、走査線 $V_g(1)$ 及び走査線 $V_g(3)$ に沿って配設された補助容量線 $V_{Cs}(1)$ 及び補助容量線 $V_{Cs}(3)$ が高電位に変化する。

【0039】

これにより、補助容量線 $V_{Cs}(1)$ 、補助容量線 $V_{Cs}(3)$ が高電位に変化した分、画素回路 $P(1, m)$ 、 $P(3, m)$ の画素電極 V_{pix} の電位にバイアスが印加されて、これら画素電極に、それぞれのデータ信号とバイアスとの和に応じた電圧 V が印加されることになり、これに応じて液晶の配向状態が変化し、データ信号相当の画像表示が行われることになる。

【0040】

次に、2フレーム目の画像表示を行う場合には、表示制御回路 500 は、引き続き通常接続を指示する切替信号を出力する。

このため、走査線駆動回路 210 では、各走査線 $V_g(n)$ を順次選択するための走査信号を、選択された順に、対応する走査線 $V_g(n)$ に順次出力する。

走査線 $V_g(1)$ が選択されると、図 6 (b) に示すように、選択された走査線 $V_g(1)$ に接続された T F T 1 0 が導通状態となり、データ線 $V_s(m)$ からデータ信号として今度は負電位が画素電極に与えられ、走査線 $V_g(1)$ に接続された T F T 1 0 が遮断状態となるまでの期間に、画素電極に接続される画素容量としての液晶容量 C_{LC} 及び補助容量 C_s が充電され、それによって画素回路 $P(1, m)$ の画素電極が、データ信号に相当する負電位に保持される。この間、補助容量線 $V_{Cs}(1)$ は所定の高電位となっている。

【0041】

その後、2ライン目の走査線 $V_g(2)$ が選択され、同様に動作し、この場合正極性での書き込みが行われ、続いて、3ライン目の走査線 $V_g(3)$ が選択されるとその液晶容量 C_{LC} 及び補助容量 C_s が同様に充電されて、その画素電極はデータ信号相当の負電位に保持される。

この走査線 $V_g(3)$ への走査信号が T F T 1 0 を遮断状態に切り替える電圧となると、容量線駆動回路 220 では、容量制御線 $V_{Cc}(1)$ への容量線制御信号を所定の負電位に変化させ、容量制御線 $V_{Cc}(1)$ を所定の負電位に変化させる。これによって、走査線 $V_g(1)$ 及び走査線 $V_g(3)$ に沿って配設された補助容量線 $V_{Cs}(1)$ 及び補助容量線 $V_{Cs}(3)$ が負電位に変化する。

【0042】

これにより、補助容量線 $V_{Cs}(1)$ 、補助容量線 $V_{Cs}(3)$ が負電位に変化した分、画素電極 V_{pix} にバイアスが印加されることになって、結果的に、画素回路 $P(1, m)$ 及び $P(3, m)$ のそれぞれ画素電極に、それぞれのデータ信号とバイアスとの和に応じた電圧 “ - V ” が印加されることになり、これに応じて液晶の配向状態が変化し、データ信号相当の画像表示が行われることになる。

続いて、3フレーム目の画像表示を行う場合には、表示制御回路 500 は、接続先の切替を指示する切替信号を出力する。

10

20

30

40

50

【 0 0 4 3 】

このため、走査線駆動回路 2 1 0 では、各走査線 $Vg(n)$ を順次選択するための走査信号の出力先を変更して出力し、この場合補助容量線 $VCs(1)$ と $VCs(3)$ 、補助容量線 $VCs(2)$ と $VCs(4)$ とが対をなしていることから、走査線 $Vg(1)$ への走査信号は走査線 $Vg(3)$ へ、走査線 $Vg(2)$ への走査信号は走査線 $Vg(4)$ へ、走査線 $Vg(3)$ への走査信号は走査線 $Vg(1)$ へ、走査線 $Vg(4)$ への走査信号は走査線 $Vg(2)$ へ出力する。以後、走査線 $Vg(5)$ 、 $Vg(6)$ 、 $Vg(7)$ 、 $Vg(8)$...、への走査信号を、走査線 $Vg(7)$ 、 $Vg(8)$ 、 $Vg(5)$ 、 $Vg(6)$ 、... の順に出力する。

【 0 0 4 4 】

また表示制御回路 5 0 0 は、データ線駆動回路 3 0 0 へ供給する画像データの並び順を、走査線 $Vg(3)$ に接続された画素への画素データ、走査線 $Vg(4)$ に接続された画素への画素データ、走査線 $Vg(1)$ に接続された画素への画素データ、走査線 $Vg(2)$ に接続された画素への画素データ、... の順に、並び替えて出力する。

このため、3 フレーム目では、図 6 (c) に示すように、まず、走査線 $Vg(1)$ への走査信号が、その出力先が切り替えられて走査線 $Vg(3)$ に供給され、これに接続された T F T 1 0 が導通状態となり、データ線 $Vs(m)$ からデータ信号として正電位が画素電極に与えられ、走査線 $Vg(3)$ に接続された T F T 1 0 が遮断状態となるまでの期間に、液晶容量 C_{LC} 及び補助容量 Cs が充電され、画素回路 $P(3, m)$ の画素電極が、データ信号に相当する正電位に保持される。この間、補助容量線 $VCs(3)$ は所定の低電位 VL となっている。

【 0 0 4 5 】

その後、走査線 $Vg(2)$ への走査信号がその出力先が切り替えられて走査線 $Vg(4)$ に供給され、同様に動作し、この場合負極性での書き込みが行われ、続いて、走査線 $Vg(3)$ への走査信号がその出力先が切り替えられて走査線 $Vg(1)$ に供給されると、走査線 $Vg(1)$ に接続された画素の液晶容量 C_{LC} 及び補助容量 Cs が同様に充電されて、その画素電極はデータ信号相当の正電位に保持される。

【 0 0 4 6 】

この走査線 $Vg(1)$ への走査信号が T F T 1 0 を遮断する電圧となると、容量線駆動回路 2 2 0 では、容量制御線 $VCc(1)$ への容量線制御信号を所定の高電位に変化させる。これによって、走査線 $Vg(1)$ 及び走査線 $Vg(3)$ に沿って配設された補助容量線 $VCs(1)$ 及び補助容量線 $VCs(3)$ が高電位に変化し、補助容量線 $VCs(1)$ 、補助容量線 $VCs(3)$ が高電位に変化した分、画素電極 $Vpix$ にバイアスが印加されることになって、画素回路 $P(1, m)$ 及び $P(3, m)$ のそれぞれの画素電極に、それぞれのデータ信号に応じた電圧 V が印加されることになり、これに応じて液晶の配向状態が変化し、データ信号相当の画像表示が行われることになる。

【 0 0 4 7 】

続いて、4 フレーム目の画像表示を行う場合には、表示制御回路 5 0 0 は、接続先の切替を指示する切替信号を出力する。

このため、走査線駆動回路 2 1 0 では、各走査線 $Vg(n)$ を順次選択するための走査信号の出力先を変更して出力し、走査線 $Vg(3)$ 、走査線 $Vg(4)$ 、走査線 $Vg(1)$ 、走査線 $Vg(2)$ 、走査線 $Vg(7)$ 、 $Vg(8)$ 、 $Vg(5)$ 、 $Vg(6)$ 、... の順に出力し、同様に、表示制御回路 5 0 0 は、データ線駆動回路 3 0 0 へ供給する画像データの並び順を、走査線 $Vg(3)$ に接続された画素への画素データ、走査線 $Vg(4)$ に接続された画素への画素データ、走査線 $Vg(1)$ に接続された画素への画素データ、走査線 $Vg(2)$ に接続された画素への画素データ、... の順に、並び替えて出力する。

【 0 0 4 8 】

このため、4 フレーム目では、図 6 (d) に示すように、まず、走査線 $Vg(1)$ への走査信号が走査線 $Vg(3)$ に供給され、これに接続された T F T 1 0 が導通状態となり、データ線 $Vs(m)$ からデータ信号として正電位が画素電極に与えられ、走査線 $Vg($

10

20

30

40

50

3) に接続された画素スイッチ素子が遮断状態となるまでの期間に、液晶容量 C_{LC} 及び補助容量 C_s が充電され、画素回路 $P(3, m)$ の画素電極が、データ信号に相当する負電位に保持される。この間、補助容量線 $VC_s(3)$ は所定の低電位 V_L となっている。

その後、走査線 $V_g(2)$ への走査信号が走査線 $V_g(4)$ に供給され、同様に動作し、この場合正極性での書き込みが行われ、続いて、走査線 $V_g(3)$ への走査信号が走査線 $V_g(1)$ に供給されると、走査線 $V_g(1)$ に接続された画素の液晶容量 C_{LC} 及び補助容量 C_s が同様に充電されて、その画素電極はデータ信号相当の負電位に保持される。

【0049】

この走査線 $V_g(1)$ への走査信号の供給が終了すると、容量線駆動回路 220 では、容量制御線 $VC_c(1)$ への容量線制御信号を所定の低電位に変化させる。これによって、走査線 $V_g(1)$ 及び走査線 $V_g(3)$ に沿って配設された補助容量線 $VC_s(1)$ 及び補助容量線 $VC_s(3)$ が所定の低電位に変化し、補助容量線 $VC_s(1)$ 、補助容量線 $VC_s(3)$ が低電位に変化した分、画素電極 V_{pix} にバイアスが印加されることになり、画素回路 $P(1, m)$ 及び $P(3, m)$ の画素電極に、電圧 “ - V ” が印加されることになり、これに応じて液晶の配向状態が変化し、データ信号相当の画像表示が行われることになる。

そして、以後、同様に処理が行われる。

【0050】

ここで、補助容量線 $VC_s(n)$ と $VC_s(n+2)$ に対して同一のタイミングで同一の容量線駆動信号を供給した場合、走査線 $V_g(n)$ に接続された画素と、走査線 $V_g(n+2)$ に接続された画素とでは、図 6 に示すように、補助容量 C_s 及び液晶容量 C_{LC} への充電期間が異なるため、同じ画像データを書き込んだとしても、場合によっては、走査線 $V_g(n)$ に接続された画素と、走査線 $V_g(n+2)$ に接続された画素とでその明るさに差が生じる可能性がある。

【0051】

しかしながら、上述のように、走査線 $V_g(n)$ に接続された画素と、走査線 $V_g(n+2)$ に接続された画素とでは、1 フレーム目及び 2 フレーム目と、3 フレーム目及び 4 フレーム目とで、駆動する順番を入れ替えている。よって、1 フレーム目で、後に駆動される走査線 $V_g(n+2)$ に対応する画素の明るさが多少不足する場合であっても、3 フレーム目ではこの走査線 $V_g(n+2)$ は先に駆動され、逆に、走査線 $V_g(n)$ は後に駆動されることから、1 フレーム目と 3 フレーム目とで、走査線 $V_g(n)$ に接続された画素と、走査線 $V_g(n+2)$ に接続された画素の明るさが平均化されることと同等となり、充電期間の差に起因して明るさに差が生じることを回避することができる。

【0052】

したがって、複数の補助容量線 $VC_s(n)$ を同時に駆動する場合であっても、画素間に明るさの差が生じることなく実現することができ、ドライバ IC チップの小型化を図りつつ、的確に画像表示を行うことができる。

特に、アモルファス TFT を用いた場合には、ドライバ回路をガラス基板に一体に形成することが困難であるため、図 7 に示すように、走査線 $V_g(n)$ に沿って補助容量線 $VC_s(n)$ をパネル配線により配設し、この補助容量線 $VC_s(n)$ に容量線駆動信号を供給するための出力端子をドライバ IC に設ける必要がある。つまり補助容量線 $VC_s(n)$ 数が多いほど出力端子数も増加するためドライバ IC のサイズ増加につながる。しかしながら上述のように、補助容量線 $VC_s(n)$ の数に対し出力端子数を半分に削減することができるから、チップサイズの縮小化を図ることができる。

【0053】

なお、上記実施の形態においては、2 本の補助容量線 $VC_s(n)$ を一つにまとめて駆動する場合について説明したが、これに限るものではない。例えば、3 本の補助容量線 $VC_s(n)$ を一つにまとめて駆動することも可能である。この場合には、図 8 に示すように、同極性の書き込みが行われる、1 ライン目、3 ライン目、5 ライン目に相当する走査線 $V_g(n)$ 、2 ライン目、4 ライン目、6 ライン目に相当する走査線 $V_g(n)$ をそれ

10

20

30

40

50

それぞれにまとめ、3つ目の走査線 $Vg(n)$ への走査信号が $TFT10$ を遮断状態に切り替える電位となった後、1ライン目、3ライン目、5ライン目の補助容量線 $VCs(n)$ のそれぞれに対して、容量制御線 $VCc(k)$ を介して容量線駆動信号を供給し、さらに、1フレーム目、2フレーム目は、通常の順番で走査線 $Vg(n)$ を駆動し、3フレーム目及び4フレーム目は、1ライン目及び5ライン目を入れ替えて駆動すればよい。これによって、充電期間が最も長く明るさが十分な1ライン目と、充電期間が最も短く明るさ不足が生じる可能性のある5ライン目とで平均化されることになって、充電期間の差に起因して表示画像に与える影響を回避することができる。

【0054】

また、同様の手順で4本以上の補助容量線 $VCs(n)$ を一つにまとめることも可能であって、この場合には、一つにまとめた補助容量線 $VCs(n)$ に対応する画素の明るさが平均化されるように走査線 $Vg(n)$ の駆動順番を替えればよい。

また、必ずしも隣接する補助容量線 $VCs(n)$ どうしを一つにまとめる必要はなく、同極性の書き込みが行われる補助容量線 $VCs(n)$ であれば、どの補助容量線 $VCs(n)$ を組み合わせてもよい。

【0055】

また、上記実施の形態においては、同一の補助容量線 $VCs(n)$ に対して同極性の書き込みが行われるフレーム間、つまり、1フレーム目と3フレーム目、2フレーム目と4フレーム目の間で、走査線 $Vg(n)$ の順を切り替えて明るさの平均化を図るようにした場合について説明したが、必ずしもこれに限るものではなく、同一の補助容量線 $VCs(n)$ に対して同極性の書き込みが行われるフレーム間であれば、いずれのフレームどうしの間で平均化を図ってもよく、例えば、1フレーム目と5フレーム目との間で平均化を図ってもよい。

また、画素データの書き込み極性を1ライン毎に反転させる場合について説明したが、これに限るものではなく、複数ライン毎に書き込み極性を反転する方式等であってもよく、要は、補助容量線 $VCs(n)$ を、フレーム期間単位で極性を反転させて駆動するようにした方式であれば適用することができる。

【0056】

次に、上述した液晶表示装置1を適用した電子機器について説明する。

図9は、液晶表示装置1を適用した携帯電話120の構成を示す斜視図である。

この図9に示すように、携帯電話120は、複数の操作ボタン121のほか、受話口122、送話口123と共に、上述した表示部100を備えるものである。なお、液晶表示装置1のうち、表示部1以外の構成要素については電話機に内蔵されるので、外観としては現れない。

【0057】

また、液晶表示装置1が適用される電気機器としては、図9に示される携帯電話の他にも、デジタルスチルカメラや、ノートパソコン、液晶テレビ、ビューファインダ型（またはモニタ直視型）のビデオレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等が挙げられる。そして、これらの各種電子機器の表示装置として、上述した液晶表示装置1が適用可能であることはいうまでもない。

【図面の簡単な説明】

【0058】

【図1】本発明の実施の形態の一例を示す液晶表示装置の概略構成を、表示部の等価回路と共に示すブロック図である。

【図2】補助容量線 $VCs(n)$ と容量制御線 $VCc(k)$ との接続関係を説明するための説明図である。

【図3】画素回路の構成を示す回路図である。

【図4】液晶表示装置の動作を説明するための信号波形図である。

【図5】走査側駆動回路の構成を示すブロック図である。

10

20

30

40

50

【図6】本発明の動作説明に供する信号波形図である。

【図7】従来の補助容量線 $V_{Cs}(n)$ の配置状況を説明するための説明図である。

【図8】補助容量線 $V_{Cs}(n)$ と容量制御線 $V_{Cc}(k)$ との接続関係のその他の例である。

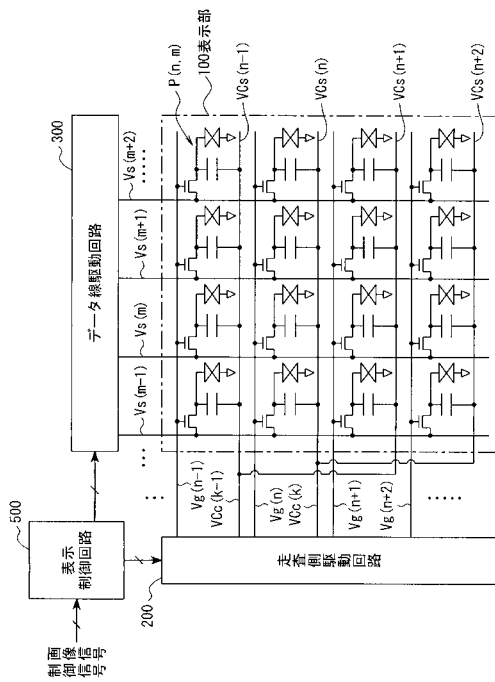
【図9】電気光学装置を適用した携帯電話の構成を示す斜視図である。

【符号の説明】

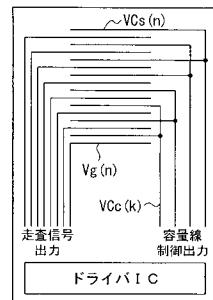
【0059】

10 TFT、100 表示部、200 走査側駆動回路、210 走査信号出力回路、220 切替回路、300 データ線駆動回路、500 表示制御回路

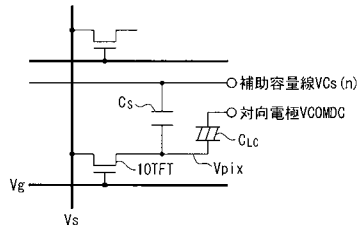
【図1】



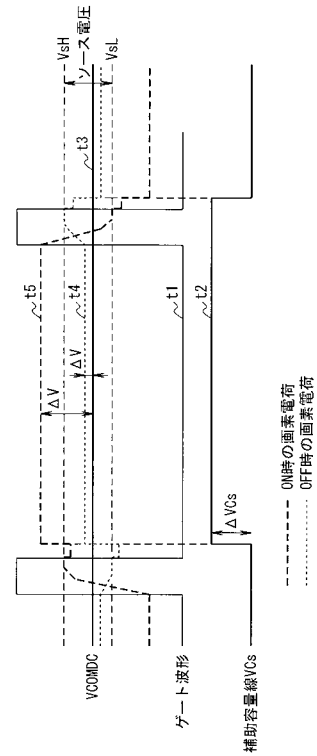
【図2】



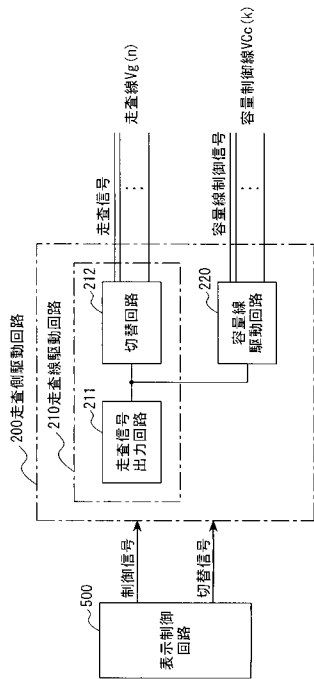
【 図 3 】



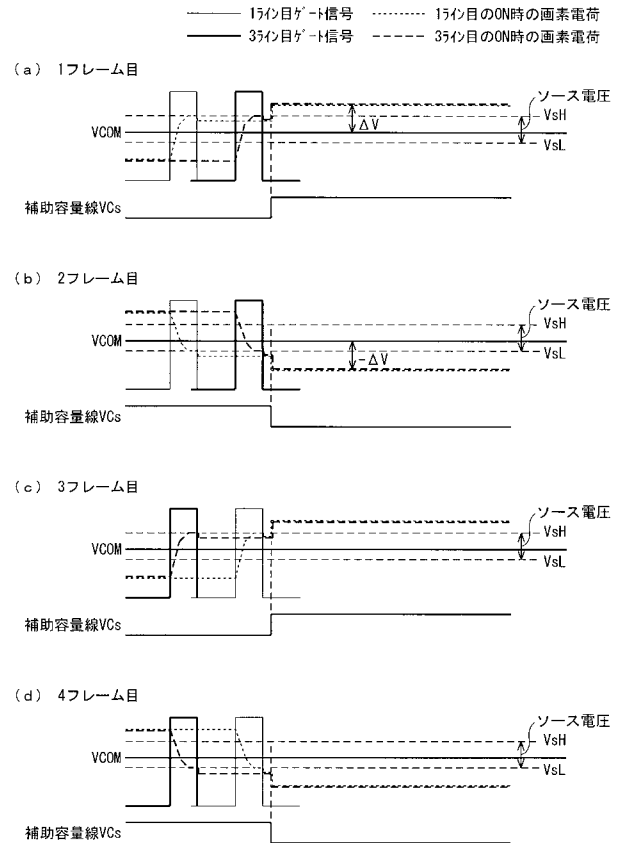
【 図 4 】



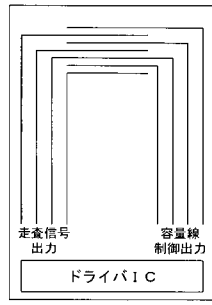
【 図 5 】



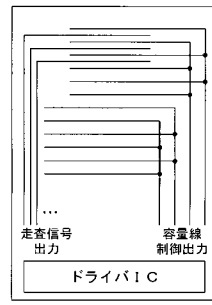
【 図 6 】



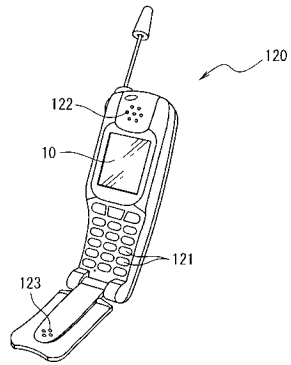
【 図 7 】



【 図 8 】



【 図 9 】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 2 1 E
G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 2 2 R
G 0 9 G	3/20	6 5 0 E
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 2 2 D

F ターム(参考) 2H093 NA16 NC18 NC34 NC35 ND01 ND42 ND49
 5C006 AA16 AC11 AC22 AC25 AC27 AC28 AF22 AF42 AF44 AF71
 BB16 BC03 BC22 BF24 BF42 EB05 FA04 FA16 FA23 FA26
 FA42 FA47 FA51
 5C080 AA10 BB06 DD06 DD23 DD25 DD26 DD28 EE29 FF11 JJ02
 JJ04 JJ06 KK07

专利名称(译)	显示装置和电子设备		
公开(公告)号	JP2008175853A	公开(公告)日	2008-07-31
申请号	JP2007006662	申请日	2007-01-16
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	中山 実 小澤 裕		
发明人	中山 実 小澤 裕		
IPC分类号	G09G3/36 G02F1/1368 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/1368 G02F1/133.550 G09G3/20.624.A G09G3/20.621.B G09G3/20.624.E G09G3/20.621.E G09G3/20.622.M G09G3/20.622.R G09G3/20.650.E G09G3/20.624.C G09G3/20.611.A G09G3/20.611.E G09G3/20.622.D		
F-TERM分类号	2H092/JB63 2H092/JB69 2H092/NA01 2H092/NA25 2H093/NA16 2H093/NC18 2H093/NC34 2H093/NC35 2H093/ND01 2H093/ND42 2H093/ND49 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF22 5C006/AF42 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC22 5C006/BF24 5C006/BF42 5C006/EB05 5C006/FA04 5C006/FA16 5C006/FA23 5C006/FA26 5C006/FA42 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB06 5C080/DD06 5C080/DD23 5C080/DD25 5C080/DD26 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C080/KK07 2H192/AA24 2H192/CB35 2H192/DA12 2H192/FA46 2H192/FB22 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZF59		
代理人(译)	宫坂和彦		
外部链接	Espacenet		

摘要(译)

一种制造液晶显示装置的方法，包括使用沿扫描线布置的辅助电容线对每个扫描线施加偏压到像素电极 在图像显示中，驱动IC的芯片尺寸驱动存储电容线和显示装置 旨在实现整体的小型化。 解决方案：对于每条扫描线 $V_g(n)$ ，沿该线排列的辅助电容线 $VC(n)$ 具有相同极性并且彼此相邻的多个辅助电容线 $VC(n)$ 连接到相同的电容控制线 $V_{Cc}(k)$ 和到多个辅助电容线 $VC(n)$ 的电容线控制信号被分成一个容量 通过控制线 $V_{Cc}(k)$ 。驱动辅助电容线 $VC(n)$ 所必需的 驱动电路IC的输出端连接到容量控制线 $VC(n)$ ，该容量控制线 $VC(n)$ 小于辅助电容线 $VC(n)$ 的数量 因为只要有 $c(k)$ 就足够了，所以可以将芯片尺寸减小那么多 可以减小整个显示设备的尺寸。 .The

