

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-264080

(P2007-264080A)

(43) 公開日 平成19年10月11日(2007.10.11)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号 特願2006-85953 (P2006-85953)
 (22) 出願日 平成18年3月27日(2006.3.27)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100107906
 弁理士 須藤 克彦
 (72) 発明者 小野木 智英
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内
 (72) 発明者 瀬川 泰生
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内
 Fターム(参考) 2H092 GA13 GA14 HA02 JA24 KA04
 KA05 NA01 NA25

(54) 【発明の名称】 液晶表示装置

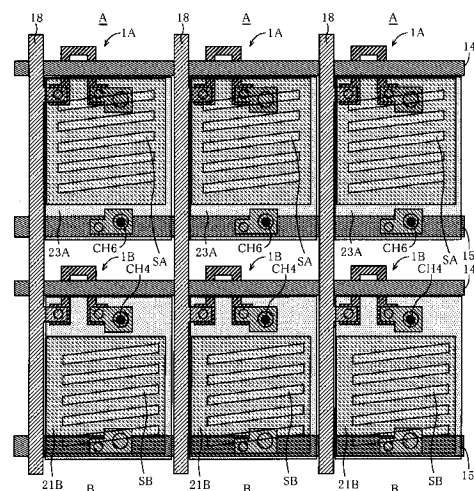
(57) 【要約】

【課題】 FFS方式の液晶表示装置において、信号歪によるクロストークが抑制されたライン反転駆動を可能にする。

【解決手段】 第1の行では画素Aが左右方向に繰り返して配置され、その下の第2の行では、画素Bが左右方向に繰り返して配置されている。画素Aについては、第1層透明電極で画素電極21Aが形成され、コンタクトホールCH4を通して薄膜トランジスタ1Aに接続されている。画素Bについては、第1層透明電極で共通電極23Bが形成され、コンタクトホールCH5を通して、共通電位ライン15に接続されている。

画素Aについては、第2層透明電極で複数のスリットSAを有する共通電極23Aが形成され、コンタクトホールCH6を通して共通電位ライン15に接続されている。画素Bについては、第2層透明電極で複数のスリットSBを有する画素電極21Bが形成され、コンタクトホールCH4を通して薄膜トランジスタ1Bに接続されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の基板上に複数の第 1 の画素及び第 2 の画素を備え、
前記第 1 の画素は第 1 の画素電極と、この第 1 の画素電極上に絶縁膜を介して配置され、
複数の第 1 のスリットを有する第 1 の共通電極とを備え、
前記第 2 の画素は、第 2 の共通電極と、この第 2 の共通電極上に前記絶縁膜を介して配置
され、複数の第 2 のスリットを有する第 2 の画素電極とを備え、
第 1 の行に、第 1 の画素を繰り返し配置し、第 1 の行に隣接した第 2 の行に、第 2 の画素
を繰り返し配置し、前記第 1 の基板と、この第 1 の基板と対向する第 2 の基板の間に液晶
を封入したことを特徴とする液晶表示装置。

10

【請求項 2】

複数の第 1 の画素にそれぞれ配置された第 1 の共通電極が互いに一体化され、複数の第 2
の画素にそれぞれ配置された第 2 の共通電極が一体化されていることを特徴とする請求項
1 に記載の液晶表示装置。

【請求項 3】

第 1 の基板上に複数の第 1 の画素及び第 2 の画素を備え、
前記第 1 の画素は第 1 の画素電極と、この第 1 の画素電極上に絶縁膜を介して配置され、
複数の第 1 のスリットを有する第 1 の共通電極とを備え、
前記第 2 の画素は、第 2 の共通電極と、この第 2 の共通電極上に前記絶縁膜を介して配置
され、複数の第 2 のスリットを有する第 2 の画素電極とを備え、
第 1 の列に、第 1 の画素を繰り返し配置し、第 1 の列に隣接した第 2 の列に、第 2 の画素
を繰り返し配置し、前記第 1 の基板と、この第 1 の基板と対向する第 2 の基板の間に液晶
を封入したことを特徴とする液晶表示装置。

20

【請求項 4】

第 1 の基板上に複数の第 1 の画素及び第 2 の画素を備え、
前記第 1 の画素は第 1 の画素電極と、この第 1 の画素電極上に絶縁膜を介して配置され、
複数の第 1 のスリットを有する第 1 の共通電極とを備え、
前記第 2 の画素は、第 2 の共通電極と、この第 2 の共通電極上に前記絶縁膜を介して配置
され、複数の第 2 のスリットを有する第 2 の画素電極とを備え、
第 1 の行に、第 1 の画素と第 2 の画素を交互に繰り返し配置し、第 1 の行に隣接した第 2
の行に、第 1 の画素と第 2 の画素を第 1 の行とは逆の順序で繰り返し配置し、前記第 1 の
基板と、この第 1 の基板と対向する第 2 の基板の間に液晶を封入したことを特徴とする液
晶表示装置。

30

【請求項 5】

前記第 1 の画素電極及び前記第 2 の共通電極が第 1 層透明電極からなり、前記第 2 の画素
電極及び前記第 1 の共通電極が第 2 層透明電極からなることを特徴とする請求項 1、2、
3、4 に記載の液晶表示装置。

【請求項 6】

前記第 1 及び第 2 の画素電極に、1 水平期間毎に共通電位に対して、反転された表示信号
を供給することを特徴とする請求項 3 に記載の液晶表示装置。

40

【請求項 7】

前記第 1 及び第 2 の画素電極に、1 垂直期間毎に共通電位に対して反転された表示信号を
供給することを特徴とする請求項 1、2、4 に記載の液晶表示装置。

【請求項 8】

前記第 1 及び第 2 の共通電極に 1 水平期間毎に極性が反転された共通電位を供給すること
を特徴とする請求項 3 に記載の液晶表示装置。

【請求項 9】

前記第 1 及び第 2 の共通電極に 1 垂直期間毎に極性が反転された共通電位を供給すること
を特徴とする請求項 1、2、4 に記載の液晶表示装置。

【請求項 10】

50

前記第 1 の画素電極に第 1 の薄膜トランジスタが接続され、前記第 2 の画素電極に第 2 の薄膜トランジスタが接続されていることを特徴とする請求項 1、2、3、4 に記載の液晶表示装置。

【請求項 1 1】

前記第 1 及び第 2 の薄膜トランジスタはポリシリコン T F T であることを特徴とする請求項 1 0 に記載の液晶表示装置。

【請求項 1 2】

前記第 1 及び第 2 の薄膜トランジスタはアモルファスシリコン T F T であることを特徴とする請求項 1 0 に記載の液晶表示装置。

【発明の詳細な説明】

10

【技術分野】

【0 0 0 1】

本発明は、液晶表示装置に関し、特に、画素電極と共通電極との間に生じる横方向電界によって液晶分子の配向方向が制御される液晶表示装置に関する。

【背景技術】

【0 0 0 2】

液晶表示装置の広視野角化を図る手段の一つとして、同一基板上の電極間に横方向の電界を発生させ、この電界により液晶分子を基板に平行な面内で回転させることで光スイッチング機能を持たせる方式が開発されている。この技術の例としては、インプレーン・スイッチング (In-plane Switching, 以降、「IPS」と略称する) 方式や、IPS 方式を改良したフリンジフィールド・スイッチング (Fringe-Field Switching, 以降、「FFS」と略称する) 方式が知られている。

20

【0 0 0 3】

FFS 方式の液晶表示装置の製造工程について図面を参照して説明する。図 1 7 乃至図 1 9 は、FFS 方式の液晶表示装置の一画素の製造工程を示す図であり、各図の (a) 図は平面図であり、(b) 図は (a) 図の X - X 線に沿った断面図である。実際の液晶表示装置では、複数の画素がマトリクスに配置されているが、これらの図では 1 画素のみを示している。

【0 0 0 4】

図 1 7 に示すように、ガラス基板等からなる T F T 基板 1 0 上に、シリコン酸化膜 (SiO₂膜) もしくはシリコン窒化膜 (SiN_x膜) からなるバッファ層 1 1、アモルファスシリコン層が C V D により連続成膜される。このアモルファスシリコン層はエキシマレーザ・アニールにより結晶化されてポリシリコン層となる。このポリシリコン層が U 字状にパターンニングされて薄膜トランジスタ 1 の能動層 1 2 が形成される。

30

【0 0 0 5】

その後、能動層 1 2 を覆ってゲート絶縁膜 1 3 が成膜される。能動層 1 2 と重畳したゲート絶縁膜 1 3 上にはクロム、モリブデン等からなるゲートライン 1 4 が形成される。ゲートライン 1 4 は能動層 1 2 と 2 箇所で見え、行方向に延びている。ゲートライン 1 4 には薄膜トランジスタ 1 のオンオフを制御するゲート信号が印加される。一方、ゲートライン 1 4 と平行に、ゲートライン 1 4 と同一材料からなり共通電位 V c o m を供給するための共通電位ライン 1 5 が形成される。

40

【0 0 0 6】

次に、薄膜トランジスタ 1 及び共通電位ライン 1 5 を覆う層間絶縁膜 1 6 が形成される。そして、層間絶縁膜 1 6 に能動層 1 2 のソース領域 1 2 s、ドレイン領域 1 2 d をそれぞれ露出するコンタクトホール C H 1、C H 2 が形成される。また、層間絶縁膜 1 6 には共通電位ライン 1 5 を露出するコンタクトホール C H 3 が形成される。

【0 0 0 7】

そして、コンタクトホール C H 1 を通してソース領域 1 2 s と接続されたソース電極 1 7、コンタクトホール C H 2 を通してドレイン領域 1 2 d と接続された表示信号ライン 1 8 が形成され、共通電位ライン 1 5 と接続された電極 1 9 が形成されている。

50

ソース電極 17、表示信号ライン 18、電極 19 は、アルミニウムもしくはアルミニウム合金を含む金属等からなる。次に、全面に平坦化膜 20 が形成される。平坦化膜 20 には、ソース電極 17、電極 19 をそれぞれ露出するコンタクトホール CH4、CH5 が形成される。

【0008】

そして、図 18 に示すように、コンタクトホール CH4 を通してソース電極 17 に接続され、平坦化膜 20 上に延びる画素電極 21 が形成される。画素電極 21 は、ITO 等の第 1 層透明電極からなり、表示信号ライン 18 からの表示信号 Vsig が薄膜トランジスタ 1 を通して印加される。

【0009】

その後、図 19 に示すように、画素電極 21 を覆う絶縁膜 22 が形成されている。また、絶縁膜 22 をエッチングして電極 19 を露出するコンタクトホール CH6 が形成される。そして、画素電極 21 上に絶縁膜 22 を介して、複数のスリット S を有した共通電極 23 が形成される。共通電極 23 は、ITO 等の第 2 層透明電極からなり、コンタクトホール CH6 を通して電極 19 と接続される。

【0010】

また、TF T 基板 10 と対向して、ガラス基板等からなる対向基板 30 が配置されている。対向基板 30 には、偏光板 31 が貼り付けられる。また、TF T 基板 10 の裏面にも偏光板 32 が貼り付けられる。偏光板 31、32 は、各偏光板の偏光軸が互いに直交する関係を以って配置されている。そして、TF T 基板 10 と対向基板 30 との間には、液晶 40 が封入されている。

【0011】

上記液晶表示装置では、画素電極 21 に表示電圧が印加されない状態（無電圧状態）では、液晶 40 の液晶分子の長軸の平均的な配向方向（以降、単に「配向方向」と略称する）が偏光板 32 の偏光軸と直交する傾きとなる。このとき、液晶 40 を透過する直線偏光は、その偏光軸が偏光板 31 の偏光軸と異なるため、偏光板 31 から出射されない。即ち表示状態は黒表示となる（ノーマリーブラック）。

【0012】

一方、画素電極 21 に表示電圧が印加されると、画素電極 21 からスリット S を通して下方の共通電極 23 へ向かう電界が生じる。この電界は平面的に見ると、スリット S の長手方向に垂直な電界であり、液晶分子はその電界の電気力線に平行又は垂直に配向する。このとき、液晶 40 に入射した直線偏光は複屈折により楕円偏光となるが、偏光板 31 を透過する直線偏光成分を有することになり、この場合の表示状態は白表示となる。なお、FFS 方式の液晶表示装置については特許文献 1 に記載されている。

【特許文献 1】特開 2002 - 296611 号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

ところで、液晶表示装置では液晶の劣化を防止するために表示信号ライン 18 に与える表示信号 Vsig の共通電位 Vcom に対する極性を反転することで液晶にかかる電圧を 1 フレームごとに反転している。しかしながら全画面を同時に反転する方式（フレーム反転駆動）ではフリッカーなどによる表示品位の低下が発生する。そこでフリッカーを抑制するために 1 水平線ごとに極性を反転するライン反転駆動もしくは 1 ドットごとに極性を反転するドット反転駆動が有効であることが知られている。さらに駆動 IC 及び TF T 内蔵回路の駆動電圧低電圧化のために、共通電極に交流電圧を供給する対極 AC 駆動が有効であることが知られている。

【0014】

通常の液晶表示装置においてライン反転駆動と対極 AC 駆動を組み合わせた場合、水平周期ごとに共通電極を振るため信号歪による輝度ムラ等が発生しやすく、表示品位が低下するという問題点を有していた。

10

20

30

40

50

【 0 0 1 5 】

さらに通常の液晶表示装置においてドット反転駆動を行う場合、対極 A C 駆動と組み合わせることはできないことから駆動電圧の低電圧化が困難であった。さらにドット反転駆動を行うためには表示信号 V_{sig} の極性をドット反転する回路が必要となり、画素の周辺回路の構成が複雑になるとともに、反転駆動に伴って消費電力が増大する問題点を有していた。

【 課題を解決するための手段 】

【 0 0 1 6 】

本発明の液晶表示装置は、絶縁膜を介して画素電極と共通電極が同一基板上に設けられるという F F S 方式の液晶表示装置の特徴を生かして、画素のパターンレイアウトを工夫することにより、上記課題の解決を可能としたものである。本発明の主な特徴は以下の通りである。

【 0 0 1 7 】

本発明の液晶表示装置（請求項 1）は、第 1 の基板上に複数の第 1 の画素及び第 2 の画素を備える。第 1 の画素は第 1 の画素電極と、この第 1 の画素電極上に絶縁膜を介して配置され、複数の第 1 のスリットを有する第 1 の共通電極とを備える。第 2 の画素は、第 2 の共通電極と、この第 2 の共通電極上に絶縁膜を介して配置され、複数の第 2 のスリットを有する第 2 の画素電極とを備える。そして、第 1 の行に、第 1 の画素を繰り返し配置し、第 1 の行に隣接した第 2 の行に、第 2 の画素を繰り返し配置し、第 1 の基板と、この第 1 の基板と対向する第 2 の基板の間に液晶を封入したものである。

【 0 0 1 8 】

これにより、1 行毎に画素電極と共通電極の上下の配置関係が逆転するので、周辺回路側ではフレーム反転駆動を行うだけで、画素領域ではライン反転駆動が行われることになる。これにより、通常のライン反転駆動と対極 A C 駆動を組み合わせた場合に比べ、信号歪による輝度ムラが抑制される。

【 0 0 1 9 】

本発明の液晶表示装置（請求項 3）は、第 1 の基板上に複数の第 1 の画素及び第 2 の画素を備える。第 1 の画素は第 1 の画素電極と、この第 1 の画素電極上に絶縁膜を介して配置され、複数の第 1 のスリットを有する第 1 の共通電極とを備える。第 2 の画素は、第 2 の共通電極と、この第 2 の共通電極上に絶縁膜を介して配置され、複数の第 2 のスリットを有する第 2 の画素電極とを備える。そして、第 1 の列に、第 1 の画素を繰り返し配置し、第 1 の列に隣接した第 2 の列に、第 2 の画素を繰り返し配置し、第 1 の基板と、この第 1 の基板と対向する第 2 の基板の間に液晶を封入したものである。これにより、1 列毎に画素電極と共通電極の上下の配置関係が逆転するので、周辺回路側では対極 A C 駆動とライン反転駆動を行うだけで、画素領域ではドット反転駆動が行われることになる。

【 0 0 2 0 】

本発明の液晶表示装置（請求項 4）は、第 1 の基板上に複数の第 1 の画素及び第 2 の画素を備え、前記第 1 の画素は第 1 の画素電極と、この第 1 の画素電極上に絶縁膜を介して配置され、複数の第 1 のスリットを有する第 1 の共通電極とを備える。第 2 の画素は、第 2 の共通電極と、この第 2 の共通電極上に前記絶縁膜を介して配置され、複数の第 2 のスリットを有する第 2 の画素電極とを備える。そして、第 1 の行に、第 1 の画素と第 2 の画素を交互に繰り返し配置し、第 1 の行に隣接した第 2 の行に、第 1 の画素と第 2 の画素を第 1 の行とは逆の順序で繰り返し配置し、前記第 1 の基板と、この第 1 の基板と対向する第 2 の基板の間に液晶を封入したものである。

【 0 0 2 1 】

これにより、1 行毎、1 列毎に画素電極と共通電極の上下の配置関係が逆転するので、周辺回路側ではフレーム反転駆動を行うだけで、画素領域ではドット反転駆動が行われるので、さらに消費電力が低減されるという効果を奏する。

【 発明の効果 】

【 0 0 2 2 】

10

20

30

40

50

請求項 1 に係る発明によれば、周辺回路側ではフレーム反転駆動を行うだけで、画素領域ではライン反転駆動が行われる。これにより、通常のライン反転駆動と対極 AC 駆動を組み合わせた場合に比べ、信号歪による輝度ムラが抑制される。さらに、共通電極に印加される信号の周波数が低くなることから消費電力が低減される。

【 0 0 2 3 】

また、請求項 3 に係る発明によれば、周辺回路側では対極 AC 駆動とライン反転駆動を行うだけで、画素領域ではドット反転駆動が行われるので、画素の周辺回路の構成が簡単になるとともに、消費電力が低減される。

【 0 0 2 4 】

さらに、請求項 4 に係る発明によれば、周辺回路側ではフレーム反転駆動を行うだけで、画素領域ではドット反転駆動が行われるので、画素の周辺回路の構成が簡単になるとともに、消費電力が低減される。

【発明を実施するための最良の形態】

【 0 0 2 5 】

次に本発明の第 1 の実施の形態について図面を参照しながら説明する。図 1、図 2 は液晶表示装置の画素レイアウト図であり、図 1 は第 1 層透明電極のレイアウトを示し、図 2 は第 1 層透明電極のレイアウトに加えて、絶縁膜を介してその上に配置される第 2 層透明電極のレイアウトを示している。

【 0 0 2 6 】

図 1 に示すように、第 1 の行では画素 A が左右方向に繰り返して配置され、その下の第 2 の行では、画素 B が左右方向に繰り返して配置されている。画素 A については、第 1 層透明電極で画素電極 2 1 A が形成され、コンタクトホール C H 4 を通して薄膜トランジスタ 1 A に接続されている。画素 B については、第 1 層透明電極で共通電極 2 3 B が形成され、コンタクトホール C H 5 を通して、共通電位ライン 1 5 に接続されている。

【 0 0 2 7 】

また、図 2 に示すように、画素 A については、第 2 層透明電極で複数のスリット S A を有する共通電極 2 3 A が形成され、コンタクトホール C H 6 を通して共通電位ライン 1 5 に接続されている。画素 B については、第 2 層透明電極で複数のスリット S B を有する画素電極 2 1 B が形成され、コンタクトホール C H 4 を通して薄膜トランジスタ 1 B に接続されている。

【 0 0 2 8 】

画素 A は、従来例の図 1 9 の画素と同じであり、図 1 の薄膜トランジスタ 1 A、画素電極 2 1 A、共通電極 2 3 A は、図 1 9 の薄膜トランジスタ 1、画素電極 2 1、共通電極 2 3 と同じである。画素 B は、図 3 の断面図を参照すれば明らかなように、画素 A とは逆に、共通電極 2 3 B が第 1 層透明電極で形成され、画素電極 2 1 B が第 1 層透明電極の上層の第 2 層透明電極で形成されている。共通電極 2 3 B と画素電極 2 1 B の間には絶縁膜 2 2 が形成されている。画素 B のその他の構成部分は画素 A と全く同じである。このような構成によれば、隣接する画素 A、B の間で画素電極と共通電極の上下の配置関係が逆転される。

【 0 0 2 9 】

図 4 は画素領域全体のレイアウト図である。奇数行では、画素 A が左右方向に繰り返して配置され、偶数行では画素 B が左右方向に繰り返して配置されている。このようなレイアウトの液晶表示装置に対して、図 5 (a) のフレーム反転駆動方式の表示信号 V s i g を印加する場合の動作について説明する。図 5 (a) の表示信号 V s i g は 1 垂直期間 (1 V) 毎に共通電位 V c o m に対して極性が反転する。図 4 の 1 ライン目 (第 1 行目) のゲートライン 1 4 のゲート信号がハイレベルになり、画素 A のトランジスタ 1 A がオンする (薄膜トランジスタ 1 A、1 B は N チャネル型とする) 。

【 0 0 3 0 】

すると、画素 A について薄膜トランジスタ 1 A を通して画素電極 2 1 A に正極性の表示信号 V s i g が印加されると、下層の画素電極 2 1 A が上層の共通電極 2 3 A に対して高

10

20

30

40

50

電位になる。1 水平期間 (1 H) かけて1ライン目の水平走査が行われると次に 2 ライン目 (第 2 行目) のゲートライン 1 4 のゲート信号がハイレベルになり、画素 B のトランジスタ 1 B がオンする。

【 0 0 3 1 】

すると、画素 B について薄膜トランジスタ 1 B を通して画素電極 2 1 B に正極性の表示信号 V s i g が印加されると、上層の画素電極 2 1 B が下層の共通電極 2 3 B に対して高電位になる。通常、低温ポリシリコン T F T の液晶ディスプレイではゲートライン 1 4 がハイレベルになり、T F T がオンしてから表示信号 V s i g が印加される。それに対し、後述するアモルファス Si-TFT 液晶ディスプレイでは表示信号 V s i g が印加されてからゲートライン 1 4 がハイレベルになる。

10

【 0 0 3 2 】

このようにして画素 A、B では画素電極と共通電極の電位の関係は反転し、ライン反転駆動が行われることになる。図 6 において +、- 記号は液晶に印加される電界の極性の正 (+)、負 (-) を表している。次のフレームでは表示信号 V s i g の共通電位 V c o m に対する極性が反転するので、図 6 において液晶に印加される電界の極性の正 (+)、負 (-) は反転する。

【 0 0 3 3 】

上述の液晶表示装置によれば、フレーム反転駆動を行うだけで画素領域ではライン反転駆動が行われることになる。これにより共通電極の信号歪による表示品位の低下が低減される。さらに従来のライン反転駆動と比較して共通電極に印加される信号の周波数が低くなることから周辺回路の低消費電力化が可能となる。

20

【 0 0 3 4 】

次に本発明の第 2 の実施の形態について図面を参照しながら説明する。この実施の形態は、第 1 の実施の形態において、共通電位ライン 1 5 を不要とするものである。図 7 に示すように、第 1 の行では第 1 層透明電極からなる画素電極 2 1 A は画素毎に分離され、各薄膜トランジスタ 1 A に接続されているが、第 1 の行の下第 2 の行では、第 1 層透明電極からなる共通電極 2 3 B は画素毎に分離されないで、一体化されている。そして、画素領域外において、この一体化された共通電極 2 3 B に V c o m 電位を供給する。

【 0 0 3 5 】

また、図 8 に示すように、第 1 の行では第 2 層透明電極からなる共通電極 2 3 A は画素毎に分離されないで、一体化されている。そして、共通電極 2 3 A には共通電極 2 3 B と同様に、画素領域外において V c o m 電位を供給する。第 2 の行では、第 2 層透明電極からなる画素電極 2 1 B は画素毎に分離され、各薄膜トランジスタ 1 B に接続されている。

30

【 0 0 3 6 】

したがって、図 1、2 の共通電位ライン 1 5 は不必要になることから画素の高開口率化が可能となり、表示品位が向上する。

【 0 0 3 7 】

次に本発明の第 3 の実施の形態について図面を参照しながら説明する。図 9 は、液晶表示装置の画素レイアウト図であり、図 9 (a) は第 1 層透明電極のレイアウトを示し、図 9 (b) は第 1 層透明電極のレイアウトに加えて、絶縁膜を介してその上に配置される第 2 層透明電極のレイアウトを示している。

40

【 0 0 3 8 】

図 9 (a) に示すように、1 つの行において、画素 A と画素 B が左右方向に交互に配置されている。このような構成によれば、隣接する画素 A、B の間で画素電極と共通電極の上下の配置関係が逆転される。図 1 0 は画素領域全体のレイアウト図である。各行で、画素 A、画素 B が左右方向に交互に配置されているが、列方向 (上下方向) では同じ画素 A (または同じ画素 B) が繰り返し配置されている。このようなレイアウトの液晶表示装置に対して、図 1 1 (a) のライン反転駆動方式の表示信号 V s i g を印加する場合の動作について説明する。図 1 1 (a) の表示信号 V s i g は 1 水平期間 (H) 毎に、共通電位 V c o m に対して極性が反転する。

50

【 0 0 3 9 】

図 1 0 の 1 ライン目のゲートライン 1 4 のゲート信号がハイレベルになり、画素 A , B の薄膜トランジスタ 1 A , 1 B がオンする。(薄膜トランジスタ 1 A , 1 B は N チャネル型とする)すると、画素 A について、薄膜トランジスタ 1 A を通して画素電極 2 1 A に正極性の表示信号 V s i g が印加されると、下層の画素電極 2 1 A が上層の共通電極 2 3 A に対して高電位になる。画素 B については、上層の画素電極 2 1 B が下層の共通電極 2 3 B に対して高電位となり、画素 A , B では、画素電極と共通電極との間に生じる電界の向きが逆になる。

【 0 0 4 0 】

次に、1 水平期間 (1 H) かけて 1 ライン目の水平走査が行われた後、2 ライン目では表示信号 V s i g の共通電位 V c o m に対する極性が反転して水平走査が行われる。これによって、画素電極と共通電極の電位の関係は反転するが、画素 A , B では、画素電極と共通電極との間の電界の向きが逆になる点は変わらない。このようにして、各ラインについてライン反転駆動が行われると、図 1 2 に示すようなドット反転駆動が行われることになる。図 1 2 において、+ , - 記号は液晶に印加される電界の極性の正 (+) 、負 (-) を示している。

【 0 0 4 1 】

したがって、上述の液晶表示装置によれば、フレーム反転駆動を行うだけで、画素領域ではドット反転駆動が行われることになる。これにより、フリッカーを抑制することができるとともに、周辺回路の構成が簡単になり、消費電力も低減される。

【 0 0 4 2 】

次に本発明の第 4 の実施の形態について説明する。この実施の形態では、画素 A , B を用いる点は第 1 、 2 の実施の形態と同じであるが、画素 A , B の配置が異なっている。即ち、図 1 3 に示すように、1 つの行において、画素 A , B は左右方向に交互に配置されているが、列方向 (上下方向) にも交互に配置されている。すなわち、奇数行では、画素 A , B は左右方向に交互に配置され、偶数行では画素 A , B は逆の順番で左右方向に交互に配置されている。

【 0 0 4 3 】

このような構成によれば、フレーム反転駆動を行うことなく、図 1 2 のドット反転駆動が可能になる。この場合、画素電極に印加される表示信号 V s i g は図 5 (a) のように、1 垂直期間 (V) 毎に、共通電位 V c o m に対して反転された信号となる。したがって、本実施の形態によれば、フレーム反転駆動を行うことなく、ドット反転駆動が行われることになるので、第 2 の実施の形態に比して、さらに周辺回路の構成が簡単になり、消費電力も低減される。

【 0 0 4 4 】

次に、本発明の第 5 の実施の形態について説明する。第 1 ~ 第 4 の実施の形態では、薄膜トランジスタは 1 A 、 1 B は低温ポリシリコン T F T であるが、本実施の形態ではその代わりに、アモルファスシリコン T F T (以下、 a S i - T F T と略称する) が用いられる。この実施の形態は、第 3 の実施形態 (図 9 参照) と同様の画素配列に対応しているが、第 1 、第 2 、第 4 の実施の形態についても同様に適用することができる。

【 0 0 4 5 】

図 1 4 は、液晶表示装置の画素レイアウト図であり、図 1 4 (a) は第 1 層透明電極のレイアウトを示し、図 1 4 (b) は第 1 層透明電極のレイアウトに加えて、絶縁膜を介してその上に配置される第 2 層透明電極のレイアウトを示している。

【 0 0 4 6 】

図 1 4 (a) に示すように、1 つの行において、画素 A ' と画素 B ' が左右方向に交互に配置されている。画素 A ' については、第 1 層透明電極からなる画素電極 1 2 1 A が形成され、コンタクトホール C H 1 0 を通して a S i - T F T 1 1 A に接続されている。画素 B ' については、第 1 層透明電極で共通電極 1 2 3 B が形成され、共通電位ライン 1 1 5 にオーバーラップして接続されている。

【 0 0 4 7 】

また、図 1 4 (b) に示すように、画素 A ' については、第 2 層透明電極からなる複数のスリット S A ' を有する共通電極 1 2 3 A が形成され、コンタクトホール C H 1 1 を通して共通電位ライン 1 1 5 に接続されている。画素 B ' については、第 2 層透明電極で複数のスリット S B ' を有する画素電極 1 2 1 B が形成され、コンタクトホール C H 1 2 を通して a S i - T F T 1 1 B に接続されている。このような構成によれば、隣接する画素 A ' 、 B ' の間で画素電極と共通電極の上下の配置関係が逆転される。

【 0 0 4 8 】

また、1つの行の中で、左右方向に延びるゲートライン 1 1 4 は a S i - T F T 1 1 A 、 1 1 B の共通のゲート電極である。このゲートライン 1 1 4 と交差して、上下方向に複数の表示信号ライン 1 1 8 が形成されており、対応する表示信号ライン 1 1 8 に a S i - T F T 1 1 A 、 1 1 B が接続されている。 10

【 0 0 4 9 】

次に、画素 A ' の断面構造とその製造方法について図 1 5 を参照して説明する。まず、図 1 5 (a) に示すように、ガラス基板等からなる T F T 基板 1 0 0 上に、クロム、モリブデン等からなるゲートライン 1 1 4 、共通電位ライン 1 1 5 が形成される。そして、ゲートライン 1 1 4 と共通電位ライン 1 1 5 との間の T F T 基板 1 0 0 上に、第 1 層透明電極からなる画素電極 1 2 1 A がパターンニングされる。

【 0 0 5 0 】

次に、図 1 5 (b) に示すように、ゲートライン 1 1 4 及び共通電位ライン 1 1 5 を覆ってゲート絶縁膜 1 0 1 が形成される。ゲートライン 1 1 4 に近接した画素電極 1 2 1 A 上のゲート絶縁膜 1 0 1 が部分的にエッチングされコンタクトホール C H 1 0 が形成される。 20

【 0 0 5 1 】

次に、図 1 5 (c) に示すように、ゲートライン 1 1 4 を覆ってアモルファスシリコン層 1 0 2 が形成される。そして、アモルファスシリコン層 1 0 2 に接触して、アルミニウム等からなる表示信号ライン 1 1 8 (ドレイン電極)とソース電極 1 0 3 が形成される。ソース電極 1 0 3 はコンタクトホール C H 1 0 を通して画素電極 1 2 1 A に接続される。

【 0 0 5 2 】

次に、図 1 5 (d) に示すように、全面に層間絶縁膜 1 0 4 が形成される。そして、共通電位ライン 1 1 5 上のゲート絶縁膜 1 0 1 、層間絶縁膜 1 0 4 が部分的にエッチングされ、コンタクトホール C H 1 1 が形成される。次に、図 1 5 (e) に示すように、コンタクトホール C H 1 1 を通して共通電位ライン 1 1 5 に接続され、第 2 層透明電極からなる共通電極 1 2 3 A が形成される。共通電極 1 2 3 A はゲート絶縁膜 1 0 1 及び層間絶縁膜 1 0 4 を間に挟んで画素電極 1 2 1 A 上に形成される。 30

【 0 0 5 3 】

次に、画素 B ' の断面構造とその製造方法について図 1 6 を参照して説明する。まず、図 1 6 (a) に示すように、T F T 基板 1 0 0 上にゲートライン 1 1 4 、共通電位ライン 1 1 5 が形成される。そして、共通電位ライン 1 1 5 を覆い、ゲートライン 1 1 4 と共通電位ライン 1 1 5 との間の領域に延びた共通電極 1 2 3 B が形成される。共通電極 1 2 3 B は共通電位ライン 1 1 5 に接触することで、それに接続される。 40

【 0 0 5 4 】

次に、図 1 6 (b) に示すように、全面にゲート絶縁膜 1 0 1 が形成される。次に、図 1 6 (c) に示すように、ゲートライン 1 1 4 を覆ってアモルファスシリコン層 1 0 2 が形成される。そして、アモルファスシリコン層 1 0 2 に接触して表示信号ライン 1 1 8 (ドレイン電極)とソース電極 1 0 3 が形成される。

【 0 0 5 5 】

次に、図 1 6 (d) に示すように、全面に層間絶縁膜 1 0 4 が形成され、ソース電極 1 0 3 上の層間絶縁膜 1 0 4 が部分的にエッチングされ、コンタクトホール C H 1 2 が形成される。次に、図 1 6 (e) に示すように、コンタクトホール C H 1 2 を通してソース電 50

極 1 0 3 に接続され、第 2 層透明電極からなる画素電極 1 2 1 B が形成される。画素 A' とは逆に、画素電極 1 2 1 B はゲート絶縁膜 1 0 1 及び層間絶縁膜 1 0 4 を間に挟んで共通電極 1 2 3 B 上に形成される。なお、T F T 基板 1 0 0 と対向して対向基板が設けられ、T F T 基板 1 0 0 と対向基板との間に液晶が封入されるなどの点については、第 1 ~ 第 4 の実施の形態と同様であるので詳細な説明は省略する。

【0056】

第 1、第 2、第 3 の実施の形態において、更に低消費電力化のために、図 5 (b) のように共通電位 V c o m を 1 水平期間 (H) 毎に反転する対極 A C 駆動としてもよい。また、第 4 の実施の形態において、図 1 1 (b) に示すように共通電位 V c o m を 1 垂直期間 (V) 毎に反転する対極 A C 駆動としてもよい。

10

【図面の簡単な説明】

【0057】

【図 1】第 1 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 2】第 1 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 3】図 1 の Y - Y 線に沿った断面図である。

【図 4】第 1 の実施の形態による画素領域全体のレイアウト図である。

【図 5】第 1 の実施の形態による表示信号 V s i g の反転駆動を説明する図である。

【図 6】ドット反転駆動を説明する図である。

【図 7】第 2 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 8】第 2 の実施の形態による液晶表示装置の画素レイアウト図である。

20

【図 9】第 3 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 10】第 3 の実施の形態による画素領域全体のレイアウト図である。

【図 11】第 3 の実施の形態による表示信号 V s i g の反転駆動を説明する図である。

【図 12】ドット反転駆動を説明する図である。

【図 13】第 4 の実施の形態による画素領域全体のレイアウト図である。

【図 14】第 5 の実施の形態による液晶表示装置の画素レイアウト図である。

【図 15】第 5 の実施の形態による液晶表示装置の画素の構造及び製造方法を説明する図である。

【図 16】第 5 の実施の形態による液晶表示装置の画素の構造及び製造方法を説明する図である。

30

【図 17】従来例の液晶表示装置の構造及び製造方法を説明する図である。

【図 18】従来例の液晶表示装置の構造及び製造方法を説明する図である。

【図 19】従来例の液晶表示装置の構造及び製造方法を説明する図である。

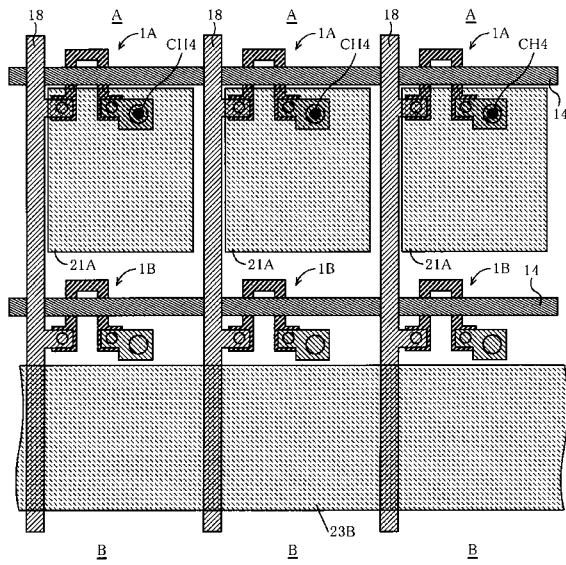
【符号の説明】

【0058】

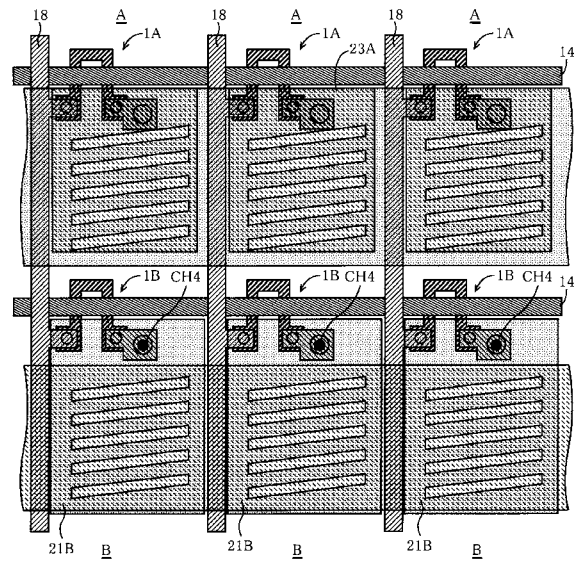
1, 1 A, 1 B	薄膜トランジスタ	1 0, 1 0 0	T F T 基板
1 1	バッファ層	1 1 A, 1 1 B	a S i - T F T
1 2	能動層	1 2 s	ソース領域
1 2 d	ドレイン領域	1 3, 1 0 1	ゲート絶縁膜
1 4, 1 1 4	ゲートライン	1 5	共通電位ライン
1 6, 1 0 4	層間絶縁膜	1 7, 1 0 3	ソース電極
1 8, 1 1 8	表示信号ライン	1 9	電極
2 1, 2 1 A, 2 1 B, 1 2 1, 1 2 1 A, 1 2 1 B	画素電極	2 0	平坦化膜
2 3, 2 3 A, 2 3 B, 1 2 3, 1 2 3 A, 1 2 3 B	共通電極	2 2	絶縁膜
3 1, 3 2	偏光板	3 0	対向基板
1 0 2	アモルファスシリコン層	4 0	液晶
C H 1 ~ C H 1 2	コンタクトホール	A, B, A', B'	画素
		S, S A, S B, S A', S B'	スリット

40

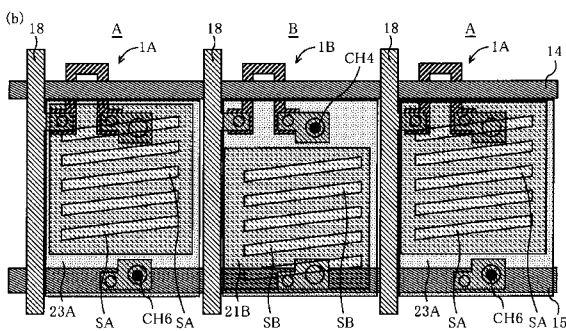
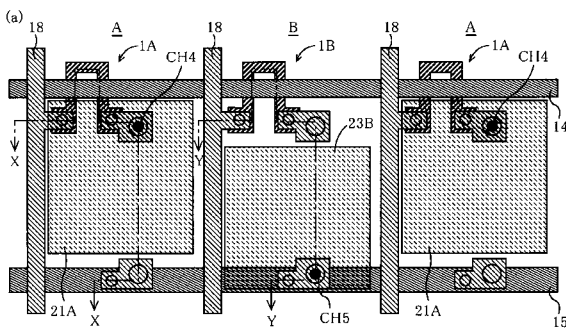
【図 7】



【図 8】



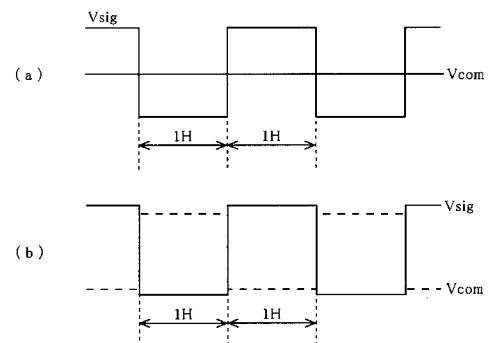
【図 9】



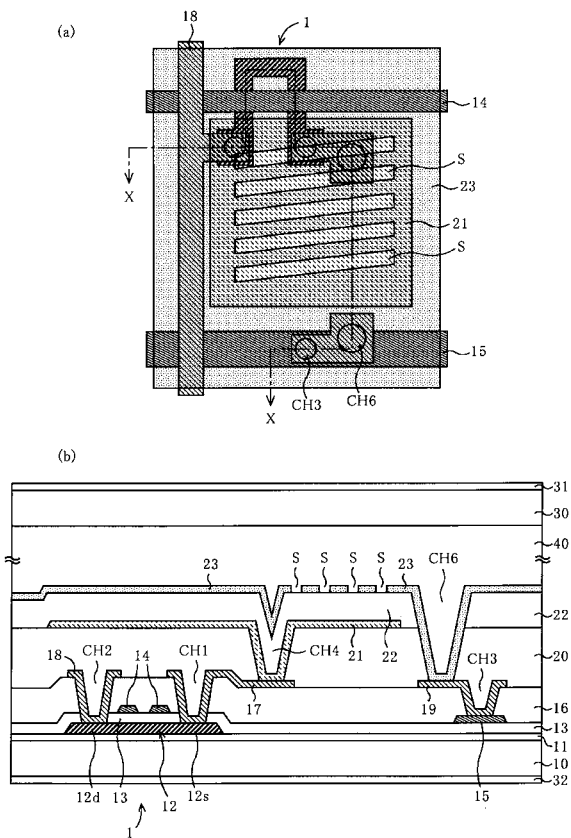
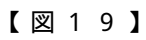
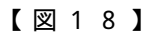
【図 10】

A	B	A	B	...
A	B	A	B	...
A	B	A	B	...
A	B	A	B	...
⋮	⋮	⋮	⋮	⋮

【図 11】



【 図 1 7 】



专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007264080A5	公开(公告)日	2008-04-03
申请号	JP2006085953	申请日	2006-03-27
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	小野木智英 瀬川泰生		
发明人	小野木 智英 瀬川 泰生		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/136227 G02F2001/134372 G09G3/3614 G09G3/3648 G09G2300/0426 G09G2330/021		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/HA02 2H092/JA24 2H092/KA04 2H092/KA05 2H092/NA01 2H092/NA25 2H192/AA24 2H192/AA43 2H192/BB12 2H192/BB13 2H192/BB52 2H192/BB73 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB13 2H192/CB45 2H192/GD61 2H192/JA32 2H193/ZA04 2H193/ZA08 2H193/ZB08 2H193/ZB09 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC16 2H193/ZQ16		
代理人(译)	须藤克彦		
其他公开文献	JP2007264080A JP4797740B2		

摘要(译)

解决的问题：在FFS型液晶显示装置中，能够进行线反转驱动，从而抑制因信号失真引起的串扰。在第一行中沿左右方向重复地布置像素A，并且在像素A下方的第二行中沿左右方向重复布置像素B。关于像素A，像素电极21A由第一层透明电极形成，并且通过接触孔CH4连接到薄膜晶体管1A。关于像素B，公共电极23B由第一层透明电极形成，并通过接触孔CH5连接至公共电位线15。关于像素A，具有多个狭缝SA的公共电极23A由第二层透明电极形成，并且通过接触孔CH6连接至公共电位线15。关于像素B，具有多个狭缝SB的像素电极21B由第二层透明电极形成，并且通过接触孔CH4连接至薄膜晶体管1B。[选择图]图2