

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-121788

(P2007-121788A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 29/786 (2006.01)	HO1L 29/78 612B	4M104
HO1L 21/28 (2006.01)	HO1L 29/78 616U	5F110
HO1L 29/417 (2006.01)	HO1L 29/78 616T	
HO1L 29/423 (2006.01)	HO1L 21/28 301R	

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2005-315596 (P2005-315596)  
 (22) 出願日 平成17年10月31日 (2005.10.31)

(71) 出願人 502356528  
 株式会社 日立ディスプレイズ  
 千葉県茂原市早野3300番地  
 (74) 代理人 100100310  
 弁理士 井上 学  
 (72) 発明者 若木 政利  
 茨城県日立市大みか町七丁目1番1号  
 株式会社日立製作所  
 日立研究所内  
 (72) 発明者 安藤 正彦  
 埼玉県比企郡鳩山町赤沼2520番地  
 株式会社日立製作所  
 基礎研究所内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板およびそれを用いた液晶表示装置

(57) 【要約】

【課題】

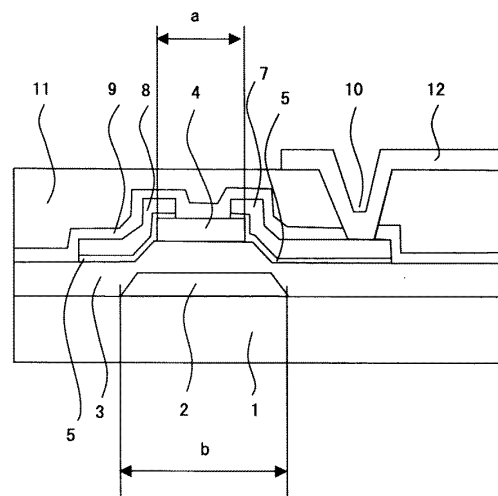
低温下で良好な画質を維持でき、且つ動作マージンが広く長寿命である。

【解決手段】

薄膜トランジスタを有する画素部と薄膜トランジスタを有する周辺回路部とを有し、薄膜トランジスタは、ゲート電極、ゲート絶縁層、ソース電極、ドレイン電極、半導体層とを有し、画素領域内の薄膜トランジスタは、ゲート電極配線幅より半導体層幅が大きく、周辺回路部の薄膜トランジスタは、ゲート電極配線幅が半導体層幅より大きい構成とする。

【選択図】 図1

図 1



## 【特許請求の範囲】

## 【請求項 1】

複数のゲート電極配線と、複数のドレイン電極配線と、前記複数のゲート電極配線と前記複数のドレイン電極配線との交差部に配置された複数の薄膜トランジスタと、前記ゲート電極配線及び前記ドレイン電極配線を駆動し、薄膜トランジスタを有する周辺回路部と、を有するアクティブマトリクス基板において、

前記ゲート電極配線と前記ドレイン電極配線とが交差された領域を画素領域とし、

前記画素領域内の薄膜トランジスタ及び前記周辺回路部の薄膜トランジスタは、ゲート電極、ゲート絶縁層、ソース電極、ドレイン電極、半導体層とを有し、

前記画素領域内の薄膜トランジスタは、ゲート電極配線幅より半導体層幅が大きく、

10

前記周辺回路部の薄膜トランジスタは、ゲート電極配線幅が半導体層幅より大きいことを特徴とするアクティブマトリクス基板。

## 【請求項 2】

請求項 1 記載のアクティブマトリクス基板において、

前記画素領域内の薄膜トランジスタ及び前記周辺回路部の薄膜トランジスタは、逆スタガ構造であることを特徴とするアクティブマトリクス基板。

## 【請求項 3】

請求項 1 記載のアクティブマトリクス基板において、

前記画素領域内の薄膜トランジスタ及び前記周辺回路部の薄膜トランジスタの前記半導体層は、非晶質  $Si$  で形成されていることを特徴とするアクティブマトリクス基板。

20

## 【請求項 4】

請求項 1 記載のアクティブマトリクス基板において、

前記画素領域内の薄膜トランジスタ及び前記周辺回路部の薄膜トランジスタの前記半導体層は、結晶質  $Si$  あるいは結晶成分を含む  $Si$  で形成されていることを特徴とするアクティブマトリクス基板。

## 【請求項 5】

請求項 1 記載のアクティブマトリクス基板において、

前記画素領域内の薄膜トランジスタ及び前記周辺回路部の薄膜トランジスタは、リンをドーピングした  $Si$  層を有し、前記リンをドーピングした  $Si$  層は、前記ドレイン電極配線あるいは前記ソース電極配線と積層されていることを特徴としたアクティブマトリクス基板。

30

## 【請求項 6】

請求項 5 記載のアクティブマトリクス基板において、

前記リンをドーピングした  $Si$  層の厚さは、前記半導体層上に形成された部分より、前記ゲート絶縁膜上に形成された部分の方が厚いことを特徴としたアクティブマトリクス基板。

## 【請求項 7】

一対の基板と、

前記一対の基板間に挟持された液晶層と、を有し、

前記一対の基板の一方は、複数のゲート電極配線と、複数のドレイン電極配線と、前記複数のゲート電極配線と前記複数のドレイン電極配線との交差部に配置された複数の薄膜トランジスタと、前記ゲート電極配線及び前記ドレイン電極配線を駆動し、薄膜トランジスタを有する周辺回路部と、を有するアクティブマトリクス基板であって、

40

前記ゲート電極配線と前記ドレイン電極配線とが交差された領域を画素領域とし、前記画素領域内の薄膜トランジスタ及び前記周辺回路部の薄膜トランジスタは、ゲート電極、ゲート絶縁層、ソース電極、ドレイン電極、半導体層とを有し、前記画素領域内の薄膜トランジスタは、ゲート電極配線幅より半導体層幅が大きく、前記周辺回路部の薄膜トランジスタは、ゲート電極配線幅が半導体層幅より大きいことを特徴とした液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

50

本発明は、アクティブマトリクス基板及び液晶表示装置に関し、特に回路内蔵のアクティブマトリクス基板及び液晶表示装置に関する。

【背景技術】

【0002】

従来、薄膜トランジスタ(TFT)を備えた周辺回路内蔵型の液晶表示装置(LCD)では、多結晶シリコン(p-Si)TFTが主流となってきた。これは、p-Siの移動度が高くゲートドライバなどの周辺回路を動作するための能力が高いためである。しかし、より低価格化を進めるためには、工程数や設備投資額の少ない非晶質Si(a-Si)を適用しようとする試みがなされている。(例えば非特許文献1参照)

【0003】

【非特許文献1】J. Jeon et al. SID '04 DIGEST, 10 (2004), T. Inada et al. IDW '04 DIGEST, 329 (2004)

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、a-Siは、移動度が低いため周辺回路動作のマージンが小さい。a-Si適用のTFT(a-SiTFT)の移動度は特に低温で低下する。さらに、a-SiTFTは、動作使用中に特性が変化するため、TFT-LCDにおいて動作保証をする必要のある-20度の動作を確保が難しくなり、寿命が短くなる欠点がある。

【0005】

本発明は、薄膜トランジスタを有する周辺回路を内蔵しても低温下で良好な画質を維持でき、且つ動作マージンが広く長寿命のアクティブマトリクス基板及びそれを用いた液晶表示装置を提供することを目的とする。

20

【課題を解決するための手段】

【0006】

本発明は、上記課題を解決するために、複数のゲート電極配線と複数のドレイン電極配線との交差部に配置された複数の薄膜トランジスタと、ゲート電極配線及びドレイン電極配線を駆動し、薄膜トランジスタを有する周辺回路部と、を有するアクティブマトリクス基板において、ゲート電極配線とドレイン電極配線とが交差された領域を画素領域とし、画素領域内の薄膜トランジスタ及び周辺回路部の薄膜トランジスタは、ゲート電極、ゲート絶縁層、ソース電極、ドレイン電極、半導体層とを有し、画素領域内の薄膜トランジスタは、ゲート電極配線幅より半導体層幅が大きく、周辺回路部の薄膜トランジスタは、ゲート電極配線幅が半導体層幅より大きい構成とする。

30

【0007】

また、一对の基板間に挟持された液晶層を有し、一对の基板の一方は、複数のゲート電極配線と複数のドレイン電極配線との交差部に配置された複数の薄膜トランジスタと、ゲート電極配線及びドレイン電極配線を駆動し、薄膜トランジスタを有する周辺回路部と、を有するアクティブマトリクス基板であって、ゲート電極配線とドレイン電極配線とが交差された領域を画素領域とし、画素領域内の薄膜トランジスタ及び周辺回路部の薄膜トランジスタは、ゲート電極、ゲート絶縁層、ソース電極、ドレイン電極、半導体層とを有し、画素領域内の薄膜トランジスタは、ゲート電極配線幅より半導体層幅が大きく、周辺回路部の薄膜トランジスタは、ゲート電極配線幅が半導体層幅より大きい構成とする。

40

【発明の効果】

【0008】

薄膜トランジスタを有する周辺回路を内蔵しても低温下で良好な画質を維持でき、且つ動作マージンが広く長寿命のアクティブマトリクス基板及びそれを用いた液晶表示装置を提供できる。

【発明を実施するための最良の形態】

【0009】

本発明のアクティブマトリクス基板を図5および図7に示す。アクティブマトリクス基

50

板は画素部 18 及び周辺回路部 19 からなる。これらの領域には T F T が形成されているが、特に周辺回路部では、課題で述べたように低温下での動作を確保する必要がある。

#### 【0010】

このため、図 1 あるいは図 3 に示すような逆スタガ構造の T F T を周辺回路部に適用する構成を考えた。図 1 の T F T においては、半導体層幅  $a$  がゲート電極配線幅  $b$  より小さい。この逆スタガ構造は、T F T - L C D に広く適用されている構造であり、プロセス工程が短く生産性が良好となる。

#### 【0011】

この逆スタガ構造の T F T は、絶縁基板 1 , ゲート電極配線 2 , ゲート絶縁層 3 , 半導体層 4 , ソース電極配線 8 , ドレイン電極配線 7 とを有し、ゲート絶縁層 3 上に半導体層 4 が形成され、その半導体層 4 の端部を囲うようにソース電極配線 8 , ドレイン電極配線 7 が形成された構造であります。

10

#### 【0012】

図 1 に示した構成の T F T のように半導体層幅  $a$  がゲート電極配線幅  $b$  より小さい場合、半導体層 4 のサイドからの伝導により移動度が増加する。さらに、サイドからの伝導経路では、半導体層 4 を膜厚方向に横断する伝導経路と比較し、低温域での電流量の低下が少ないことがわかった。

#### 【0013】

半導体層 4 として非晶質 S i を用いると生産性の良いアクティブマトリクス基板を作製することができる。また、半導体層 4 として、結晶質 S i あるいは結晶成分を含む S i 膜を用いることによりゲートドライバ以外にドレインドライバを形成することが可能になる。

20

#### 【0014】

この構成の T F T のオフ電流をさらに抑制するためには、コンタクト層 5 であるリンをドープした S i 層 ( $n + S i$ ) で半導体層 4 のサイドを被覆すると良い。このため、ドレイン電極配線 7 及びソース電極配線 8 とコンタクト層 5 である  $n + S i$  層を積層することにより、半導体層 4 とドレイン電極配線 7 及びソース電極配線 8 の間に  $n + S i$  層を挟むことができる。この構成により、オフ領域でサイドからのホールの注入を抑制でき、オフ電流を低減することが可能になる。

#### 【0015】

また、半導体層 4 を形成した後、半導体層 4 を島状に加工するが、この工程の過程で半導体層 4 表面の酸化が進行する場合がある。このため、ドレイン電極配線 7 , ソース電極配線 8 と半導体層 4 の電気的な接続特性が劣化する。このため、図 3 に示すように  $n + S i$  層を 2 層にする構成を考案した。この構成では、ゲート電極配線 2 を形成加工した後、P E C V D (Plasma Enhanced Chemical Vapor Deposition) 法などにより S i N 膜 ,  $a - S i$  膜 ,  $n + S i$  膜を順次形成する。ついで、 $n + S i / a - S i$  を島状に加工した後、 $n + S i$  膜 , 金属膜を順次成膜しソース・ドレイン電極配線に加工する。この構成により、 $n + S i / a - S i$  界面の酸化を抑制でき良好な特性の T F T を安定的に形成することが可能になる。この構成では、半導体層とソース・ドレイン金属膜の間に挟まれた  $n + S i$  膜は 2 層となるため、その他の部分の  $n + S i$  層より厚くなる。半導体島のサイドの  $n + S i$  膜は 1 層であるため、ホールのブロッキング効果は若干劣るもののオン電流を増加できる。特に周辺回路部ではオフ電流よりオン電流の特性が重要になるため、この構成の T F T の効果がある。

30

40

#### 【0016】

一方、画素部の T F T では、低温時の移動度の低下を考慮しても液晶を駆動するためのオン電流特性には余裕がある。このため、この部分の T F T では、オフ電流の低減の方が重要になる。また、半導体層幅  $a$  がゲート電極配線幅  $b$  より小さい場合、各層のホト工程の合せ精度を確保するために、ゲート電極配線とソース・ドレイン配線電極幅の重なりを大きくする必要がある。このため、半導体層幅  $a$  をゲート電極配線幅  $b$  より小さくした構成の T F T では、ゲート電極配線 - ソース電極配線間の容量 ( $C g s$ ) が大きくなり、飛

50

び込み電圧により画像特性が劣化する。このため、画素部には、半導体層幅がゲート電極配線幅より大きい図2あるいは図4に示したTFTを適用する構成を考えた。

【実施例1】

【0017】

以下、本発明の実施の形態について、図1、図3、図6を参照して説明する。このうち図1、図3には、ゲート電極配線及びドレイン電極配線を駆動し、薄膜トランジスタを有する周辺回路部に適用するTFTを示している。図6には、液晶表示装置の断面模式図を示している。まず、図1、図3に示すように絶縁基板1上に金属層をスパッタリング法などで形成する。金属としてはAl、Cr、Mo、Ta、Ti、W、Nb、Fe、Co、Ni及びそれらの合金などが挙げられる。また、これらの金属を積層しても良い。この、

10

【0018】

ついで、PECVD法などでゲート絶縁層3、半導体層4を形成する。絶縁層としてはSiN膜、SiO<sub>2</sub>膜などが挙げられる。また、半導体層4としては非晶質Si膜、結晶質Si膜、微結晶Si膜などが挙げられる。さらにコンタクト層5をCVD法などで形成する。また、PECVD法などでゲート絶縁層3、半導体層4、コンタクト層6の3層を連続して形成しても良い。ついで、ホトリソグラフィ法などにより半導体層4あるいは、3層を連続して形成した場合、コンタクト層5と半導体層を島状に加工する。この際、図に示したように、ゲート電極上の半導体層幅aがゲート電極配線幅bより小さくなるように加工する。

20

【0019】

ついで、PECVD法によりコンタクト層5を形成した後、スパッタリング法などで金属膜を形成する。この金属としてはAl、Cr、Mo、Ta、Ti、W、Nb、Fe、Co、Ni及びそれらの合金などが挙げられる。金属膜をホトリソグラフィ工程などにより加工しドレイン電極配線7及びソース電極配線8を形成する。さらに、エッチングによりチャネル部のコンタクト層を除去する。

【0020】

ついで、PECVD法や塗布法などにより保護性絶縁層9を形成する。この保護性絶縁層としては、SiN膜、SiO<sub>2</sub>などが挙げられる。この保護性絶縁層をホトリソグラフィ法などで加工してコンタクトホール10を形成する。さらに、感光性有機樹脂などで平坦化層11を形成しスルーホールを加工する。ついで、この上にスパッタリング法などにより透明導電膜を形成する。この透明導電膜をホトリソグラフィ法などで加工し画素電極12を形成し、アクティブマトリクス基板13を完成する。

30

【0021】

図6には、このアクティブマトリクス基板を適用した液晶表示装置の一実施例の断面図を示す。

【0022】

この液晶表示装置は、一对の基板を有し、その一方の基板がアクティブマトリクス基板13であり、他方の基板は対向基板16で構成される。本実施例では、このアクティブマトリクス基板13上に配向膜14を形成し、ビーズ15を介して対向基板16を張り合わせ液晶17を封入し、液晶パネルを完成する。

40

【0023】

層構造で説明すると、アクティブマトリクス基板13上に第1の配向膜(配向膜14)、液晶17からなる液晶層、第2の配向膜(配向膜14)、対向基板16の順に形成されている。

【0024】

a-Si TFTの周辺回路を内蔵することにより、実装チップ数を低減し低コスト化できるとともに、ディスプレイの額縁を小さくでき小型化が可能となる。また、本発明の構成により周辺回路部のTFTの低温での移動度低下を抑制することにより、動作保証温度域での寿命を長くし、また高画質の表示をえることができる。

50

## 【0025】

半導体層4の幅をゲート電極配線2の幅より狭くすることにより、ソース・ドレイン電極配線からチャンネル領域に横断する抵抗成分を排除した電流経路を確保でき、特に低温下における移動度の低下を抑制することができる。このTF Tを周辺回路に適用することにより、低温における動作を確保することが可能になる。

## 【0026】

さらに、コンタクト層を2層構造にすることにより、電氣的接続特性の劣化を抑制することができ、良好なTF T特性を得ることができる。また、画素部のTF Tの半導体層幅をゲート電極配線幅より大きくすることにより、オフ特性を確保するとともに、C g sを小さくでき、飛び込み電圧の小さい良好な画像を得ることができる。

10

## 【実施例2】

## 【0027】

以下、本発明の一実施例を図1, 図2を用いて説明する。図1は周辺回路部、図2はゲート電極配線とドレイン電極配線とが交差された領域を画素領域を複数有する画素部のTF Tの断面を示す。

## 【0028】

まず絶縁基板1上に金属層をスパッタリング法などで形成した。金属としてはCrを用いた。この、金属膜をホトリソグラフィ工程などにより加工しゲート電極配線2を形成した。

## 【0029】

ついで、PECVD法などでゲート絶縁層3, 半導体層4を形成した。ゲート絶縁層3としてはSi N膜をSi H<sub>4</sub>, NH<sub>3</sub>, N<sub>2</sub>の混合ガスを用いて形成した。また、半導体層4としてa-Si膜をSi H<sub>4</sub>, H<sub>2</sub>の混合ガスを用いて形成した。ついで、ホトリソグラフィ法などにより半導体層4を島状に加工した。この際、図1に示したように、ゲート電極上の半導体層の幅(a)がゲート電極配線幅(b)より小さくなるように加工した。

20

## 【0030】

ついで、コンタクト層5として、リンをドーブしたa-Si膜をPECVD法を用いてSi H<sub>4</sub>, PH<sub>3</sub>, H<sub>2</sub>を原料ガスとして形成した。さらに、スパッタリング法などで金属膜を形成した。この金属としてはCrを用いた。金属膜とn+S i膜の積層をホトリソグラフィ工程などにより加工しドレイン電極配線7及びソース電極配線8を形成した。さらに、エッチングによりチャンネル部のコンタクト層を除去した。

30

## 【0031】

ついで、保護性絶縁層9としてPECVD法によりSi Nを形成しホトリソグラフィ法などで加工してコンタクトホール10を形成した。ついで、平坦化層11として、塗布法により感光性有機樹脂を塗布し、露光によりコンタクトホール10を形成した。さらに、この上にスパッタリング法により透明導電膜としてITO膜を形成した。この透明導電膜をホトリソグラフィ法などで加工し画素電極12を形成し、アクティブマトリクス基板を完成した。

## 【0032】

このアクティブマトリクス基板上に配向膜を形成し、対向基板を張り合わせ液晶を封入し、液晶パネルを完成する。この、液晶パネルでは、a-Si TF Tの周辺回路を内蔵することにより、実装チップ数を低減し低コスト化できるとともに、ディスプレイの額縁を小さくでき小型化が可能となる。また、動作保証温度域での寿命を長くでき、また高画質の表示をえることができる。

40

## 【実施例3】

## 【0033】

以下、本発明の一実施例を図3, 図4を用いて説明する。図3は周辺回路部、図4は画素部のTF Tの断面を示す。

## 【0034】

まず、実施例1と同じ方法で、絶縁基板1上にゲート電極配線2を形成した。ついで、

50

この上に、ゲート絶縁層、半導体膜を形成し、さらにコンタクト層 6 として P E C V D 法により n + S i 膜を形成した。ついで、フォトリソグラフィ法によりコンタクト層 6、半導体層 4 を島状に加工した。

**【 0 0 3 5 】**

ついで、実施例 1 と同様の方法でコンタクト層 5、金属膜を順次形成した。さらに、実施例 1 と同様の方法によりドレイン電極配線 7 及びソース電極配線 8 を形成した。さらに、エッチングによりチャンネル部のコンタクト層を除去した。

**【 0 0 3 6 】**

ついで、保護性絶縁層 9 として P E C V D 法により S i N を形成しホトリソグラフィ法などで加工してコンタクトホール 1 0 を形成した。ついで、平坦化層 1 1 として塗布法により感光性有機樹脂を塗布し、露光によりコンタクトホール 1 0 を形成した。さらに、この上にスパッタリング法により透明導電膜として I T O 膜を形成した。この透明導電膜をホトリソグラフィ法などで加工し画素電極 1 2 を形成し、アクティブマトリクス基板 1 3 を完成した。

10

**【 0 0 3 7 】**

ついで、実施例 1 と同様の方法によりアクティブマトリクス基板上に配向膜を形成し、対向基板を張り合わせ液晶を封入し、液晶パネルを完成する。この、液晶パネルでは、a - S i T F T の周辺回路を内蔵することにより、実装チップ数を低減し低コスト化できるとともに、ディスプレイの額縁を小さくでき小型化が可能となる。また、動作保証温度域での寿命を長くでき、また高画質の表示をえることができる。

20

**【 実施例 4 】****【 0 0 3 8 】**

以下、本発明の一実施例を図 1、図 2、図 7 を用いて説明する。図 1 は周辺回路部、図 2 は画素部の T F T の断面を示す。また、図 7 は本発明のアクティブマトリクス基板の模式図を示す。この実施例では、図 7 に示すように、ドレインドライバ周辺回路も形成した。

**【 0 0 3 9 】**

まず、実施例 1 と同じ方法で、絶縁基板 1 上にゲート電極配線 2 を形成した。ついで、この上に、ゲート絶縁層として S i O<sub>2</sub> 膜を P E C V D 法で形成した。さらに、半導体膜として結晶質 S i 膜を S i F<sub>4</sub> と H<sub>2</sub> を原料に用いた P E C V D 法で形成した。ついで、コンタクト層 6 として P E C V D 法により n + S i 膜を形成した。ついで、フォトリソグラフィ法によりコンタクト層 6、半導体層 4 を島状に加工した。

30

**【 0 0 4 0 】**

ついで、実施例 1 と同様の方法でコンタクト層 5、金属膜を順次形成した。さらに、実施例 1 と同様の方法によりドレイン電極配線 7 及びソース電極配線 8 を形成した。さらに、エッチングによりチャンネル部のコンタクト層を除去した。

**【 0 0 4 1 】**

ついで、保護性絶縁層 9 として P E C V D 法により S i N を形成しホトリソグラフィ法などで加工してコンタクトホール 1 0 を形成した。ついで、平坦化層 1 1 として塗布法により感光性有機樹脂を塗布し、露光によりコンタクトホール 1 0 を形成した。さらに、この上にスパッタリング法により透明導電膜として I T O 膜を形成した。この透明導電膜をホトリソグラフィ法などで加工し画素電極 1 2 を形成し、アクティブマトリクス基板 1 3 を完成した。

40

**【 0 0 4 2 】**

ついで、実施例 1 と同様の方法によりアクティブマトリクス基板上に配向膜を形成し、対向基板を張り合わせ液晶を封入し、液晶パネルを完成する。この、液晶パネルでは、a - S i T F T の周辺回路を内蔵することにより、実装チップ数を低減し低コスト化できるとともに、ディスプレイの額縁を小さくでき小型化が可能となる。また、動作保証温度域での寿命を長くでき、また高画質の表示をえることができる。

**【 図面の簡単な説明 】**

50

【 0 0 4 3 】

【 図 1 】 本 発 明 に 係 る ア ク テ ィ ブ マ ト リ ク ス 基 板 の 周 辺 回 路 部 の 薄 膜 ト ラ ン ジ ス タ の 一 実 施 例 を 示 す 断 面 図 で 有 る 。

【 図 2 】 本 発 明 に 係 る ア ク テ ィ ブ マ ト リ ク ス 基 板 の 画 素 部 の 薄 膜 ト ラ ン ジ ス タ の 一 実 施 例 を 示 す 断 面 図 で 有 る 。

【 図 3 】 本 発 明 に 係 る ア ク テ ィ ブ マ ト リ ク ス 基 板 の 周 辺 回 路 部 の 薄 膜 ト ラ ン ジ ス タ の 他 の 実 施 例 を 示 す 断 面 図 で 有 る 。

【 図 4 】 本 発 明 に 係 る ア ク テ ィ ブ マ ト リ ク ス 基 板 の 画 素 部 の 薄 膜 ト ラ ン ジ ス タ の 他 の 実 施 例 を 示 す 断 面 図 で 有 る 。

【 図 5 】 本 発 明 に 係 る ア ク テ ィ ブ マ ト リ ク ス 基 板 の 一 実 施 例 を 示 す 図 で 有 る 。

10

【 図 6 】 本 発 明 に 係 る ア ク テ ィ ブ マ ト リ ク ス 基 板 を 用 い た 液 晶 表 示 装 置 の 一 実 施 例 を 示 す 断 面 図 で 有 る 。

【 図 7 】 本 発 明 に 係 る ア ク テ ィ ブ マ ト リ ク ス 基 板 の 他 の 実 施 例 を 示 す 図 で 有 る 。

【 符 号 の 説 明 】

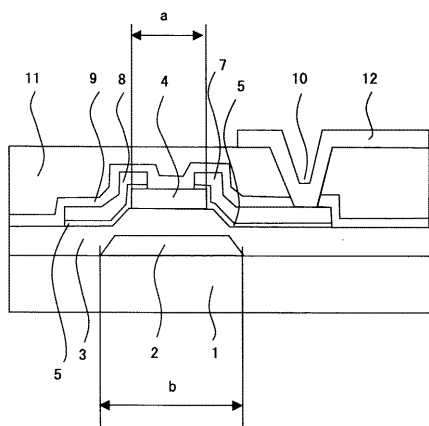
【 0 0 4 4 】

1 ... 絶 縁 基 板、 2 ... ゲ ー ト 電 極 配 線、 3 ... ゲ ー ト 絶 縁 層、 4 ... 半 導 体 層、 5 , 6 ... コ ン タ ク ト 層、 7 ... ド レ イ ン 電 極 配 線、 8 ... ソ ー ス 電 極 配 線、 9 ... 保 護 性 絶 縁 層、 1 0 ... コ ン タ ク ト ホ ー ル、 1 1 ... 平 坦 化 層、 1 2 ... 画 素 電 極、 1 3 ... ア ク テ ィ ブ マ ト リ ク ス 基 板、 1 4 ... 配 向 膜、 1 5 ... ビ ー ズ、 1 6 ... 对 向 基 板、 1 7 ... 液 晶、 1 8 ... 画 素 部、 1 9 ... 周 辺 回 路 部 。

20

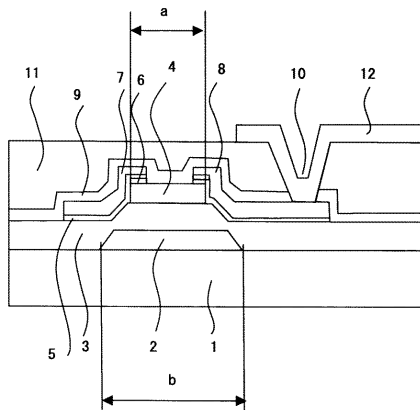
【 図 1 】

図 1



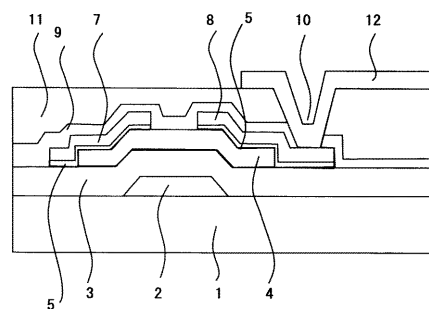
【 図 3 】

図 3

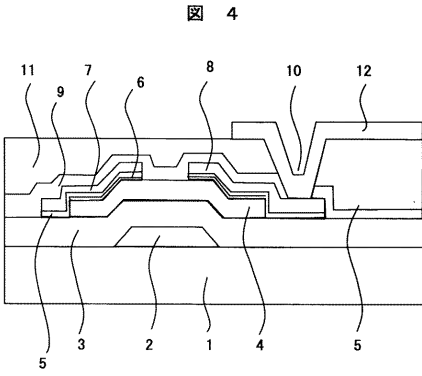


【 図 2 】

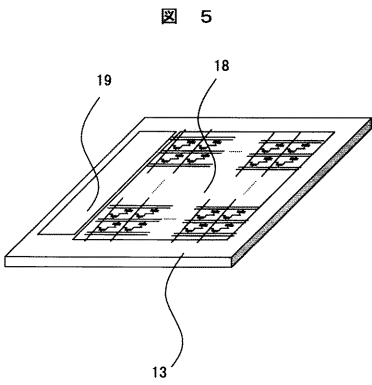
図 2



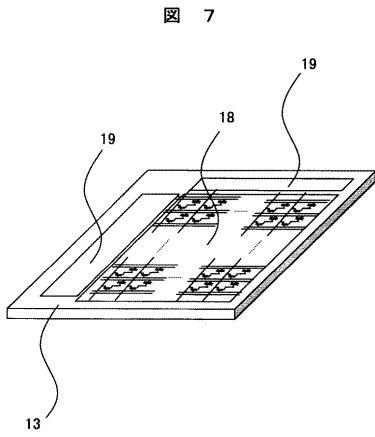
【 図 4 】



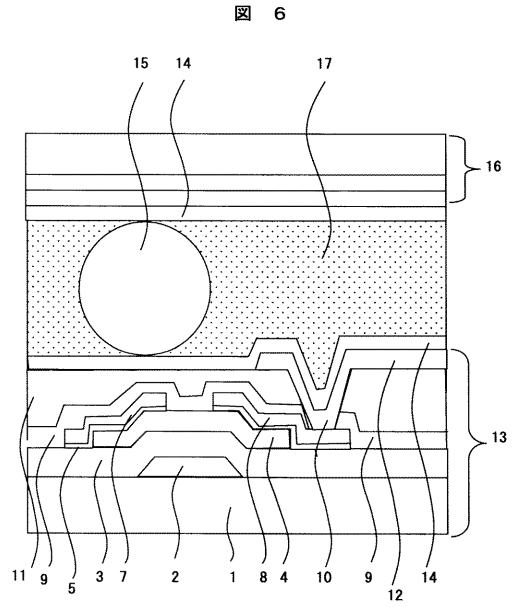
【 図 5 】



【 図 7 】



【 図 6 】



## フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L 29/49</b>	<b>(2006.01)</b>	H 0 1 L 29/50		M
		H 0 1 L 29/58		G

(72)発明者 江戸 進

茨城県日立市大みか町七丁目1番1号

株式会社日立製作所日立研究所内

Fターム(参考)	2H092	GA12	GA13	GA15	GA17	JA24	JA26	JA29	JA37	JA38	NA01
		NA05	NA11	NA21	NA28						
	4M104	AA01	AA08	AA09	BB02	BB04	BB05	BB13	BB14	BB16	BB17
		BB18	CC01	CC05	DD37	GG09	GG10	GG14	GG20		
	5F110	AA06	AA30	BB02	CC07	EE02	EE03	EE04	EE06	EE14	FF02
		FF03	FF30	GG02	GG13	GG14	GG15	GG26	GG45	HK02	HK03
		HK04	HK06	HK09	HK16	HK25	HK34	HK35	HL07	HL23	NN03
		NN23	NN24	NN27	NN33	NN35	NN72	NN78	QQ09		

专利名称(译)	有源矩阵基板和使用其的液晶显示装置		
公开(公告)号	<a href="#">JP2007121788A</a>	公开(公告)日	2007-05-17
申请号	JP2005315596	申请日	2005-10-31
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	若木政利 安藤正彦 江戸進		
发明人	若木 政利 安藤 正彦 江戸 進		
IPC分类号	G02F1/1368 H01L29/786 H01L21/28 H01L29/417 H01L29/423 H01L29/49		
FI分类号	G02F1/1368 H01L29/78.612.B H01L29/78.616.U H01L29/78.616.T H01L21/28.301.R H01L29/50.M H01L29/58.G		
F-TERM分类号	2H092/GA12 2H092/GA13 2H092/GA15 2H092/GA17 2H092/JA24 2H092/JA26 2H092/JA29 2H092/JA37 2H092/JA38 2H092/NA01 2H092/NA05 2H092/NA11 2H092/NA21 2H092/NA28 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB02 4M104/BB04 4M104/BB05 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/CC01 4M104/CC05 4M104/DD37 4M104/GG09 4M104/GG10 4M104/GG14 4M104/GG20 5F110/AA06 5F110/AA30 5F110/BB02 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG26 5F110/GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK25 5F110/HK34 5F110/HK35 5F110/HL07 5F110/HL23 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN35 5F110/NN72 5F110/NN78 5F110/QQ09 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB35 2H192/CB42 2H192/CB54 2H192/DA73 2H192/EA67 2H192/FB02 2H192/FB15		
代理人(译)	井上 学		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

亲切代码：低温下可保持良好的图像质量，操作范围宽，寿命长。一薄膜晶体管包括具有薄膜晶体管的像素部分和具有薄膜晶体管的外围电路部分，其中薄膜晶体管具有栅电极，栅极绝缘层，源电极，漏电极和半导体层，并且像素区域中的薄膜晶体管具有栅极半导体层宽度大于电极布线宽度，并且外围电路部分中的薄膜晶体管具有栅电极布线宽度大于半导体层宽度的结构。点域1

