

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-65647

(P2007-65647A)

(43) 公開日 平成19年3月15日(2007.3.15)

(51) Int. Cl.	F I	テーマコード (参考)
<b>GO2F 1/133 (2006.01)</b>	GO2F 1/133 550	2H091
<b>GO2F 1/1335 (2006.01)</b>	GO2F 1/1335 520	2H092
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343	2H093
<b>GO2F 1/1345 (2006.01)</b>	GO2F 1/1345	5C006
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	5C080

審査請求 未請求 請求項の数 38 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2006-222687 (P2006-222687)  
 (22) 出願日 平成18年8月17日 (2006.8.17)  
 (31) 優先権主張番号 10-2005-0079919  
 (32) 優先日 平成17年8月30日 (2005.8.30)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 10-2005-0089114  
 (32) 優先日 平成17年9月26日 (2005.9.26)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 (74) 代理人 100072349  
 弁理士 八田 幹雄  
 (74) 代理人 100110995  
 弁理士 奈良 泰男  
 (74) 代理人 100114649  
 弁理士 宇谷 勝幸  
 (72) 発明者 金 一 坤  
 大韓民国ソウル特別市銅雀区上道洞431  
 番地 上道3次レミアン327棟803号

最終頁に続く

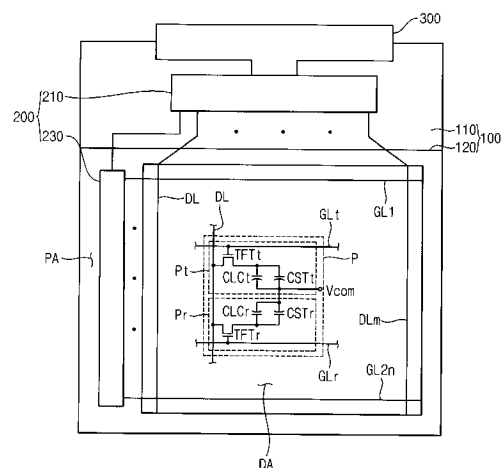
(54) 【発明の名称】 液晶表示装置ならびにその駆動装置及び駆動方法

(57) 【要約】 (修正有)

【課題】 画質の向上した反射 - 透過型液晶表示装置を提供する。

【解決手段】 第1ゲート配線GLtに連結された第1スイッチング素子TF T t及び当該第1スイッチング素子TF T tに連結された第1液晶キャパシタCLC tを有する透過部Ptと、第2ゲート配線GLrに連結された第2スイッチング素子TF T r及び当該第2スイッチング素子TF T rに連結された第2液晶キャパシタCLC rを有する反射部Prとを各々具備する複数の画素部Pを含む液晶表示パネル100と、第1スイッチング素子TF T tがターンオンされるときに第1液晶キャパシタCLC tに第1共通電圧を印加し、前記第2スイッチング素子TF T rがターンオンされるときに第2液晶キャパシタCLC rに第2共通電圧を印加する駆動部と、を含む。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

第 1 ゲート配線に連結された第 1 スイッチング素子及び当該第 1 スイッチング素子に連結された第 1 液晶キャパシタを有する透過部と、第 2 ゲート配線に連結された第 2 スイッチング素子及び当該第 2 スイッチング素子に連結された第 2 液晶キャパシタを有する反射部とを各々具備する複数の画素部を含む液晶表示パネルと、

前記第 1 スイッチング素子がターンオンされるときに前記第 1 液晶キャパシタに第 1 共通電圧を印加し、前記第 2 スイッチング素子がターンオンされるときに前記第 2 液晶キャパシタに第 2 共通電圧を印加する駆動部と、を含むことを特徴とする液晶表示装置。

## 【請求項 2】

前記第 1 及び第 2 液晶キャパシタは液晶層を含み、

前記第 1 共通電圧と前記第 2 共通電圧との電圧差は、前記液晶層の電圧対透過率曲線のピーク電圧と電圧対反射率曲線のピーク電圧との電圧差と実質的に同じであることを特徴とする請求項 1 記載の液晶表示装置。

## 【請求項 3】

前記液晶層は、V A ( V e r t i c a l A l i g n m e n t ) モードであることを特徴とする請求項 2 記載の液晶表示装置。

## 【請求項 4】

前記第 1 スイッチング素子は、前記第 1 ゲート配線に連結された第 1 ゲート電極と、ソース配線に連結された第 1 ソース電極と、前記第 1 液晶キャパシタの第 1 電極である透明電極に連結された第 1 ドレイン電極と、を含むことを特徴とする請求項 1 記載の液晶表示装置。

## 【請求項 5】

前記第 2 スイッチング素子は、前記第 1 ゲート配線に隣接した前記第 2 ゲート配線に連結された第 2 ゲート電極と、前記ソース配線に連結された第 2 ソース電極と、前記第 2 液晶キャパシタの第 1 電極である反射電極に連結された第 2 ドレイン電極と、を含むことを特徴とする請求項 4 記載の液晶表示装置。

## 【請求項 6】

前記第 1 液晶キャパシタの第 1 共通電極と前記第 2 液晶キャパシタの第 2 共通電極とは、電気的に連結されていることを特徴とする請求項 5 記載の液晶表示装置。

## 【請求項 7】

前記駆動部は、

前記ソース配線にデータ電圧を出力するソース駆動部と、

前記第 1 及び第 2 ゲート配線を活性状態にする第 1 及び第 2 ゲート信号を出力するゲート駆動部と、

前記第 1 ゲート配線が活性状態にされるときに前記第 1 共通電圧を前記第 1 液晶キャパシタに印加し、前記第 1 ゲート配線が非活性状態にされるときに前記第 2 共通電圧を前記第 2 液晶キャパシタに印加する電圧発生部と、を含むことを特徴とする請求項 5 記載の液晶表示装置。

## 【請求項 8】

前記第 1 ゲート配線は 1 水平期間の前半に活性状態にされ、前記第 2 ゲート配線は 1 水平期間の後半に活性状態にされることを特徴とする請求項 7 記載の液晶表示装置。

## 【請求項 9】

前記第 1 ゲート配線は 1 水平期間の前半に活性状態にされ、前記第 2 ゲート配線は 1 水平期間活性状態にされることを特徴とする請求項 7 記載の液晶表示装置。

## 【請求項 10】

前記液晶表示装置は液晶層を更に含み、

前記第 2 共通電圧は透過モードでの前記液晶層の誘電率と反射モードでの前記液晶層の誘電率とを比較して決定されることを特徴とする請求項 1 記載の液晶表示装置。

## 【請求項 11】

10

20

30

40

50

前記第 1 共通電圧の絶対値は、前記第 2 共通電圧の絶対値よりも大きいことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 1 2】

第 1 ゲート配線に連結される第 1 スイッチング素子及び当該第 1 スイッチング素子に連結された第 1 液晶キャパシタを有する透過部と、第 2 ゲート配線に連結された第 2 スイッチング素子及び当該第 2 スイッチング素子に連結された第 2 液晶キャパシタを有する反射部とを各々具備する複数の画素部を含む液晶表示装置の駆動装置であって、

前記第 1 及び第 2 ゲート配線を活性状態にする第 1 及び第 2 ゲート信号を出力するゲート駆動部と、

前記第 1 ゲート配線が活性状態にされるとき、前記第 1 共通電圧を前記第 1 液晶キャパシタに印加し、前記第 1 ゲート配線が非活性状態にされるとき、前記第 2 共通電圧を前記第 2 液晶キャパシタに印加する電圧発生部と、を含むことを特徴とする液晶表示装置の駆動装置。

10

【請求項 1 3】

前記第 1 及び第 2 液晶キャパシタは液晶層を含み、

前記第 1 共通電圧と前記第 2 共通電圧との電圧差は、前記液晶層の電圧対透過率曲線のピーク電圧と電圧対反射率曲線のピーク電圧との電圧差と実質的に同じであることを特徴とする請求項 1 2 記載の液晶表示装置の駆動装置。

【請求項 1 4】

第 1 スイッチング素子及び当該第 1 スイッチング素子に連結された第 1 液晶キャパシタを有する透過部と、第 2 スイッチング素子及び当該第 2 スイッチング素子に連結された第 2 液晶キャパシタを有する反射部とから構成された画素部を含む液晶表示装置の駆動方法であって、

20

前記第 1 スイッチング素子をターンオンさせて、前記第 1 スイッチング素子から伝達されるデータ電圧及び第 1 共通電圧に対応する第 1 画素電圧を前記第 1 液晶キャパシタに充電する段階と、

前記第 1 スイッチング素子をターンオフさせる一方で前記第 2 スイッチング素子をターンオンさせて、前記第 2 スイッチング素子から伝達されるデータ電圧及び第 2 共通電圧に対応する第 2 画素電圧を前記第 2 液晶キャパシタに充電する段階と、を含むことを特徴とする液晶表示装置の駆動方法。

30

【請求項 1 5】

前記第 1 及び第 2 液晶キャパシタは液晶層を含み、

前記第 1 共通電圧と前記第 2 共通電圧との電圧差は、前記液晶層の電圧対透過率曲線のピーク電圧と電圧対反射率曲線のピーク電圧との電圧差と実質的に同じであることを特徴とする請求項 1 4 記載の液晶表示装置の駆動方法。

【請求項 1 6】

前記第 1 画素電圧を充電する段階は、

前記第 1 スイッチング素子に連結された第 1 ゲート配線を活性状態にして、前記第 1 スイッチング素子に印加された前記データ電圧に対応する電圧を前記第 1 液晶キャパシタの透明電極に印加する段階と、

40

前記第 1 共通電圧を前記第 1 液晶キャパシタの第 1 共通電極に印加する段階と、を含むことを特徴とする請求項 1 4 記載の液晶表示装置の駆動方法。

【請求項 1 7】

前記第 2 画素電圧を充電する段階は、

前記第 1 ゲート配線を非活性状態にする段階と、

前記第 2 スイッチング素子に連結された第 2 ゲート配線を活性状態にして、前記第 2 スイッチング素子に印加された前記データ電圧に対応する電圧を前記第 2 液晶キャパシタの反射電極に印加する段階と、

前記第 2 共通電圧を前記第 2 液晶キャパシタの第 2 共通電極に印加する段階と、を含むことを特徴とする請求項 1 6 記載の液晶表示装置の駆動方法。

50

## 【請求項 18】

前記第1スイッチング素子に連結された第1ゲート配線は、1水平期間の前半に活性状態にされることを特徴とする請求項14記載の液晶表示装置の駆動方法。

## 【請求項 19】

前記第2スイッチング素子に連結された第2ゲート配線は、1水平期間の後半に活性状態にされることを特徴とする請求項14記載の液晶表示装置の駆動方法。

## 【請求項 20】

前記第2スイッチング素子に連結された第2ゲート配線は、1水平期間活性状態にされることを特徴とする請求項14記載の液晶表示装置の駆動方法。

## 【請求項 21】

前記第1スイッチング素子は、前記第2スイッチング素子がターンオンされるときにターンオフされることを特徴とする請求項14記載の液晶表示装置の駆動方法。

10

## 【請求項 22】

前記第1及び第2スイッチング素子は同時にターンオンされ、前記第1スイッチング素子は前記第2スイッチング素子がターンオフされる前にターンオフされることを特徴とする請求項14記載の液晶表示装置の駆動方法。

## 【請求項 23】

前記第1及び第2液晶キャパシタは液晶層を含み、

前記液晶表示装置の駆動方法は、透過モードでの前記液晶層の誘電率を反射モードでの前記液晶層の誘電率と比較して前記第2共通電圧を決定する段階を更に含むことを特徴とする請求項14記載の液晶表示装置の駆動方法。

20

## 【請求項 24】

第1ゲート配線に連結された第1スイッチング素子及び当該第1スイッチング素子に連結された第1液晶キャパシタを有する透過部と、第2ゲート配線に連結された第2スイッチング素子、当該第2スイッチング素子に連結された第2液晶キャパシタ、及び前記第2スイッチング素子と前記第2液晶キャパシタとの間に連結された分割キャパシタを有する反射部とを各々具備する複数の画素部を含む液晶表示パネルと、

前記第1スイッチング素子がターンオンされるときに前記第1液晶キャパシタに第1共通電圧を印加し、前記第2スイッチング素子がターンオンされるときに前記第2液晶キャパシタに第2共通電圧を印加する駆動部と、を含むことを特徴とする液晶表示装置。

30

## 【請求項 25】

前記透過部は第1ストレージキャパシタを含み、前記反射部は第2ストレージキャパシタを含み、

前記駆動部は、前記第1スイッチング素子がターンオンされるときに前記第1ストレージキャパシタに前記第1共通電圧を印加し、前記第2スイッチング素子がターンオンされるときに前記第2ストレージキャパシタに前記第2共通電圧を印加することを特徴とする請求項24記載の液晶表示装置。

## 【請求項 26】

前記駆動部は、前記第1スイッチング素子がターンオフされている間に前記第2共通電圧を前記第2ストレージキャパシタに印加することを特徴とする請求項25記載の液晶表示装置。

40

## 【請求項 27】

前記第1スイッチング素子は、前記第1ゲート配線に連結された第1ゲート電極と、ソース配線に連結された第1ソース電極と、前記第1液晶キャパシタの第1電極である透明電極に連結された第1ドレイン電極と、を含むことを特徴とする請求項24記載の液晶表示装置。

## 【請求項 28】

前記第2スイッチング素子は、前記第1ゲート配線に隣接した前記第2ゲート配線に連結された第2ゲート電極と、前記ソース配線に連結された第2ソース電極と、前記分割キャパシタの第1電極に連結された第2ドレイン電極と、を含み、

50

前記分割キャパシタの第2電極は、前記第2液晶キャパシタの第1電極である反射電極に連結されていることを特徴とする請求項27記載の液晶表示装置。

【請求項29】

前記第1液晶キャパシタの第1共通電極と前記第2液晶キャパシタの第2共通電極とは、電氣的に連結されていることを特徴とする請求項28記載の液晶表示装置。

【請求項30】

前記駆動部は、

前記ソース配線にデータ電圧を出力するソース駆動部と、

前記第1及び第2ゲート配線を活性状態にする第1及び第2ゲート信号を出力するゲート駆動部と、

前記第1ゲート配線が活性状態にされるときに前記第1共通電圧を前記第1液晶キャパシタに印加し、前記第1ゲート配線が非活性状態にされる一方で前記第2ゲート配線が活性状態にされるときに前記第2共通電圧を前記第2液晶キャパシタに印加する電圧発生部と、を含むことを特徴とする請求項28記載の液晶表示装置。

10

【請求項31】

前記第1ゲート配線は1水平期間の前半に活性状態にされ、前記第2ゲート配線は1水平期間の後半に活性状態にされることを特徴とする請求項30記載の液晶表示装置。

【請求項32】

前記第1ゲート配線は1水平期間の前半に活性状態にされ、前記第2ゲート配線は1水平期間活性状態にされることを特徴とする請求項30記載の液晶表示装置。

20

【請求項33】

第1スイッチング素子及び当該第1スイッチング素子に連結された第1液晶キャパシタを有する透過部と、第2スイッチング素子、当該第2スイッチング素子に連結された分割キャパシタ、及び当該分割キャパシタに連結された第2液晶キャパシタを有する反射部とから構成された画素部を含む液晶表示装置の駆動方法であって、

前記第1スイッチング素子をターンオンさせて、前記第1スイッチング素子から伝達されたデータ電圧及び第1共通電圧に対応する第1画素電圧を前記第1液晶キャパシタに充電する段階と、

前記第1スイッチング素子をターンオフさせる一方で前記第2スイッチング素子をターンオンさせて、前記第2スイッチング素子から伝達されたデータ電圧及び第2共通電圧に対応する第2画素電圧を前記第2液晶キャパシタに充電する段階と、を含むことを特徴とする液晶表示装置の駆動方法。

30

【請求項34】

前記第1画素電圧を充電する段階は、

前記第1共通電圧を前記第1液晶キャパシタの第1共通電極に印加する段階と、

前記第1スイッチング素子に連結された第1ゲート配線を活性状態にして、前記第1スイッチング素子に印加された前記データ電圧を前記第1液晶キャパシタの透明電極に印加する段階と、を含むことを特徴とする請求項33記載の液晶表示装置の駆動方法。

【請求項35】

前記第2画素電圧を充電する段階は、

40

前記第1ゲート配線を非活性状態にする段階と、

前記分割キャパシタの第2電極及び前記第2液晶キャパシタの第2共通電極に第2共通電圧を印加する段階と、

前記第2スイッチング素子に連結された第2ゲート配線を活性状態にして、前記第2スイッチング素子に印加された前記データ電圧の一部電圧を前記分割キャパシタの第1電極に印加する段階と、

前記データ電圧のうち前記一部電圧を除いた残りの電圧を前記第2液晶キャパシタの反射電極に印加する段階と、を含むことを特徴とする請求項34記載の液晶表示装置の駆動方法。

【請求項36】

50

前記第1スイッチング素子に連結された第1ゲート配線は、1水平期間の前半に活性状態にされることを特徴とする請求項33記載の液晶表示装置の駆動方法。

【請求項37】

前記第2スイッチング素子に連結された第2ゲート配線は、1水平期間の後半に活性状態にされることを特徴とする請求項33記載の液晶表示装置の駆動方法。

【請求項38】

前記第2スイッチング素子に連結された第2ゲート配線は、1水平期間活性状態にされることを特徴とする請求項33記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は液晶表示装置ならびにその駆動装置及び駆動方法に関し、より詳細には画質を向上させるための液晶表示装置ならびにその駆動装置及び駆動方法に関する。

【背景技術】

【0002】

液晶表示パネルでは、互いに向かい合う下部基板と上部基板との間に液晶層が形成される。液晶表示パネルは、液晶に電界を印加して液晶の分子配列を変更させて画像を表示する。

【0003】

液晶表示パネルは、光源の形態によって、外部から入射される外部光を反射させて画像を表示する反射型液晶表示パネル、背面から入射される内部光を透過させて画像を表示する透過型液晶表示パネル、及び外部光を反射する一方で内部光を透過して画像を表示する反射-透過型液晶表示パネルに分類される。

20

【0004】

反射-透過型液晶表示パネルは、透過モードでの電圧対透過率(V-T)曲線と反射モードでの電圧対反射率(V-R)曲線とが互いに異なる。

【0005】

図1はVAモードで電圧対透過率を示すグラフであり、図2はVAモードで電圧対反射率を示すグラフである。

【0006】

30

図1及び図2を参照すると、透過モードのブラック電圧 $V_{Tb}$ と反射モードのブラック電圧 $V_{Rb}$ は、ほぼ0V乃至1.5Vと互いに類似である。反面、透過モードのホワイト電圧 $V_{Tw}$ と反射モードのホワイト電圧 $V_{Rw}$ は互いに異なる。具体的に、透過モードのホワイト電圧 $V_{Tw}$ は約4.5Vで、反射モードのホワイト電圧 $V_{Rw}$ は約2.5Vであって、約2V程度の偏差を有する。

【0007】

このように、V-T曲線の透過率とV-R曲線の反射率とが一致しない特性によって、反射-透過型液晶表示装置は画質が低下するという問題点を有する。

【発明の開示】

【発明が解決しようとする課題】

40

【0008】

本発明の技術的課題は、このような従来の問題点を解決するためのもので、本発明の目的は画質を向上させるための液晶表示装置を提供することにある。

【0009】

本発明の他の目的は、上記液晶表示装置の駆動装置を提供することにある。

【0010】

本発明の更に他の目的は、上記液晶表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0011】

上述した本発明の目的を実現するための一実施の形態による液晶表示装置は、液晶表示

50

パネル及び駆動部を含む。前記液晶表示パネルは複数の画素部を含み、各画素部は第1ゲート配線に連結された第1スイッチング素子及び当該第1スイッチング素子に連結された第1液晶キャパシタを有する透過部と、第2ゲート配線に連結された第2スイッチング素子及び当該第2スイッチング素子に連結された第2液晶キャパシタを有する反射部とを含む。前記駆動部は、前記第1スイッチング素子がターンオンされるときに前記第1液晶キャパシタに第1共通電圧を印加し、前記第2スイッチング素子がターンオンされるときに前記第2液晶キャパシタに第2共通電圧を印加する。

**【0012】**

上述した本発明の目的を実現するための他の実施の形態による液晶表示装置は、液晶表示パネル及び駆動部を含む。前記液晶表示パネルは複数の画素部を含み、各画素部は第1ゲート配線に連結される第1スイッチング素子及び当該第1スイッチング素子に連結された第1液晶キャパシタを有する透過部と、第2ゲート配線に連結された第2スイッチング素子、当該第2スイッチング素子に連結された第2液晶キャパシタ、及び前記第2スイッチング素子と前記第2液晶キャパシタとの間に連結された分割キャパシタを有する反射部とを含む。前記駆動部は、前記第1スイッチング素子がターンオンされるときに前記第1液晶キャパシタに第1共通電圧を印加し、前記第1スイッチング素子がターンオフされる一方で前記第2スイッチング素子がターンオンされるときに前記第2液晶キャパシタに第2共通電圧を印加する。

10

**【0013】**

上述した本発明の他の目的を実現するための実施の形態による液晶表示装置の駆動装置は、第1ゲート配線に連結された第1スイッチング素子及び当該第1スイッチング素子に連結された第1液晶キャパシタを有する透過部と、第2ゲート配線に連結された第2スイッチング素子及び当該第2スイッチング素子に連結された第2液晶キャパシタを有する反射部とを各々具備する複数の画素部を含む液晶表示装置の駆動装置であって、ゲート駆動部及び電圧発生部を含む。前記ゲート駆動部は、前記第1及び第2ゲート配線を活性状態にする第1及び第2ゲート信号を出力する。前記電圧発生部は、前記第1ゲート配線が活性化状態にされるときに前記第1共通電圧を前記第1液晶キャパシタに印加し、前記第1ゲート配線が非活性状態にされるときに前記第2共通電圧を前記第2液晶キャパシタに印加する。

20

**【0014】**

上述した本発明の更に他の目的を実現するための一実施の形態による液晶表示装置の駆動方法は、第1スイッチング素子及び当該第1スイッチング素子に連結された第1液晶キャパシタを有する透過部と、第2スイッチング素子及び当該第2スイッチング素子に連結された第2液晶キャパシタを有する反射部とから構成された画素部を含む液晶表示装置の駆動方法であって、前記第1スイッチング素子をターンオンさせて、前記第1スイッチング素子から伝達されたデータ電圧及び第1共通電圧に対応する第1画素電圧を前記第1液晶キャパシタに充電する段階と、前記第1スイッチング素子をターンオフさせる一方で前記第2スイッチング素子をターンオンさせて、前記第2スイッチング素子から伝達されたデータ電圧及び第2共通電圧に対応する第2画素電圧を前記第2液晶キャパシタに充電する段階と、を含む。

30

40

**【0015】**

上述した本発明の更に他の目的を実現するための他の実施の形態による液晶表示装置の駆動方法は、第1スイッチング素子及び当該第1スイッチング素子に連結された第1液晶キャパシタを有する透過部と、第2スイッチング素子、当該第2スイッチング素子に連結された分割キャパシタ、及び当該分割キャパシタに連結された第2液晶キャパシタを有する反射部とから構成された画素部を含む液晶表示装置の駆動方法であって、前記第1スイッチング素子をターンオンさせて、前記第1スイッチング素子から伝達されたデータ電圧及び第1共通電圧に対応する第1画素電圧を前記第1液晶キャパシタに充電する段階と、前記第1スイッチング素子をターンオフさせる一方で前記第2スイッチング素子をターンオンさせて、前記第2スイッチング素子から伝達されたデータ電圧及び第2共通電圧に対

50

応する第2画素電圧を前記第2液晶キャパシタに充電する段階と、を含む。

【発明の効果】

【0016】

このような液晶表示装置ならびにその駆動装置及び駆動方法によると、透過部の第1液晶キャパシタには第1共通電圧を印加し、反射部の第2液晶キャパシタには第2共通電圧を印加することにより、画素部に表示される画像の画質を向上させることができる。

【発明を実施するための最良の形態】

【0017】

以下、添付図面を参照して、本発明をより詳細に説明する。

【0018】

図3は、本発明の一実施の形態による液晶表示装置の概略的な平面図である。

【0019】

図3を参照すると、液晶表示装置は、液晶表示パネル100、駆動装置(駆動部)200、及びフレキシブル印刷回路基板300を含む。フレキシブル印刷回路基板(以下、FPC)300は、外部装置(図示せず)と駆動装置200とを電氣的に連結する。

【0020】

液晶表示パネル100は、下部基板110、上部基板120、及び下部基板110と上部基板120との間に介在された液晶層(図示せず)を含み、表示領域DA及び表示領域DAを取り囲む周辺領域PAから構成される。

【0021】

表示領域DAには、 $m$ 個のソース配線(DL1, ..., DL $m$ )及びソース配線(DL1, ..., DL $m$ )と交差する $2n$ 個のゲート配線(GL1, ..., GL $2n$ )が形成される。表示領域DAでは、ソース配線(DL1, ..., DL $m$ )とゲート配線(GL1, ..., GL $2n$ )とによって $m \times n$ 個の画素部Pが画定される。ここで、 $n$ 、 $m$ は自然数である。

【0022】

各画素部Pは、1つのソース配線DLと2つの第1及び第2ゲート配線(GL $t$ , GL $r$ )とによって画定される第1光を透過する透過部P $t$ と第2光を反射する反射部P $r$ とを有する。透過部P $t$ は、ソース配線DL及び第1ゲート配線GL $t$ に連結された第1スイッチング素子TF $Tt$ と、第1スイッチング素子TF $Tt$ に連結された第1液晶キャパシタCLC $t$ 及び第1ストレージキャパシタCST $t$ とを含む。第1スイッチング素子TF $Tt$ は、ソース配線DLに連結されたソース電極、第1ゲート配線GL $t$ に連結されたゲート電極、及び第1液晶キャパシタCLC $t$ に連結されたドレイン電極を含む。

【0023】

反射部P $r$ は、ソース配線DL及び第2ゲート配線GL $t$ に連結された第2スイッチング素子TF $Tr$ と、第2スイッチング素子TF $Tr$ に連結された第2液晶キャパシタCLC $r$ 及び第2ストレージキャパシタCST $r$ とを含む。第2スイッチング素子TF $Tr$ は、ソース配線DLに連結されたソース電極、第2ゲート配線GL $r$ に連結されたゲート電極、及び第2液晶キャパシタCLC $r$ に連結されたドレイン電極を含む。

【0024】

駆動装置200は、メイン駆動部210及びゲート回路部230を含む。

【0025】

メイン駆動部210は、周辺領域PAに実装される単一チップで、フレキシブル印刷回路基板300から伝達された制御信号及びデータ信号を利用して、画素部Pを駆動させる駆動信号を出力する。メイン駆動部210は、下部基板110上に配置されることができ

【0026】

ゲート回路部230は周辺領域PAに集積されるか、別のチップ形態に実装される。ゲート回路部230は、メイン駆動部210から提供される駆動信号に基づいて、ゲート配線(GL1, ..., GL $2n$ )にゲート信号(G1 $t$ , G1 $r$ , ..., Gn $t$ , Gn $r$ )を出力する。各画素部Pに印加される第1及び第2ゲート信号G1 $t$ , G1 $r$ は1H期間(1

10

20

30

40

50

水平期間)に出力される。

【0027】

図4は、図3に図示された液晶表示パネルの平面図である。図5は、図4のI-I'に沿った断面図である。

【0028】

図3乃至図5を参照すると、液晶表示パネルは、下部基板110、上部基板120、及び液晶層130を含む。

【0029】

下部基板110は、ガラス又はプラスチックのような絶縁物質を含む第1ベース基板101を含み、第1ベース基板101には、m個のソース配線(DL1, ..., DLm)と2n個のゲート配線(GL1, ..., GL2n)とによってm×n個の画素部Pが画定される。

10

【0030】

各画素部Pは、第1ベース基板101の下方から入射される第1光L1を透過する透過部Ptと第1ベース基板101の上方から入射される第2光L2を反射する反射部Prとから構成される。画素部Pには、ストレージ共通配線SCLが形成される。

【0031】

透過部Ptは、第1スイッチング素子TF Ttと透明電極TEとを含む。第1スイッチング素子TF Ttは、第1ゲート配線GLtに連結された第1ゲート電極131とソース配線DLに連結された第1ソース電極133及び透明電極TEに連結された第1ドレイン電極134とを含む。

20

【0032】

第1ゲート配線GLt及び第1ゲート電極131上にはゲート絶縁層102が形成され、第1ゲート電極131と第1ソース/ドレイン電極133, 134との間には、第1活性層132が形成される。好ましくは、第1活性層132は非晶質シリコンを含む。

【0033】

ソース配線DL及び第1ソース/ドレイン電極133, 134上には、第1コンタクトホール137が形成された保護絶縁層103及び有機絶縁膜104が形成される。勿論、有機絶縁膜104は形成されなくても良い。第1コンタクトホール137を通じて第1ドレイン電極134と透明電極TEとが電氣的に連結される。透明電極TEは、有機絶縁膜104上に配置される。この際、有機絶縁膜104が省略され、透明電極TEが保護絶縁層103上に配置されることもできる。

30

【0034】

反射部Prは、第2スイッチング素子TF Trと反射電極REとを含む。第2スイッチング素子TF Trは、第2ゲート配線GLrに連結された第2ゲート電極141とソース配線DLに連結されたソース電極143及び反射電極REに連結されたドレイン電極144とを含む。

【0035】

第2ゲート配線GLr及び第2ゲート電極141上にはゲート絶縁層102が形成され、第2ゲート電極141と第2ソース/ドレイン電極143, 144との間には、第2活性層142が形成される。好ましくは、第2活性層142は非晶質シリコンを含む。

40

【0036】

ソース配線DL及び第2ソース/ドレイン電極143, 144上には、第2コンタクトホール147が形成された保護絶縁層103及び有機絶縁膜104が形成される。勿論、有機絶縁膜104は形成されなくても良い。反射電極REは、有機絶縁膜104上に形成される。この際、有機絶縁膜104が省略され、反射電極REが保護絶縁層103上に形成されることもできる。第2コンタクトホール147を通じて第2ドレイン電極144と反射電極REとが電氣的に連結される。

【0037】

ストレージ共通配線SCLは、第1及び第2ゲート配線GLt, GLrと同一金属層で

50

形成される。

【0038】

なお、上記の実施の形態では、第1及び第2スイッチング素子 $TFT_t$ 、 $TFT_r$ を非晶質シリコンで形成された活性層を含む薄膜トランジスタを例として説明したが、当業者なら多結晶シリコンで形成された活性層を含む薄膜トランジスタで形成することができるのは自明である。

【0039】

上部基板120は第2ベース基板121を含み、第2ベース基板121上には遮光層122、カラーフィルター層123、オーバーコーティング層124、及び共通電極層125が形成される。

【0040】

遮光層122は、第1及び第2光 $L_1$ 、 $L_2$ を遮断させる。具体的に、遮光層122は、ソース配線 $DL$ 、第1及び第2ゲート配線 $GL_t$ 、 $GL_r$ 、ならびに第1及び第2スイッチング素子 $TFT_t$ 、 $TFT_r$ に対応する領域に形成される。又、遮光層122は、透過部 $P_t$ と反射部 $P_r$ との境界に対応する領域に形成される。

【0041】

カラーフィルター層123は画素部 $P$ に対応して形成され、レッド、グリーン、及びブルーフィルターパターンを含む。図示していないが、カラーフィルター層123は、反射部 $P_r$ の一定領域に対応してライトホール(Light Hole)が形成される。ライトホールは、第1光をそのまま透過させることにより、透過光と反射光の輝度差を補償する。

【0042】

オーバーコーティング層124はカラーフィルター層123上に形成され、カラーフィルター層123を保護して、第2ベース基板121を平坦化させる。

【0043】

共通電極層125は、下部基板110に形成された透明電極 $TE$ 及び反射電極 $RE$ に対向する共通電極であって、画素部 $P$ の第1及び第2液晶キャパシタ $CLC_t$ 、 $CLC_r$ を画定する。共通電極層125は、上部基板120の全面又は実質的に全面に形成することができる。

【0044】

液晶層130は $VA$ (Vertical Alignment)モードであって、透明電極 $TE$ 及び反射電極 $RE$ と共通電極層125との間に等電位が印加される場合、垂直配向されてブラック階調を表示する。

【0045】

図6は、図3のメイン駆動部210を示す詳細なブロック図である。

【0046】

図3及び図6を参照すると、メイン駆動部210は、制御部211、メモリ213、電圧発生部215、及びソース駆動部270を含む。

【0047】

制御部211は、外部からデータ信号210aと制御信号210bの入力を受ける。制御信号210bは、水平同期信号、垂直同期信号、メインクロック信号、及びデータイネイブル信号を含む。

【0048】

制御部211は、制御信号210bに基づいて、メモリ213に対してデータ信号210aを読み書きする。制御部211は、ゲート回路部230にゲート制御信号211aを出力する。ゲート制御信号211aは、垂直開始信号 $STV$ 、第1クロック信号 $CK$ 、第2クロック信号 $CKB$ 、及びゲート電圧 $VSS$ を含む。

【0049】

制御部211は、ソース駆動部270にソース制御信号211bを出力し、メモリ213から読み出されたデータ信号211dをソース駆動部270に出力する。ソース制御信

10

20

30

40

50

号 2 1 1 b は、水平開始信号、ロード信号、及び反転信号を含む。

【 0 0 5 0 】

制御部 2 1 1 は、電圧発生部 2 1 5 にメインクロック信号及び反転信号等の制御信号 2 1 1 c を出力する。

【 0 0 5 1 】

電圧発生部 2 1 5 は、外部から印加された外部電源 2 1 0 c を利用して、駆動電圧を生成する。駆動電圧は、制御部 2 1 1 に提供されるゲート電圧 ( V S S , V D D ) 2 1 5 a 、ソース駆動部 2 7 0 に提供される基準ガンマ電圧 ( V R E F ) 2 1 5 b 、及び上部基板 1 2 0 の共通電極に印加される共通電圧 ( V C O M ) 2 1 5 c を含む。

【 0 0 5 2 】

電圧発生部 2 1 5 は、制御部 2 1 1 の制御によって、1 H ( 1 水平期間 ) のうち、第 1 ゲート配線 G L t が活性化される ( 活性状態にされる ) 第 1 期間では、第 1 共通電圧 V C O M t を第 1 液晶キャパシタ C L C t の第 1 共通電極に出力し、第 2 ゲート配線 G L r が活性化される第 2 期間では、第 2 共通電圧 V C O M r を第 2 液晶キャパシタ C L C r の第 2 共通電極に出力する。第 1 共通電極は、第 2 共通電極に電氣的に連結されることができ、第 1 及び第 2 共通電極は共通電極 1 2 5 の一部でも良い。

【 0 0 5 3 】

第 1 共通電圧 V C O M t と第 2 共通電圧 V C O M r との電圧差は、V - T 曲線のピーク電圧 T w と V - R 曲線のピーク電圧 R w との電圧差と実質的に同じである。例えば、図 1 及び図 2 を参照すると、第 1 共通電圧 V C O M t と第 2 共通電圧 V C O M r との電圧差は、V - T 曲線のピーク電圧 T w 4 . 5 V と V - R 曲線のピーク電圧 R w 2 . 5 V との電圧差である 2 V の電圧差を有する。なお、第 2 共通電圧 V C O M r は、たとえば、透過モード時のデータ電圧による液晶層の誘電率と反射モード時のデータ電圧による液晶層の誘電率とを比較して決定されることもできる。

【 0 0 5 4 】

ソース駆動部 2 7 0 は、ガンマ基準電圧 ( V R E F ) 2 1 5 b に基づいてメモリ 2 1 3 から読み出されたデータ信号 2 1 1 d をアナログのデータ電圧 ( D 1 , … , D m ) に変換し、下部基板 1 1 0 に形成されたソース配線 ( D L 1 , … , D L m ) に出力する。

【 0 0 5 5 】

図 7 は、図 3 のゲート回路部を示す詳細なブロック図である。

【 0 0 5 6 】

図 3 及び図 7 を参照すると、ゲート回路部 2 3 0 は、互いに従属的に連結された  $2n + 1$  個のステージ ( S R C 1 ~ S R C 2 n + 1 ) で構成された一つの第 1 シフトレジスタを含む。ステージ ( S R C 1 ~ S R C 2 n + 1 ) は、 $2n$  個の駆動ステージ ( S R C 1 ~ S R C 2 n ) と 1 個のダミーステージ ( S R C 2 n + 1 ) とから構成される。

【 0 0 5 7 】

各ステージ S R C ( S R C 1 ~ S R C 2 n + 1 ) は、入力端子 I N 、クロック端子 C K 、電圧端子 V S S 、制御端子 C T 、第 1 出力端子 G O U T 、及び第 2 出力端子 S O U T を含む。

【 0 0 5 8 】

クロック端子 C K には第 1 及び第 2 クロック信号 C K , C K B が印加される。第 1 クロック信号 C K は、奇数番目ステージ ( S R C 1 , S R C 3 , … , S R C 2 n + 1 ) に印加され、第 2 クロック信号 C K B は、偶数番目ステージ ( S R C 2 , S R C 4 , … , S R C 2 n ) に印加される。

【 0 0 5 9 】

奇数番目ステージ ( S R C 1 , S R C 3 , … , S R C 2 n + 1 ) の第 1 出力端子 G O U T は、第 1 クロック信号 C K に同期されたゲート信号 ( G 1 t , G 2 t , … , G n t ) を第 1 スイッチング素子 T F T t に連結された奇数番目ゲートライン ( G L 1 , G L 3 , … , G L 2 n - 1 ) に出力し、偶数番目ステージ ( S R C 2 , S R C 4 , … , S R C 2 n ) の第 1 出力端子 G O U T は、第 2 クロック信号 C K B に同期されたゲート信号 ( G 1 r ,

10

20

30

40

50

$G_{2r}, \dots, G_{nr}$ ) を第 2 スイッチング素子  $TFT_r$  に連結された偶数番目ゲートライン ( $GL_2, GL_4, \dots, GL_{2n}$ ) に出力する。

【0060】

一番目ステージ  $SRC_1$  の第 1 出力端子  $GOUT$  は、透過部  $P_t$  の第 1 ゲート配線  $GL_t$  に連結されて第 1 スイッチング素子  $TFT_t$  の駆動を制御し、二番目ステージ  $SRC_2$  の第 1 出力端子  $GOUT$  は、反射部  $P_r$  の第 2 ゲート配線  $GL_r$  に連結されて第 2 スイッチング素子  $TFT_r$  の駆動を制御する。

【0061】

好ましくは、一番目ステージ  $SRC_1$  の出力信号である第 1 ゲート信号  $G_{1t}$  は、1H 期間の初期  $H/2$  期間 (1 水平期間の前半) に出力され、二番目ステージ  $SRC_2$  の出力信号である第 2 ゲート信号  $G_{1r}$  は、後期  $H/2$  期間 (1 水平期間の後半) に又は 1H 期間 (1 水平期間) 出力される。このような方式で  $2n$  個のステージ ( $SRC_1 \sim SRC_{2n}$ ) は順次にゲート信号 ( $G_{1t}, G_{1r}, \dots, G_{nt}, G_{nr}$ ) を出力する。

10

【0062】

一方、ダミーステージ ( $SRC_{2n+1}$ ) の第 1 出力端子  $GOUT$  は、対応するゲート配線が存在しないので、フローティング状態に維持される。

【0063】

それぞれの奇数番目ステージ ( $SRC_1, SRC_3, \dots, SRC_{2n+1}$ ) の第 2 出力端子  $SOUT$  は、第 1 クロック信号  $CK$  をステージ駆動信号として出力し、それぞれの偶数番目ステージ ( $SRC_2, SRC_4, \dots, SRC_{2n}$ ) の第 2 出力端子  $SOUT$  は第 2 クロック信号  $CKB$  をステージ駆動信号として出力する。

20

【0064】

各ステージ ( $SRC_1 \sim SRC_{2n+1}$ ) の入力端子  $IN$  には、前のステージの第 2 出力端子  $SOUT$  から出力されたステージ駆動信号が印加され、制御端子  $CT$  には次のステージの第 2 出力端子  $SOUT$  から出力されたステージ駆動信号が印加される。

【0065】

ここで、一番目ステージ  $SRC_1$  の前のステージは存在しないので、一番目ステージ  $SRC_1$  の入力端子  $IN$  には、垂直開始信号  $STV$  が印加される。又、ダミーステージ ( $SRC_{2n+1}$ ) の次のステージは存在しないので、ダミーステージ ( $SRC_{2n+1}$ ) の制御端子  $CT$  には、垂直開始信号  $STV$  が印加される。

30

【0066】

一方、各ステージ ( $SRC_1 \sim SRC_{2n+1}$ ) は、ゲートオフ電圧  $VSS$  が印加される電圧端子を更に含む。

【0067】

図 8 は、図 6 に図示されたソース駆動部を示すブロック図である。

【0068】

図 6 及び図 8 を参照すると、ソース駆動部 270 は、サンプリングラッチ部 271、レベルシフタ部 272、ホールディングラッチ部 273、DAC 部 274、及び出力バッファ部 275 を含む。

【0069】

サンプリングラッチ部 271 は、複数のサンプリングラッチ ( $Sampling\ Latch: SL$ ) を含み、制御部 211 から提供された 1H 期間に対応するデータ信号 ( $R_1, G_1, B_1, \dots, R_k, G_k, B_k$ ) を順次にラッチさせる。

40

【0070】

レベルシフタ部 272 は、複数のレベルシフタ ( $Level\ Shifter: LS$ ) を含み、サンプリングラッチ部 271 から出力されたデータ信号 ( $R_1, G_1, G_1, G_2, G_2, B_2, \dots, R_k, G_k, B_k$ ) のレベルを所定レベルにシフティングさせる。

【0071】

ホールディングラッチ部 273 は、複数のホールディングラッチ ( $Holding\ Latch: HL$ ) を含み、レベルシフタ部 272 から出力されたデータ信号を順次にラッ

50

チし、制御部 2 1 1 から提供される制御信号 2 1 1 b に基づいてローディングさせる。

【 0 0 7 2 】

D A C 部 2 7 4 は、複数のデジタル - アナログ変換器 ( D i g i t a l A n a l o g C o n v e r t e r : D A C ) を含み、基準ガンマ電圧 V R E F を利用して、ホールディングラッチ部 2 7 2 からローディングされたデータ信号をアナログ形態のデータ電圧に変換して出力する。

【 0 0 7 3 】

出力バッファ部 2 7 5 は、複数の増幅器 ( A m p l i f i e r : A ) を含み、D A C 部 2 7 4 から出力されたデータ電圧を所定レベルに増幅して、ソース配線 ( D L 1 , D L 2 , D L 3 , … , D L m - 2 , D L m - 1 , D L m ) に出力する。

10

【 0 0 7 4 】

図 9 は、図 8 に図示されたソース駆動部による液晶表示装置の駆動方法を説明するためのタイミング図である。

【 0 0 7 5 】

図 1 乃至図 9 を参照すると、ソース駆動部 2 7 0 は、1 H 期間では、制御部 2 1 1 から提供された水平ラインのデータ信号をアナログ形態のデータ電圧に変換してソース配線 ( D L 1 , … , D L m ) に出力する ( D A T A \_ 0 ) 。好ましくは、ソース駆動部 2 7 0 は、ライン反転方式で 1 H を周期にデータ信号を反転してソース配線 ( D L 1 , … , D L m ) に出力する。

【 0 0 7 6 】

具体的に、ソース駆動部 2 7 0 は、一番目水平ラインのデータ電圧 ( 1 L \_ 0 ) を出力し、ゲート回路部 2 3 0 は、1 H 期間のうち、初期 H / 2 の間、一番目水平ラインに対応する第 1 ゲート信号 G 1 t を出力し、電圧発生部 2 1 5 は第 1 共通電圧 V C O M t を上部基板の共通電極に出力する。

20

【 0 0 7 7 】

これによって、透過部 P t の第 1 スイッチング素子 T F T t は、第 1 ゲート信号 G 1 t によってターンオンされ、ソース配線 D L に伝達されるデータ電圧に対応する電圧を第 1 液晶キャパシタ C L C t の第 1 電極である透明電極 T E に印加する。第 1 液晶キャパシタ C L C t の第 2 電極である共通電極には第 1 共通電圧 V C O M t が印加される。

【 0 0 7 8 】

これによって第 1 液晶キャパシタ C L C t には、透明電極 T E と共通電極との電位差に対応する第 1 画素電圧 V P t が充電される。

30

【 0 0 7 9 】

次に、ソース駆動部 2 7 0 は、1 H 期間の後期 H / 2 期間では、一番目水平ラインのデータ電圧 ( 1 L \_ 0 ) を継続出力し、ゲート回路部 2 3 0 は、一番目水平ラインに対応する第 2 ゲート信号 G 1 r を出力し、電圧発生部 2 1 5 は第 2 共通電圧 V C O M r を上部基板の共通電極に出力する。

【 0 0 8 0 】

即ち、後期 H / 2 期間では、透過部 P t の第 1 スイッチング素子 T F T t はターンオフされ、反射部 P r の第 2 スイッチング素子 T F T r がターンオンされる。

40

【 0 0 8 1 】

これによって、反射部 P r の第 2 スイッチング素子 T F T r は、第 2 ゲート信号 G 1 r によってターンオンされ、ソース配線 D L に伝達されるデータ電圧に対応する電圧を第 2 液晶キャパシタ C L C r の第 1 電極である反射電極 R E に印加する。第 2 液晶キャパシタ C L C r の第 2 電極である共通電極には第 2 共通電圧 V C O M r が印加される。

【 0 0 8 2 】

これによって、第 2 液晶キャパシタ C L C r は、反射電極 R E と共通電極との電位差に対応する第 2 画素電圧 V P r が充電される。

【 0 0 8 3 】

図示されたように、第 1 液晶キャパシタ C L C t に充電された第 1 画素電圧 V P t と、

50

第2液晶キャパシタ $C_{LCr}$ に充電された第2画素電極 $V_{Pr}$ とは互いに異なる。第1共通電圧 $V_{COMt}$ と第2共通電圧 $V_{COMr}$ とは、図1及び図2を参照する場合、 $V-T$ 曲線のピーク電圧 $T_w$ と $V-R$ 曲線のピーク電圧 $R_w$ との電圧差と実質的に同じ電圧差を有する。

【0084】

例えば、 $V-T$ 曲線のピーク電圧 $T_w$ が4.5Vで、 $V-R$ 曲線のピーク電圧 $R_w$ が2.5Vである場合、第1共通電圧 $V_{COMt}$ と第2共通電圧 $V_{COMr}$ との電圧差( $V$ )は2Vである。具体的に、液晶層がVAモードである場合、透過部 $P_t$ の第1液晶キャパシタ $C_{LCt}$ に印加される第1共通電圧 $V_{COMt}$ の絶対値は、反射部 $P_r$ の第2液晶キャパシタ $C_{LCr}$ に印加される第2共通電圧 $V_{COMr}$ の絶対値よりも前記電圧差( $V$ )だけ大きい。

10

【0085】

なお、上記の実施の形態では、初期 $H/2$ 期間では第1ゲートライン $GL_{1t}$ に連結された第1スイッチング素子 $TFT_t$ をターンオンさせて透過部 $P_t$ を駆動させ、後期 $H/2$ 期間では第1スイッチング素子 $TFT_t$ をターンオフさせる一方で第2ゲートライン $GL_{1r}$ に連結された第2スイッチング素子 $TFT_r$ をターンオンさせて、反射部 $P_r$ を駆動させることを例として挙げた。

【0086】

しかし、点線で図示された第2ゲート信号( $G_{1r}$ ,  $G_{2r}$ )のように、初期 $H/2$ 期間に第1及び第2スイッチング素子( $TFT_t$ ,  $TFT_r$ )を同時にターンオンさせて、透過部 $P_t$ 及び反射部 $P_r$ を駆動させた後、後期 $H/2$ 期間に第1スイッチング素子 $TFT_r$ をターンオフさせて反射部 $P_r$ のみを駆動させることもできる。すなわち、第1スイッチング素子 $TFT_t$ は初期 $H/2$ 期間に活性化され、第2スイッチング素子 $TFT_r$ は1H期間を通して活性化されることができる。

20

【0087】

図10は、図6に図示されたソース駆動部の変形例を示すブロック図である。

【0088】

図6及び図10を参照すると、ソース駆動部370は、サンプリングラッチ部371、レベルシフタ部372、ホールディングラッチ部373、MUX部374、DAC部375、及びDEMUX部376を含む。サンプリングラッチ部371、レベルシフタ部372、及びホールディングラッチ部373は、図8で説明したことと同じなので、詳細な説明は省略する。

30

【0089】

MUX部374は、ホールディングラッチ部373から出力されるデータ信号を複数のグループにグループ化して、それぞれのグループに含まれたデータ信号の出力を制御する。

【0090】

具体的に、図示されたように、ホールディングラッチ部373から出力されるデータ信号( $R_1$ ,  $G_1$ ,  $B_1$ , ...,  $R_k$ ,  $G_k$ ,  $B_k$ )をレッドデータグループ、グリーンデータグループ、及びブルーデータグループにグループ化して、各グループ内のレッド、グリーン、及びブルーデータ信号の出力を制御する。

40

【0091】

まず、レッドデータ信号( $R_1$ , ...,  $R_k$ )をDAC部375に出力し、その後、グリーンデータ信号( $G_1$ , ...,  $G_k$ )をDAC部375に出力し、その後、ブルーデータ信号( $B_1$ , ...,  $B_k$ )をDAC部375に出力する。DAC部375の数は、図8に対して1/3に減少することになる。

【0092】

DAC部375は、レッドデータ信号( $R_1$ , ...,  $R_k$ )を先にアナログ形態のデータ電圧に変換して、DEMUX部376に出力する。DEMUX部376は、入力されたレッドデータ電圧を第1出力端と連結されたソース配線( $DL_1$ ,  $DL_4$ , ...,  $DL_{m-2}$

50

)に出力する。

【0093】

その後、DAC部375は、グリーンデータ信号( $G_1, \dots, G_k$ )をアナログ形態のデータ電圧に変換して、DEMUX部376に出力する。DEMUX部376は、入力されたグリーンデータ電圧を第2出力端と連結されたソース配線( $DL_2, DL_5, \dots, DL_{m-1}$ )に出力する。

【0094】

同様な方式で、ブルーデータ信号( $B_1, \dots, B_k$ )は、DAC部375を経てDEMUX部376の第3出力端と連結されたソース配線( $DL_3, DL_7, \dots, DL_m$ )に出力される。

10

【0095】

結果的に、ソース配線( $DL_1, DL_2, \dots, DL_m$ )に出力されるデータ電圧は、ソース駆動部370の出力方式に対応して、まず、レッドデータ電圧が該当するソース配線( $DL_1, \dots, DL_{m-2}$ )に出力され、次に、グリーンデータ電圧が該当するソース配線( $DL_2, \dots, DL_{m-1}$ )に出力され、その後、ブルーデータ電圧がソース配線( $DL_3, \dots, DL_m$ )に出力される。

【0096】

図11は、図10のソース駆動部による液晶表示装置の駆動方法を説明するためのタイミング図である。

【0097】

図1、図6、図7、図10、及び図11を参照すると、ソース駆動部370は、1H期間では、制御部211から提供された水平ラインのデータ信号をアナログ形態のデータ電圧に変換して、ソース配線( $DL_1, \dots, DL_m$ )に出力する(DATA<sub>0</sub>)。好ましくは、ソース駆動部370は、ライン反転方式で1Hを周期にデータ信号を反転して、ソース配線( $DL_1, \dots, DL_m$ )に出力する。

20

【0098】

具体的に、ソース駆動部370は、一番目水平ラインのデータ電圧( $1L_0$ )を出力し、ゲート回路部230は、一番目水平ラインに対応する第1ゲート信号 $G_{1t}$ を出力し、電圧発生部215は、第1共通電圧 $V_{COMt}$ を上部基板の共通電極に出力する。この際、ソース駆動部370は、一番目水平ラインのデータ電圧( $1L_0$ )を $3 \times 1MUX$ 方式によってレッドデータ電圧、グリーンデータ電圧、及びブルーデータ電圧の順にグループ化して出力する。

30

【0099】

透過部 $P_t$ の第1スイッチング素子 $TFT_t$ は、第1ゲート信号 $G_{1t}$ によってターンオンされ、ソース配線 $DL$ に伝達されるデータ電圧に対応する電圧を第1液晶キャパシタ $CLC_t$ の第1電極である透明電極 $TE$ に伝達する。第1液晶キャパシタ $CLC_t$ の第2電極である共通電極には、第1共通電圧 $V_{COMt}$ が伝達される。

【0100】

これによって、第1液晶キャパシタ $CLC_t$ には、透明電極 $TE$ と共通電極との電位差に対応する第1画素電圧 $V_{Pt}$ が充電される。

40

【0101】

その後、ソース駆動部370は、1H期間の後期 $H/2$ 期間の間継続して一番目水平ラインのデータ電圧( $1L_0$ )を出力し、ゲート回路部230は、一番目水平ラインに対応する第2ゲート信号 $G_{1r}$ を出力し、電圧発生部215は第2共通電圧 $V_{COMr}$ を上部基板の共通電極に出力する。

【0102】

即ち、後期 $H/2$ 期間では透過部 $P_t$ の第1スイッチング素子 $TFT_t$ はターンオフされ、反射部 $P_r$ の第2スイッチング素子 $TFT_r$ がターンオンされる。

【0103】

これによって、反射部 $P_r$ の第2スイッチング素子 $TFT_r$ は、第2ゲート信号 $G_{1r}$

50

によってターンオンされ、ソース配線DLに伝達されるデータ電圧に対応する電圧を第2液晶キャパシタCLCrの第1電極である反射電極REに伝達する。第2液晶キャパシタCLCrの第2電極である共通電極には、第2共通電圧VCOMrが伝達される。

【0104】

これによって第2液晶キャパシタCLCrには、反射電極REと共通電極との電位差に対応する第2画素電圧VPrが充電される。

【0105】

図示されたように、第1液晶キャパシタCLCtに充電された第1画素電圧VPtと、第2液晶キャパシタCLCrに充電された第2画素電圧VPrとは互いに異なる。第1共通電圧VCOMtと第2共通電圧VCOMrとは、図1及び図2に図示されたV-T曲線のピーク電圧TwとV-R曲線のピーク電圧Rwとの電圧差と実質的に同じ電圧差を有する。

10

【0106】

例えば、V-T曲線のピーク電圧Twが4.5Vで、V-R曲線のピーク電圧Rwが2.5Vである場合、第1共通電圧VCOMtと第2共通電圧VCOMrとの電圧差(V)は2Vである。液晶層がVAモードである場合、透過部Ptの第1液晶キャパシタCLCtに印加される第1共通電圧VCOMtの絶対値は反射部Prの第2液晶キャパシタCLCrに印加される第2共通電圧VCOMrの絶対値よりも大きい。

【0107】

なお、上記の実施の形態では、初期H/2期間では第1ゲートラインGL1tに連結された第1スイッチング素子TF T tをターンオンさせて透過部Ptを駆動させ、後期H/2期間では第1スイッチング素子TF T tをターンオフさせる一方で第2ゲートラインGL1rに連結された第2スイッチング素子TF T rをターンオンさせ、反射部Prを駆動させることを例として挙げた。

20

【0108】

しかし、点線で図示された第2及び第4ゲート信号(G1r, G2r)のように、初期H/2期間では、第1及び第2スイッチング素子(TF T t, TF T r)を同時にターンオンさせて透過部Pt及び反射部Prを駆動させた後、後期H/2期間では、第1スイッチング素子TF T rをターンオフさせ、第2スイッチング素子TF T rのみをターンオンさせて、反射部Prのみを駆動させることもできる。

30

【0109】

図12は、VAモードのV-T曲線及びV-R曲線を示すグラフである。図13は、本発明の実施の形態によるVAモードのV-T曲線及びV-R曲線を示すグラフである。

【0110】

図12は、VAモードで同じ共通電圧が印加された場合のV-T曲線及びV-R曲線を示すグラフである。

【0111】

図12を参照すると、既存VAモードのV-T曲線は、ほぼ1.5V以上では漸次に透過率が増加して、ほぼ4.5V以上では透過率が最高値を維持する。反面、既存V-R曲線は、ほぼ1.5V乃至2.5V範囲内では漸次に反射率が増加して、ほぼ2.5Vよりも大きい電圧では漸次に反射率が低下するという特性を有する。

40

【0112】

これによって、既存のV-T曲線とV-R曲線とを合わせたガンマ曲線は、V-R曲線によって2.5V以前では漸次に強度が増加し、ほぼ2.5Vからは強度が低下するという特性を有する。従って、所望するホワイト階調の画像を得ることができない。

【0113】

図13は、本発明の一実施の形態によるVAモードで、V-T曲線及びV-R曲線を示すグラフである。

【0114】

図13を参照すると、本発明の一実施の形態によるV-T曲線はほぼ1.5Vから漸次

50

に透過率が増加して、ほぼ4.5V以上では透過率が最高値を維持する。一方、実施の形態によって改善されたV-R曲線はほぼ2Vから漸次に反射率が増加して、ほぼ3.5V以上では反射率が最高値を維持する。

【0115】

これによって、実施の形態によるV-T曲線とV-R曲線とを合わせたガンマ曲線は、ほぼ2V以上から漸次に強度が増加して、ほぼ4V以上では最高値の強度を維持する。従って、所望するホワイト階調の画像を得ることができる。

【0116】

図14は、本発明の他の実施の形態による液晶表示装置の概略的な平面図である。

【0117】

図14を参照すると、液晶表示装置は、液晶表示パネル500、駆動装置600、及びフレキシブル印刷回路基板700を含む。

【0118】

液晶表示パネル500は、下部基板510、上部基板520、及び下部基板510と上部基板520との間に介在された液晶層(図示せず)を含み、液晶層は、下部基板510と上部基板520との間に等電位が形成される場合、垂直配向されるVAモードが好ましい。

【0119】

液晶表示パネル500は、表示領域DA及び表示領域DAを取り囲む周辺領域PAから構成される。表示領域DAには、m個のソース配線(DL1, ..., DLm)及びソース配線(DL1, ..., DLm)と交差する2n個のゲート配線(GL1, ..., GL2n)が形成される。表示領域DAには、ソース配線(DL1, ..., DLm)とゲート配線(GL1, ..., GL2n)とによってm×n個の画素部Pが画定される。ここで、n、mは自然数である。

【0120】

各画素部Pは、1つのソース配線DLと2つの第1及び第2ゲート配線(GLt, GLr)とによって画定される第1光を透過する透過部Ptと第2光を反射する反射部Prとを有する。透過部Ptと反射部Prの液晶層のセルギャップは、互いに同じ単一セルギャップを有する。

【0121】

透過部Ptは、ソース配線DL及び第1ゲート配線GLtに連結された第1スイッチング素子TF Ttと、第1スイッチング素子TF Ttに連結された第1液晶キャパシタCL Ct及び第1ストレージキャパシタCST tとを含む。第1スイッチング素子TF Ttは、ソース配線DLに連結されたソース電極、第1ゲート配線GLtに連結されたゲート電極、及び第1液晶キャパシタCL Ctに連結されたドレイン電極を含む。

【0122】

反射部Prは、ソース配線DL及び第2ゲート配線GLrに連結された第2スイッチング素子TF Trと、第2スイッチング素子TF Trに連結された分割キャパシタCcと、分割キャパシタCcと直列に連結された第2液晶キャパシタCL Cr及びスイッチング素子TF Trに連結された第2ストレージキャパシタCST rとを含む。第1及び第2液晶キャパシタ(CL Ct, CL Cr)のそれぞれの共通電極は一体に形成され、第1及び第2ストレージキャパシタ(CST t, CST r)のそれぞれの共通電極は共通に連結される。第2スイッチング素子TF Trは、ソース配線DLに連結されたソース電極、第2ゲート配線GLrに連結されたゲート電極、及び分割キャパシタCcを介して第2液晶キャパシタCL Crに連結されたドレイン電極を含む。

【0123】

画素部Pの駆動方式を見ると、第1ゲート配線GLtが活性化されることにより、第1スイッチング素子TF Ttがターンオンされ、ソース配線DLから伝達されたデータ電圧VDが第1液晶キャパシタCL Ctの第1電極(例えば、透明電極)に印加される。一方、第1液晶キャパシタCL Ctの第2電極である共通電極には共通電圧VCOMが印加さ

10

20

30

40

50

れる。これによって、透過部 P t の第 1 液晶キャパシタ C L C t には、データ電圧 V D と共通電圧 V C O M に対応する第 1 画素電圧 V P t が充電される。

【 0 1 2 4 】

その後、第 1 ゲート配線 G L t が非活性化され（非活性状態にされ）、第 1 スイッチング素子 T F T t をターンオフさせた状態で、第 2 ゲート配線 G L r が活性化され、第 2 スイッチング素子 T F T 2 をターンオンさせる。第 2 スイッチング素子 T F T r がターンオンされることにより、ソース配線 D L から伝達されたデータ電圧 V D は、分割キャパシタ C c を介して第 2 液晶キャパシタ C L C r の第 1 電極（例えば、反射電極）に印加される。第 2 液晶キャパシタ C L C r の第 2 電極である共通電極には、共通電圧 V C O M が印加される。

10

【 0 1 2 5 】

一方、第 2 液晶キャパシタ C L C r と直列に連結された分割キャパシタ C c には、データ電圧 V D の一部電圧 V D 1 が充電され、これによって、実質的に第 2 液晶キャパシタ C L C r には、一部電圧 V D 1 を除いた残りのデータ電圧 V D 2 が印加されて、第 1 画素電圧 V P t よりも小さい第 2 画素電圧 V P r が充電される。

【 0 1 2 6 】

即ち、分割キャパシタ C c のキャパシタンスを調節して、V - T 曲線のホワイト階調電圧 V T w とブラック階調電圧 V T b との間の差 ( V T w - V T b ) と V - R 曲線のホワイト階調電圧 V R w とブラック階調電圧 V R b との間の差 ( V R w - V R b ) とを実質的に同じにする。

20

【 0 1 2 7 】

このように調節された V - T 曲線と V - R 曲線との間のオフセット値は、第 1 及び第 2 液晶キャパシタ ( C L C t , C L C r ) の共通電極に印加される共通電圧 V C O M を変動させて補償する。

【 0 1 2 8 】

第 1 及び第 2 ストレージキャパシタ ( C S T t , C S T r ) の第 1 及び第 2 共通電極にも、第 1 及び第 2 共通電圧 ( V C O M t , V C O M r ) と同じ方式で第 1 及び第 2 共通電圧 ( V S T G t , V S T G r ) がそれぞれ印加される。液晶キャパシタの共通電圧 V C O M とストレージキャパシタの共通電圧 V S T G とは実質的に同じである。

【 0 1 2 9 】

即ち、透過部 P t の第 1 スイッチング素子 T F T t が駆動されるときには、第 1 ストレージキャパシタ C S T t に第 1 共通電圧 ( V S T G t = V C O M t ) が印加され、反射部 P r の第 2 スイッチング素子 T F T r が駆動されるときには、第 2 ストレージキャパシタ C S T r に第 2 共通電圧 ( V S T G r = V C O M r ) が印加される。

30

【 0 1 3 0 】

駆動装置 6 0 0 は、メイン駆動部 6 1 0 及びゲート回路部 6 3 0 を含む。

【 0 1 3 1 】

メイン駆動部 6 1 0 は、周辺領域 P A に実装される単一チップであって、フレキシブル印刷回路基板 7 0 0 から伝達された制御信号及びデータ信号を利用して、画素部 P を駆動させる駆動信号を出力する。メイン駆動部 6 1 0 は、下部基板 5 1 0 上に配置されること

40

【 0 1 3 2 】

ゲート回路部 6 3 0 は周辺領域 P A に集積されるか、別のチップ形態に実装される。ゲート回路部 6 3 0 は、メイン駆動部 2 1 0 から提供される駆動信号に基づいて、ゲート配線 ( G L 1 , … , G L 2 n ) にゲート信号 ( G 1 t , G 1 r , … , G n t , G n r ) を出力する。各画素部 P に印加される第 1 及び第 2 ゲート信号 ( G 1 t , G 1 r ) は、1 H 期間 ( 1 水平期間 ) の間に出力される。前記 1 H は 1 つのフレームであるか、1 つのフレームの一部として有効に画像が表示される期間でも良い。

【 0 1 3 3 】

図 1 5 は、図 1 4 に図示されたメイン駆動部を示す詳細なブロック図である。

50

## 【0134】

図14及び図15を参照すると、メイン駆動部610は、制御部611、メモリ613、電圧発生部615、及びソース駆動部670を含む。

## 【0135】

制御部611は、外部からデータ信号610a及び制御信号610bの入力を受ける。制御信号610bは、水平同期信号、垂直同期信号、メインクロック信号、及びデータイネイブル信号を含む。

## 【0136】

制御部611は、制御信号610bに基づいて、メモリ615に対してデータ信号610aを読み書きする。制御部611は、ゲート回路部630にゲート制御信号611aを出力する。ゲート制御信号611aは、垂直開始信号STV、第1クロック信号CK、第2クロック信号CKB、及びゲート電圧VSSを含む。

10

## 【0137】

制御部611は、ソース駆動部670にソース制御信号611bを出力し、メモリ613から読み出されたデータ信号611dをソース駆動部670に出力する。ソース制御信号611bは、水平開始信号、ロード信号、及び反転信号を含む。

## 【0138】

制御部611は、電圧発生部615にメインクロック信号及び反転信号等の制御信号611cを出力する。

## 【0139】

電圧発生部615は、外部から印加された外部電源610cを利用して駆動電圧を生成する。駆動電圧は、制御部611に提供されるゲート電圧(VSS, VDD)615aと、ソース駆動部670に提供される基準ガンマ電圧VREF615bと、上部基板620の共通電極に印加される共通電圧(VCOMt, VCOMr)及び下部基板610のストレージ共通電極に印加される共通電圧(VSTGt, VSTGr)615cとを含む。

20

## 【0140】

電圧発生部615は、制御部611の制御によって、1H期間のうち、第1ゲート配線GLtが活性化される第1期間では、第1共通電圧VCOMtを第1液晶キャパシタCLCtの第1共通電極に出力し、第2ゲート配線GLrが活性化される第2期間では、第2共通電圧VCOMrを第2液晶キャパシタCLCrの第2共通電極に出力する。

30

## 【0141】

電圧発生部615は、第1及び第2ストレージキャパシタ(CSTt, CSTr)の第1及び第2共通電極にも第1及び第2共通電圧(VCOMt, VCOMr)と同じ方式で第1及び第2共通電圧(VSTGt, VSTGr)をそれぞれ印加する。

## 【0142】

第2共通電圧VCOMrは、透過モードのデータ電圧と反射モードのデータ電圧との間のオフセット値を補償するための電圧であって、実験によって既に設定された値である。即ち、第2共通電圧VCOMrは、透過モード時のデータ電圧による液晶層の誘電率と反射モード時のデータ電圧による液晶層の誘電率とを比較して得られた値である。

## 【0143】

ソース駆動部670は、ガンマ基準電圧VREF615bに基づいてメモリ613から読み出されたデータ信号611dをアナログのデータ電圧(D1, ..., Dm)に変換して、ソース配線(DL1, ..., DLm)に出力する。

40

## 【0144】

図16は、図14に図示された液晶表示装置の駆動方法を説明するためのタイミング図である。

## 【0145】

図14乃至図16を参照すると、ソース駆動部670は、1H期間では、制御部611から提供された水平ラインのデータ信号をアナログ形態のデータ電圧に変換してソース配線(DL1, ..., DLm)に出力する(DATA\_0)。好ましくは、ソース駆動部67

50

0 は、ライン反転方式で 1 H 周期にデータ信号を反転してソース配線 (DL1, ..., DLm) に出力する。

【0146】

具体的に、ソース駆動部 670 は、一番目水平ラインのデータ電圧 (1L<sub>0</sub>) を出力する。1 H 期間のうち初期 H / 2 期間では、ゲート回路部 630 は、一番目水平ラインに対応する第 1 ゲート信号 G1t を出力し、電圧発生部 615 は、第 1 共通電圧 VCOMt を上部基板の共通電極に出力する。電圧発生部 615 は、第 1 共通電圧 VCOMt と同じ電位の第 3 共通電圧 VSTGt を下部基板のストレージ共通電極に出力する。この際、ソース駆動部 670 は、一番目水平ラインのデータ電圧 (1L<sub>0</sub>) を 3 × 1 MUX 方式によってレッドデータ電圧、グリーンデータ電圧、及びブルーデータ電圧の順にグループ化して出力する。

10

【0147】

透過部 Pt の第 1 スイッチング素子 TFTt は、第 1 ゲート信号 G1t によってターンオンされ、ソース配線 DL に伝達されるデータ電圧を第 1 液晶キャパシタ CLCt の第 1 電極である透明電極 TE に伝達する。第 1 液晶キャパシタ CLCt の第 2 電極である共通電極には、第 1 共通電圧 VCOMt が伝達される。

【0148】

これによって、透過部 Pt の第 1 液晶キャパシタ CLCt に充電される画素電圧 VDP、即ち、データ電圧 VD と第 1 共通電圧 VCOMt との電位差に対応する第 1 画素電圧 VPt が充電される。

20

【0149】

その後、1 H 期間の後期 H / 2 期間では、ソース駆動部 670 は、一番目水平ラインのデータ電圧 (1L<sub>0</sub>) を継続して出力し、ゲート回路部 630 は一番目水平ラインに対応する第 2 ゲート信号 G1r を出力し、電圧発生部 615 は第 2 共通電圧 VCOMr を上部基板の共通電極に出力する。電圧発生部 615 は、第 2 共通電圧 VCOMr と同じ電位の第 4 共通電圧 VSTGr を下部基板のストレージ共通電極に出力する。

【0150】

即ち、後期 H / 2 期間では透過部 Pt の第 1 スイッチング素子 TFTt はターンオフされ、反射部 Pr の第 2 スイッチング素子 TFTr がターンオンされる。

【0151】

これによって、反射部 Pr の第 2 スイッチング素子 TFTr は、第 2 ゲート信号 G1r によってターンオンされ、ソース配線 DL に伝達されるデータ電圧は、第 2 液晶キャパシタ CLCr に直列に連結された分割キャパシタ Cc に伝達される。分割キャパシタ Cc には、データ電圧の一部データ電圧 VD1 が充電され、残りのデータ電圧 VD2 が第 2 液晶キャパシタ CLCr に充電される。一方、第 2 液晶キャパシタ CLCr の第 2 電極である共通電極には、第 2 共通電圧 VCOMr が印加される。

30

【0152】

これによって、反射部 Pr の第 2 液晶キャパシタ CLCr に充電される画素電圧 VDP は、残りのデータ電圧 VD2 と第 2 共通電圧 VCOMr との電位差に対応する第 2 画素電圧 VPr が充電される。第 2 画素電圧 VPr は、分割キャパシタ Cc によって第 1 画素電圧 VPt が分割されたものであり、第 1 画素電圧 VPt よりも低い電圧が充電される。

40

【0153】

又、透過部 Pt が駆動される間に第 1 液晶キャパシタ CLCt に印加される第 1 共通電圧 VCOMt と、反射部 Pr が駆動される間に第 2 液晶キャパシタ CLCr に印加される第 2 共通電圧 VCOMr との間の電圧差 (V) によって、分割キャパシタ Cc によって調節された V - T 曲線と V - R 曲線との間のオフセット値が補償される。

【0154】

結果的に、分割キャパシタ Cc 及び共通電圧 VCOM が調節されることによって、V - T 曲線と V - R 曲線とは実質的に一致される。

【0155】

50

図17は、本発明の他の実施の形態による液晶表示装置のV-T曲線及びV-R曲線を示すグラフである。

【0156】

図14及び図17を参照すると、反射部Prの第2液晶キャパシタCLCrと直列に連結された分割キャパシタCcのキャパシタンスを調節して、V-R曲線のホワイト電圧VRwとブラック電圧VRbとの差(VRw-VRb)を、V-T曲線のホワイト電圧VTwとブラック電圧VTbとの差(VTw-VTb)と実質的に同じに調整する。

【0157】

又、ホワイト電圧とブラック電圧との差が、実質的に同様に調整されたV-R曲線とV-T曲線との間のオフセット値は、透過部Ptの第1液晶キャパシタCLCtに印加される第1共通電圧VCOMt及び反射部Prの第2液晶キャパシタCLCrに印加される第2共通電圧VCOMrを調節して補償する。

10

【0158】

好ましくは、第2共通電圧VCOMrは、透過モード時のデータ電圧による液晶層の誘電率と反射モード時にデータ電圧による液晶層の誘電率とを比較して得られた値である。

【0159】

以上のとおり、本発明によると、透過部の第1液晶キャパシタに印加される第1共通電圧と反射部の第2液晶キャパシタに印加される第2共通電圧との電圧差をV-T曲線のピーク電圧とV-R曲線のピーク電圧との間の電圧差だけ変更させることにより、画質を改善することができる。

20

【0160】

本発明によると、反射部の第2液晶キャパシタと直列に連結された分割キャパシタを形成して、分割キャパシタのキャパシタンスを調節することにより、透過モードのホワイト電圧とブラック電圧との差と反射モードのホワイト電圧とブラック電圧との差を実質的に同様にすることができる。又、分割キャパシタによって調節されたV-T曲線とV-R曲線のオフセット値は、液晶キャパシタの共通電圧のレベルを調節して補償することができる。これによって、V-T曲線とV-R曲線とを実質的に一致させることにより、反射-透過型液晶表示装置の画質をさらに向上させることができる。

【0161】

以上、本発明の実施の形態によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

30

【図面の簡単な説明】

【0162】

【図1】VAモードで電圧対透過率を示すグラフである。

【図2】VAモードで電圧対反射率を示すグラフである。

【図3】本発明の一実施の形態による液晶表示装置の概略的な平面図である。

【図4】図3に図示された液晶表示パネルの平面図である。

【図5】図4のI-I'に沿った断面図である。

【図6】図3のメイン駆動部を示す詳細なブロック図である。

40

【図7】図3のゲート回路部を示す詳細なブロック図である。

【図8】図6に図示されたソース駆動部を示すブロック図である。

【図9】図8に図示されたソース駆動部による液晶表示装置の駆動方法を説明するためのタイミング図である。

【図10】図6に図示されたソース駆動部の変形例を示すブロック図である。

【図11】図10のソース駆動部による液晶表示装置の駆動方法を説明するためのタイミング図である。

【図12】VAモードを有する液晶表示装置のV-T曲線とV-R曲線を示すグラフである。

【図13】本発明の一実施の形態によるVAモードを有する液晶表示装置のV-T曲線及

50

び V - R 曲線を示すグラフである。

【図 1 4】本発明の他の実施の形態による液晶表示装置の概略的な平面図である。

【図 1 5】図 1 4 に図示されたメイン駆動部を示す詳細なブロック図である。

【図 1 6】図 1 4 に図示された液晶表示装置の駆動方法を説明するためのタイミング図である。

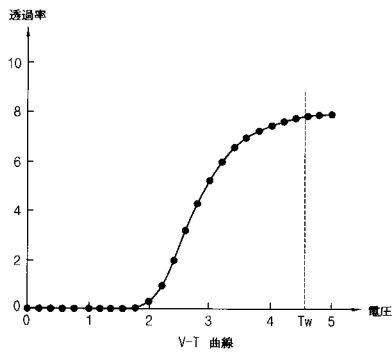
【図 1 7】本発明の他の実施の形態による液晶表示装置の V - T 曲線と V - R 曲線を示すグラフである。

【符号の説明】

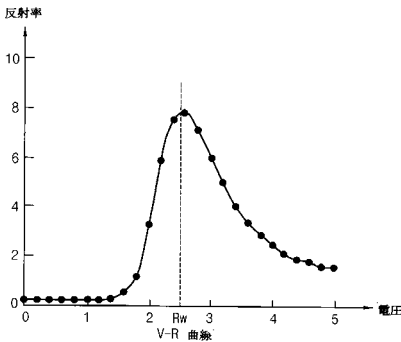
【 0 1 6 3 】

- 1 0 0 , 5 0 0      液晶表示パネル、
- 2 0 0 , 6 0 0      駆動装置、
- 2 1 0 , 6 1 0      メイン駆動部、
- 2 1 1 , 6 1 1      制御部、
- 2 1 5 , 6 1 5      電圧発生部、
- 2 3 0 , 6 3 0      ゲート回路部、
- 2 7 0 , 6 7 0      ソース駆動部、
- 3 0 0 , 7 0 0      フレキシブル印刷回路基板。

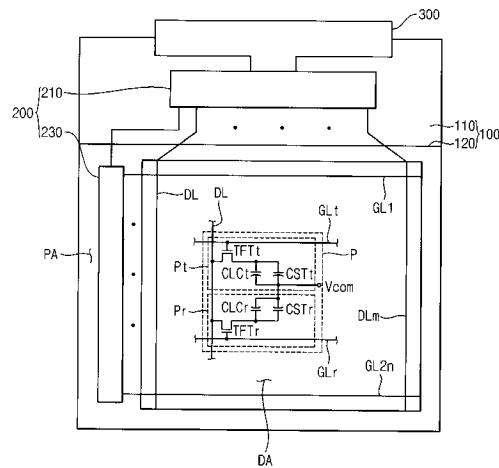
【 図 1 】



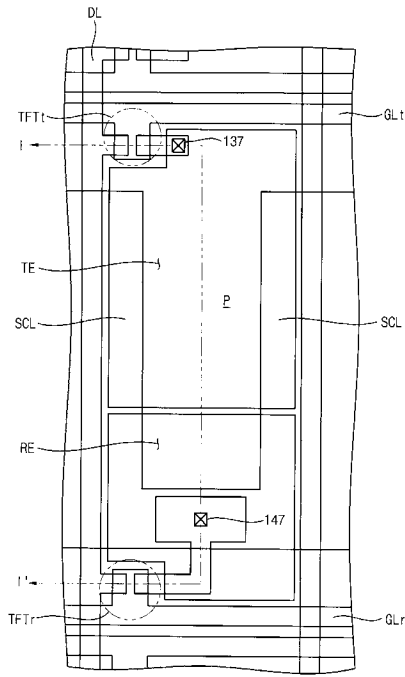
【 図 2 】



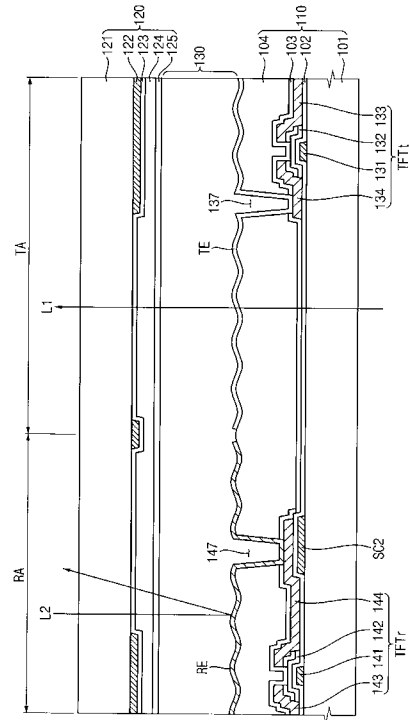
【 図 3 】



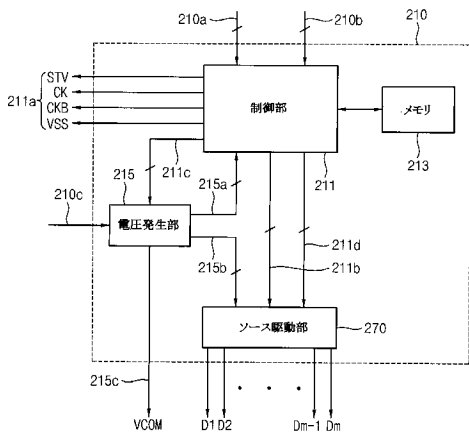
【 図 4 】



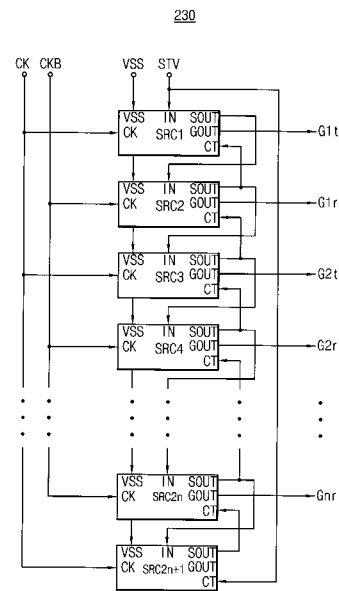
【 図 5 】



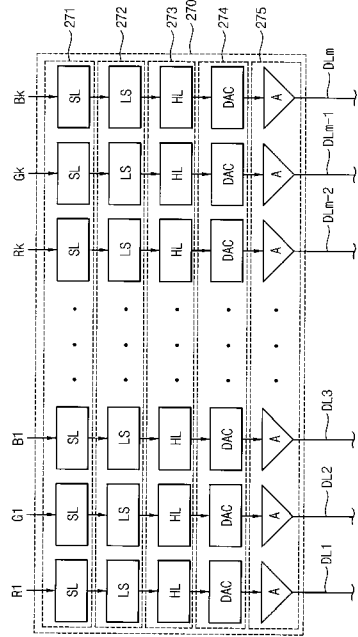
【 図 6 】



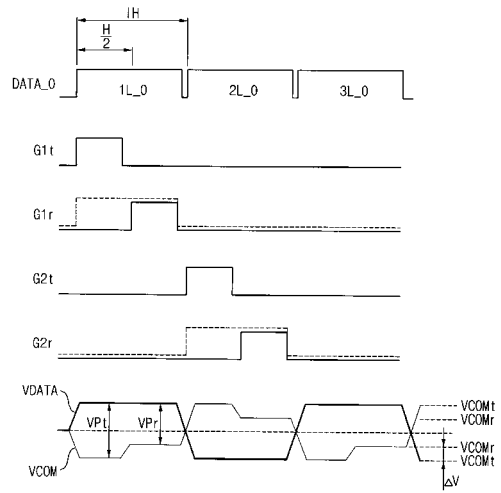
【 図 7 】



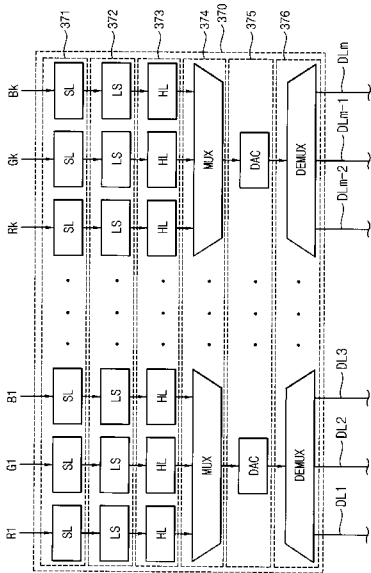
【 8 】



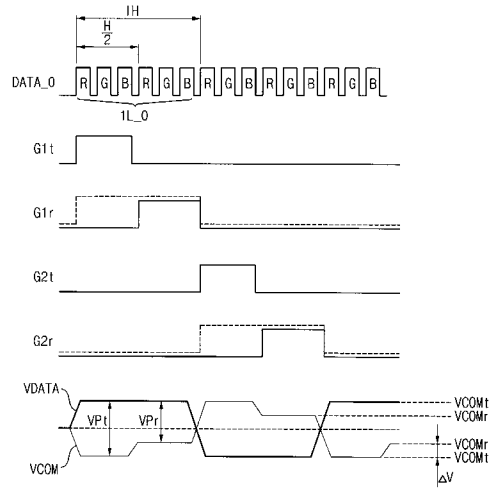
【 9 】



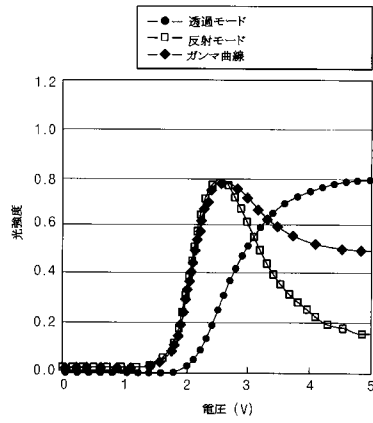
【 10 】



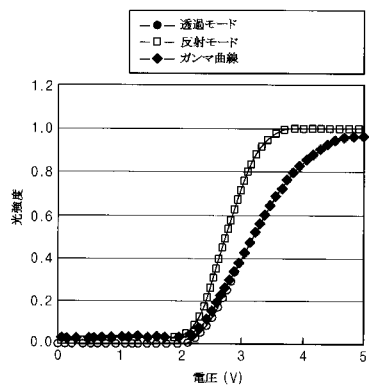
【 11 】



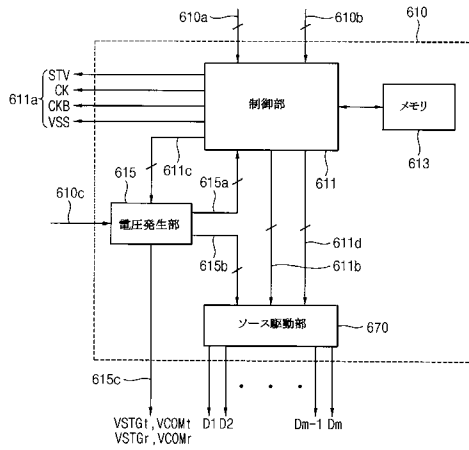
【図12】



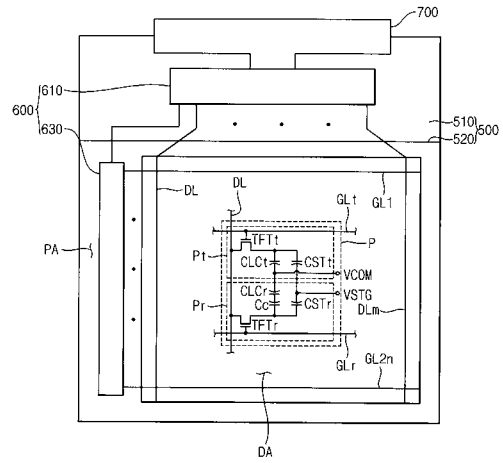
【図13】



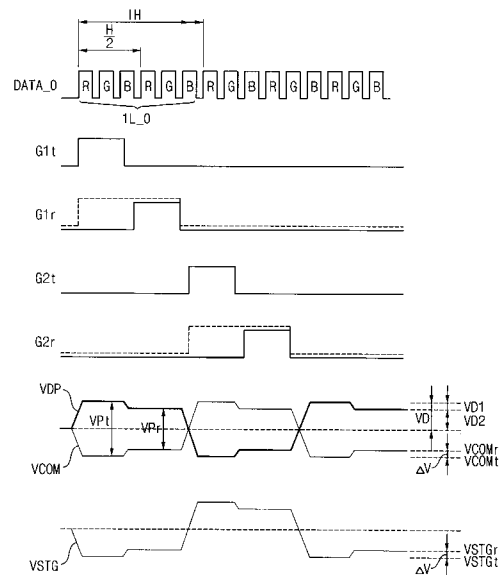
【図15】



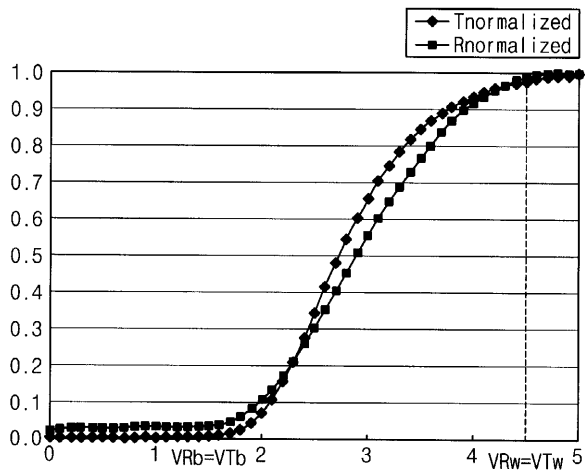
【図14】



【図16】



【 図 1 7 】



## フロントページの続き

(51) Int.Cl.	F I		テーマコード(参考)
<b>G 0 9 G 3/36 (2006.01)</b>	G 0 9 G	3/36	
<b>G 0 9 G 3/20 (2006.01)</b>	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 2 4 C
	G 0 9 G	3/20	6 2 2 C
	G 0 9 G	3/20	6 2 2 D
	G 0 9 G	3/20	6 1 1 Z

- (72)発明者 金 雄 植  
大韓民国京畿道水原市靈通区網捕洞 ヌルブルン碧山アパート 1 1 6 棟 1 7 0 4 号
- (72)発明者 朴 泰 炯  
大韓民国京畿道龍仁市豊徳川 2 洞 ソンウ現代アパートシンジョンマウル 8 0 7 棟 1 8 0 2 号
- (72)発明者 文 國 哲  
大韓民国京畿道龍仁市新鳳洞 現代アパート 4 0 4 棟 3 0 1 号
- (72)発明者 崔 弼 模  
大韓民国ソウル特別市冠岳区奉天 1 1 洞 1 6 5 1 - 3 番地 1 0 3 戸
- (72)発明者 宋 錫 天  
大韓民国京畿道水原市靈通区靈通洞 ファンゴルマウル 1 団地アパート 1 2 5 棟 1 0 2 1 号
- (72)発明者 李 相 勳  
大韓民国ソウル特別市松坡区三田洞 4 3 - 1 2 エイスビル 5 0 2 号
- (72)発明者 朴 根 佑  
大韓民国ソウル特別市江南区道谷 2 洞 開浦ハンシンアパート 5 棟 9 0 1 号
- (72)発明者 孟 昊 せき  
大韓民国ソウル特別市瑞草区方背 4 洞 方背現代アパート 1 0 6 棟 1 8 0 2 号

F ターム(参考) 2H091 FA16Y FD04 GA03 GA11 GA13 HA09 LA17  
2H092 GA50 GA60 JA26 JA46 JB08 JB42 JB56 JB69 NA01 PA06  
PA12 QA09  
2H093 NA16 NC10 NC12 NC34 NC35 ND04 NE03 NF09  
5C006 AA11 AC21 AF42 AF51 BF34 BF37 FA04 FA54 FA56  
5C080 AA10 BB05 DD01 EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶显示装置，驱动装置及其驱动方法		
公开(公告)号	<a href="#">JP2007065647A</a>	公开(公告)日	2007-03-15
申请号	JP2006222687	申请日	2006-08-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金一坤 金雄植 朴泰炯 文國哲 崔弼模 宋錫天 李相勳 朴根佑 孟昊せき		
发明人	金一坤 金雄植 朴泰炯 文國哲 崔弼模 宋錫天 李相勳 朴根佑 孟昊 ▲せき ▼		
IPC分类号	G02F1/133 G02F1/1335 G02F1/1343 G02F1/1345 G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G02F1/133555 G02F1/136213 G02F2001/134345 G09G3/2011 G09G3/3677 G09G3/3688 G09G2300/0443 G09G2300/0456 G09G2300/0876 G09G2310/02 G09G2310/027 G09G2310/0297 G09G2310/06 G09G2320/0276		
FI分类号	G02F1/133.550 G02F1/1335.520 G02F1/1343 G02F1/1345 G02F1/1368 G09G3/36 G09G3/20.624.B G09G3/20.624.C G09G3/20.622.C G09G3/20.622.D G09G3/20.611.Z		
F-TERM分类号	2H091/FA16Y 2H091/FD04 2H091/GA03 2H091/GA11 2H091/GA13 2H091/HA09 2H091/LA17 2H092/GA50 2H092/GA60 2H092/JA26 2H092/JA46 2H092/JB08 2H092/JB42 2H092/JB56 2H092/JB69 2H092/NA01 2H092/PA06 2H092/PA12 2H092/QA09 2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC35 2H093/ND04 2H093/NE03 2H093/NF09 5C006/AA11 5C006/AC21 5C006/AF42 5C006/AF51 5C006/BF34 5C006/BF37 5C006/FA04 5C006/FA54 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H191/FA02Y 2H191/FA14Y 2H191/FA34Y 2H191/FD22 2H191/FD26 2H191/GA05 2H191/GA10 2H191/GA17 2H191/GA19 2H191/HA11 2H191/LA40 2H191/NA18 2H191/NA22 2H191/NA34 2H191/NA48 2H192/AA24 2H192/BC32 2H192/BC42 2H192/BC63 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CB12 2H192/CC24 2H192/DA12 2H192/DA43 2H192/DA71 2H192/EA22 2H192/EA43 2H192/EA54 2H192/FA73 2H192/FB27 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZF22 2H193/ZF36 2H193/ZP03 2H193/ZQ08 2H291/FA02Y 2H291/FA14Y 2H291/FA34Y 2H291/FD22 2H291/FD26 2H291/GA05 2H291/GA10 2H291/GA17 2H291/GA19 2H291/HA11 2H291/LA40 2H291/NA18 2H291/NA22 2H291/NA34 2H291/NA48		
代理人(译)	宇谷 胜幸		

摘要(译)

提供了一种具有改善的图像质量的反射透射型液晶显示装置。透明部分Pt具有连接到第一栅极线GLt的第一开关元件TFTt和连接到第一开关元件TFTt的第一液晶电容器CLCt以及第二栅极线GLr。液晶显示面板100包括：多个像素部分P，每个像素部分包括第二开关元件TFTr和反射部分Pr，反射部分Pr具有连接到第二开关元件TFTr的第二液晶电容器CLCr和第一开关元件TFTt。驱动单元在导通时向第一液晶电容器CLCt施加第一公共电压，并且在第二开关元件TFTr导通时向第二液晶电容器CLCr施加第二公共电压。.. [选择图]图3

