

【特許請求の範囲】**【請求項 1】**

画素電極と、
液晶を挟んで前記画素電極と対向配置された対向電極と
を備え、
前記画素電極には、複数の貫通孔が互いに離れて設けられている、液晶ディスプレイパネル。

【請求項 2】

請求項 1 に記載の液晶ディスプレイパネルであって、
前記複数の貫通孔は、前記画素電極の端面が凹凸状になるように当該画素電極の端部に
少なくとも設けられている、液晶ディスプレイパネル。 10

【請求項 3】

請求項 1 に記載の液晶ディスプレイパネルであって、
前記複数の貫通孔は、前記画素電極の全面に渡って設けられている、液晶ディスプレイ
パネル。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一つに記載の液晶ディスプレイパネルの画素欠陥修正
方法であって、
前記画素電極に異物が付着した場合に、前記画素電極を部分的に除去して前記複数の貫
通孔のうち少なくとも 2 つの貫通孔間を連通させることによって、前記画素電極において
前記異物が付着している部分を前記画素電極から切り離す、画素欠陥修正方法。 20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶ディスプレイパネルとその画素欠陥修正方法に関する。

【背景技術】**【0002】**

液晶ディスプレイパネルでは、例えば、複数の薄膜トランジスタ（TFT）や画素電極
などが形成された TFT アレイ基板と、対向電極が形成された基板とが所定距離を成して
対向配置されており、それらの基板間には液晶が封入されている。そして、当該液晶に電
圧が印加されることにより、液晶ディスプレイパネルを透過する光の透過率が変化する。 30
このような液晶ディスプレイパネルでは、画素電極と対向電極との間に導電性異物が存在
すると、この導電性異物によって画素電極と対向電極とが電氣的に接続されることがある
。その結果、薄膜トランジスタを介して画素電極に電圧を印加すると、画素電極と対向電
極とが同電位となる。この場合には、ノーマリホワイト方式の液晶ディスプレイパネルで
は輝点欠陥が生じる。

【0003】

特許文献 1 には輝点欠陥を修正する方法が開示されている。特許文献 1 の技術では、異
物周辺の画素電極をレーザ照射によって破壊し、これによって、画素電極と対向電極とを
電氣的に絶縁し、輝点欠陥を修正している。 40

【0004】

【特許文献 1】特開平 8 - 286208 号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

しかしながら、特許文献 1 の技術では、異物周辺の画素電極をレーザ照射によって破壊
しているため、このとき飛散した画素電極片が周辺の正常画素における画素電極等に付着
して、新たな輝点欠陥を引き起こすことがある。

【0006】

更には、異物周辺の液晶にもレーザが照射されるため、当該液晶の配向が乱れてしまう 50

ことがある。そのため、液晶におけるレーザ照射部分が輝点となり、当該輝点が観察者に視認されてしまうことがある。

【 0 0 0 7 】

そこで、本発明は上述の問題に鑑みて成されたものであり、液晶ディスプレイパネルにおける画素欠陥を抑制することが可能な技術を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

この発明の液晶ディスプレイパネルは、画素電極と、液晶を挟んで前記画素電極と対向配置された対向電極とを備え、前記画素電極には、複数の貫通孔が互いに離れて設けられている。

10

【 0 0 0 9 】

また、この発明の画素欠陥修正方法は、上記液晶ディスプレイパネルの画素欠陥修正方法であって、前記画素電極に異物が付着した場合に、前記画素電極を部分的に除去して前記複数の貫通孔のうち少なくとも2つの貫通孔間を連通させることによって、前記画素電極において前記異物が付着している部分を前記画素電極から切り離す。

【発明の効果】

【 0 0 1 0 】

この発明の液晶ディスプレイパネルによれば、画素電極に異物が付着した場合には、画素電極を部分的に除去して貫通孔間を連通させることによって、画素電極において異物が付着している部分を当該画素電極から切り離すことができる。従って、導電性の異物が画素電極に付着した場合であっても、画素電極の除去部分を低減しつつ、画素電極と対向電極との電氣的接続を回避できる。よって、画素電極を除去する際に電極片が生じた場合であっても、当該電極片の発生量を低減でき、当該電極片が周囲に付着することを抑制できる。その結果、新たな画素欠陥の発生を抑制することができる。

20

【 0 0 1 1 】

また、この発明の画素欠陥修正方法によれば、画素電極に異物が付着した場合には、画素電極を部分的に除去して貫通孔間を連通させることによって、画素電極において異物が付着している部分を当該画素電極から切り離している。従って、導電性の異物が画素電極に付着した場合であっても、画素電極の除去部分を低減しつつ、画素電極と対向電極との電氣的接続を回避できる。よって、画素電極を除去する際に電極片が生じた場合であっても、当該電極片の生成量を低減でき、当該電極片が周囲に付着することを抑制できる。その結果、新たな画素欠陥の発生を抑制することができる。

30

【発明を実施するための最良の形態】

【 0 0 1 2 】

図1、2は、それぞれ本発明の実施の形態に係る液晶ディスプレイパネルの構造を部分的に示す平面図及び断面図である。本実施の形態に係る液晶ディスプレイパネルは、例えばノーマリホワイト方式の液晶ディスプレイパネルであって、行列状に配置された複数の画素構造50を備えている。図1では、複数の画素構造50のうちの一つを示している。図1に示されるように、本実施の形態に係る液晶ディスプレイパネルの画素構造50は、薄膜トランジスタ1と、画素電極2と、列方向Yに延在するソース配線3と、ドレイン配線4と、行方向Xに延在するゲート配線5と、同じく行方向Xに延在する蓄積容量配線6とを備えており、これらは図示しないガラス基板等の基板上に形成されている。

40

【 0 0 1 3 】

薄膜トランジスタ1は、例えば正スタガ型のa-Si(アモルファスシリコン)TFTである。ソース配線3は、薄膜トランジスタ1のソース領域(図示せず)に接続されている。ドレイン配線4の一端は、薄膜トランジスタ1のドレイン領域(図示せず)に接続されており、その他端は画素電極2に接続されている。ゲート配線5は薄膜トランジスタ1のゲート電極として機能し、ソース配線3の一部とドレイン配線4の一部の上方に設けられている。

【 0 0 1 4 】

50

画素電極 2 には、その厚み方向に貫通する複数の貫通孔 20 が互いに離れて形成されている。複数の貫通孔 20 のそれぞれは四角柱形状を成しており、画素電極 2 の列方向 Y における両端部に形成されているものを除いて、行列状に配置されている。画素電極 2 の列方向 Y における両端部のそれぞれでは、複数の貫通孔 20 が等間隔で行方向 X に沿って形成されており、これらの複数の貫通孔 20 によって、画素電極 2 の列方向 Y の両端面 2a のそれぞれは凹凸状になっている。また、画素電極 2 の行方向 X における両端面 2b のそれぞれは、当該画素電極 2 の行方向 X における端部に列方向 Y に沿って形成されている複数の貫通孔 20 によって凹凸状になっている。なお、貫通孔 20 の形状は四角柱形状に限定されることはなく、三角柱形状、五角柱形状あるいは円柱形状でも良い。

【0015】

10

蓄積容量配線 6 は、列方向 Y における画素電極 2 の一方の端部上に、図示しない絶縁膜を介して形成されており、当該絶縁膜と画素電極 2 とともに蓄積容量 Cs を形成している。

【0016】

本実施の形態に係る液晶ディスプレイパネルでは、図 2 に示されるように、画素電極 2 と所定距離を成して対向電極 7 が対向して配置されている。そして、画素電極 2 と対向電極 7 との間には液晶 8 が充填されている。なお対向電極 7 は、図示しないガラス基板等の基板に形成される。

【0017】

以上のような構造を備える本液晶ディスプレイパネルでは、ゲート配線 5 に所定電圧が印加されて、スイッチング素子として機能する薄膜トランジスタ 1 がオン状態となると、ソース配線 3 に印加された駆動電圧がドレイン配線 4 を介して画素電極 2 に印加される。一方で、画素電極 2 と対向配置された対向電極 7 にも所定電圧が印加される。その結果、画素電極 2 と対向電極 7 との間に電圧差が生じて、それらの間の液晶 8 には電界が印加される。これにより、本液晶ディスプレイパネルを透過する光の透過率が変化する。また、画素電極 2 に印加された駆動電圧は蓄積容量 Cs で蓄積され、薄膜トランジスタ 1 がオフ状態になった場合であっても画素電極 2 には駆動電圧が印加される。

20

【0018】

次に、画素電極 2 に異物が付着した場合に生じる画素欠陥の修正方法について説明する。図 3 は本実施の形態に係る画素欠陥修正方法を示す平面図である。なお図 3 及び後述する図 4 ~ 9 では、図 1 に示される画素構造 50 を部分的に拡大して示している。図 3 に示されるように画素電極 2 に異物 100 が付着した場合には、画素電極 2 を部分的に除去して少なくとも 2 つの貫通孔 20 間を連通させることにより、画素電極 2 において異物 100 が付着している部分 2c (以後、「異物付着部分 2c」と呼ぶ)を当該画素電極 2 から切り離す。このときの画素電極 2 の除去は、例えば除去対象部分にレーザを照射することによって行う。図 3 に示される例では、異物付着部分 2c の周辺に設定された除去対象部分 10 にレーザを照射して、当該部分 10 を除去する。これにより、図 4 に示されるように、異物付着部分 2c の周辺の 4 つの貫通孔 20 が互いに連通するようになり、異物付着部分 2c が画素電極 2 から切り離される。

30

【0019】

このようにして異物付着部分 2c を画素電極 2 から切り離すことによって、導電性の異物 100 が画素電極 2 に付着した場合であっても、画素電極 2 と対向電極 7 との電氣的接続を回避でき、ノーマリホワイト方式の本液晶ディスプレイパネルでは輝点欠陥の発生を防止できる。

40

【0020】

また、異物 100 がソース配線 3 などの配線と画素電極 2 とにまたがってそれらに付着した場合であっても、同様にして、画素電極 2 を部分的に除去して複数の貫通孔 20 間を連通させることによって、異物付着部分 2c を画素電極 2 から分離することができる。図 5 は、異物 100 がソース配線 3 と画素電極 2 とにまたがって形成された場合の本画素欠陥修正方法を示す平面図である。本例においても、図 3 の例と同様に、異物付着部分 2c

50

の周辺に設定された除去対象部分 10 にレーザを照射して当該部分 10 を除去する。これにより、図 6 に示されるように、異物付着部分 2c に隣接する複数の貫通孔 20 が互いに連通するようになり、当該異物付着部分 2c が画素電極 2 から切り離される。従って、導電性の異物 100 がソース配線 3 と画素電極 2 とにまたがって形成された場合であっても、画素電極 2 と対向電極 7 との電氣的接続を回避することができるとともに、画素電極 2 とソース配線 3 との電氣的接続を回避できる。

【0021】

また、異物 100 が互いに隣り合う 2 つの画素構造 50 の画素電極 2 にまたがってそれらに付着した場合であっても、同様にして、当該 2 つの画素構造 50 のそれぞれにおいて、異物付着部分 2c を画素電極 2 から切り離すことができる。図 7 は、異物 100 が隣り合う 2 つの画素構造 50 にまたがって形成された場合の本画素欠陥修正方法を示す平面図である。図 7 の例では、異物 100 は、列方向 Y で互いに隣り合う画素構造 50 にまたがって形成されている。また、図 7 の上側の画素構造 50 においては、異物 100 は蓄積容量配線 6 と画素電極 2 とにまたがってそれらに付着しており、下側の画素構造 50 においては、異物 100 はゲート配線 5 と画素電極 2 とにまたがってそれらに付着している。

10

【0022】

本例では、上側の画素構造 50 の異物付着部分 2c の周辺に設定された除去対象部分 10 と、下側の画素構造 50 の異物付着部分 2c の周辺に設定された除去対象部分 10 とにそれぞれレーザを照射し、これらの除去対象部分 10 を除去する。これにより、図 8 に示されるように、上側及び下側の画素構造 50 のそれぞれにおいて、異物付着部分 2c に隣接する 2 つの貫通孔 20 が互いに連通して、当該異物付着部分 2c が画素電極 2 から切り離される。同様に、下側の画素構造 50 においては、異物付着部分 2c に隣接する 2 つの貫通孔 20 が互いに連通して、当該異物付着部分 2c が画素電極 2 から切り離される。従って、導電性の異物 100 が画素構造 50 間にまたがって形成された場合であっても、当該画素構造 50 のそれぞれにおいて画素電極 2 と対向電極 7 との電氣的接続を回避することができるとともに、当該隣接する 2 つの画素構造 50 の画素電極 2 間の電氣的接続を回避できる。

20

【0023】

なお、除去対象部分 10 へのレーザの照射は、対向電極 7 等が形成されている基板側から当該基板を介して行っても良いし、画素電極 2 等が形成されている基板側から当該基板を介して行っても良い。

30

【0024】

以上のように、本実施の形態に係る液晶ディスプレイパネルでは、画素電極 2 には複数の貫通孔 20 が設けられている。画素電極 2 に異物 100 が付着した場合には、画素電極 2 を部分的に除去して少なくとも 2 つの貫通孔 20 間を連通させることにより、異物付着部分 2c を画素電極 2 から切り離すことができる。従って、異物が付着している部分の周辺をすべて除去する上述の特許文献 1 に記載の技術よりも画素電極 2 の除去部分を低減しつつ、画素電極 2 と対向電極 7 との電氣的接続を回避することができる。よって、画素電極 2 を除去する際に電極片が生じた場合であっても、当該電極片の発生量を低減でき、当該電極片が周辺の正常な画素構造 50 に付着することを抑制できる。その結果、新たな画素欠陥の発生を抑制することができる。

40

【0025】

また、画素電極 2 を部分的に除去する際にレーザを用いた場合であっても、画素電極 2 に対するレーザ照射部分を低減できるため、画素電極 2 と対向電極 7 との間の液晶 8 に対するレーザ照射部分も低減することができる。従って、レーザ照射によって液晶 8 の配向が乱れることを抑制でき、新たな画素欠陥の発生を抑制できる。

【0026】

また、導電性の異物 100 がソース配線 3 等の配線と画素電極 2 とにまたがって形成された場合であっても、画素電極 2 に設けられた複数の貫通孔 20 間を連通させることにより異物付着部分 2c を画素電極 2 から切り離すことができるため、当該配線にレーザを

50

照射する必要はない。よって、当該配線を損傷することなく、画素電極 2 と当該配線との電氣的接続を回避できる。特に、蓄積容量配線 6 にレーザを照射した場合には、当該蓄積容量配線 6 と画素電極 2 とが短絡することがあるが、本実施の形態では、蓄積容量配線 6 にレーザ照射を行う必要はないため、このような不具合を回避できる。

【0027】

また、導電性の異物 100 が画素構造 50 間にまたがって形成された場合であっても、画素構造 50 のそれぞれにおいて、画素電極 2 に設けられた複数の貫通孔 20 間を連通させることによって異物付着部分 2c を画素電極 2 から切り離すことができるため、画素構造 50 間の電氣的接続を回避できる。

【0028】

また本実施の形態では、画素電極 2 の端面 2a, 2b が凹凸状になるように当該画素電極 2 の端部に複数の貫通孔 20 が設けられている。そのため、画素電極 2 の当該端部に異物 100 が付着した際の画素電極 2 の除去部分を小さくすることができる。以下にこの効果について詳細に説明する。

【0029】

図 9 は、本実施の形態とは異なり、画素電極 2 の端面 2b が平面であって凹凸状ではなく、各貫通孔 20 が画素電極 2 に完全に取り囲まれている場合の画素欠陥修正方法を示す平面図である。図 9 に示されるように、画素電極 2 の端面 2b が平面の場合には、当該端面 2b を含む画素電極 2 の端部に異物 100 が付着すると、異物付着部分 2c を画素電極 2 から切り離すために、画素電極 2 の端面 2b と貫通孔 20 とを接続する部分をも除去対象部分 10 とする必要がある。従って、この場合には、画素電極 2 の除去部分が増大し、画素電極 2 を除去する際に発生する電極片が隣接する画素構造 50 に付着する可能性が高くなる。

【0030】

一方、本実施の形態のように画素電極 2 の端面 2b が凹凸状である場合には、上記図 5 に示されるように、画素電極 2 の端面 2b と貫通孔 20 とを接続する上記部分は存在しないため、図 8 に示される場合よりも画素電極 2 の除去部分を低減できる。

【0031】

このように、画素電極 2 の端面 2a, 2b が凹凸状の場合には画素電極 2 の除去部分を低減できるため、画素電極 2 を除去する際に電極片が生じた場合であっても、当該電極片の発生量を低減することができる。そのため、当該電極片が周囲に付着しにくくなり、新たな画素欠陥の発生を抑制することができる。

【0032】

また本実施の形態のように、複数の貫通孔 20 を画素電極 2 の全面に渡って形成した場合には、異物 100 が画素電極 2 のどの部分に付着したかに関わらず、画素電極 2 の除去部分を低減しつつ、異物付着部分 2c を画素電極 2 から切り離すことができる。その結果、更に新たな画素欠陥の発生が確実に抑制される。

【0033】

また、本実施の形態に係る画素欠陥修正方法では、画素電極 2 に異物 100 が付着した場合には、画素電極 2 を部分的に除去して少なくとも 2 つの貫通孔 20 間を連通させることにより、異物付着部分 2c を画素電極 2 から切り離している。従って、導電性の異物 100 が画素電極 2 に付着した場合であっても、画素電極 2 の除去部分を低減しつつ、画素電極 2 と対向電極 7 との電氣的接続を回避することができる。よって、画素電極 2 を除去する際に電極片が生じた場合であっても、当該電極片の発生量を低減でき、当該電極片が周辺の正常な画素構造 50 に付着することを抑制できる。その結果、新たな画素欠陥の発生を抑制することができる。

【図面の簡単な説明】

【0034】

【図 1】本発明の実施の形態に係る液晶ディスプレイパネルの構造を部分的に示す平面図である。

10

20

30

40

50

【図 2】本発明の実施の形態に係る液晶ディスプレイパネルの構造を部分的に示す断面図である。

【図 3】本発明の実施の形態に係る画素欠陥修正方法を示す図である。

【図 4】本発明の実施の形態に係る画素欠陥修正方法を示す図である。

【図 5】本発明の実施の形態に係る画素欠陥修正方法を示す図である。

【図 6】本発明の実施の形態に係る画素欠陥修正方法を示す図である。

【図 7】本発明の実施の形態に係る画素欠陥修正方法を示す図である。

【図 8】本発明の実施の形態に係る画素欠陥修正方法を示す図である。

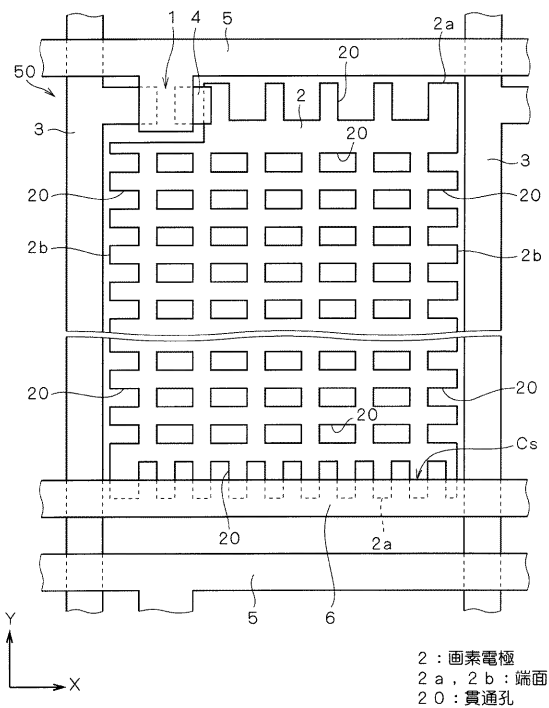
【図 9】本発明の実施の形態に係る画素欠陥修正方法の変形例を示す図である。

【符号の説明】

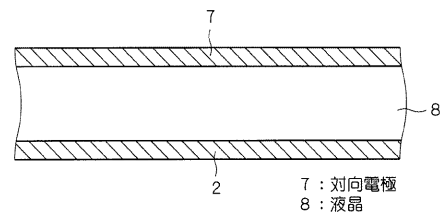
【0035】

2 画素電極、2a, 2b 端面、2c 異物付着部分、20 貫通孔、100 異物

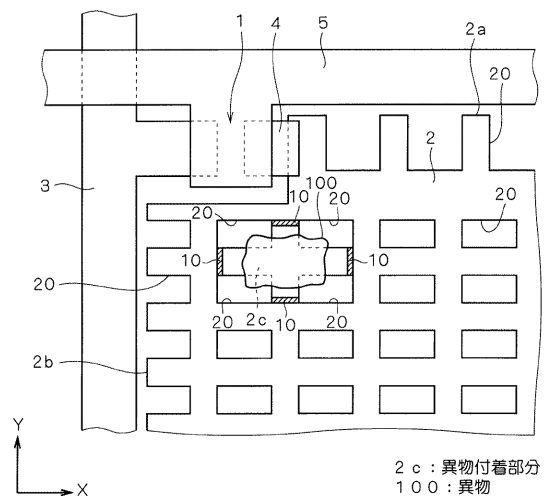
【図 1】



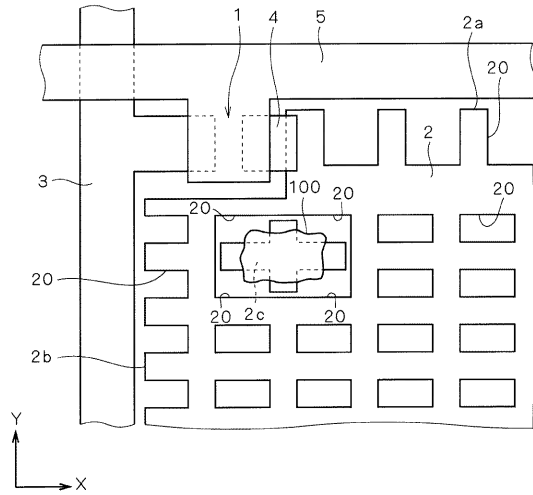
【図 2】



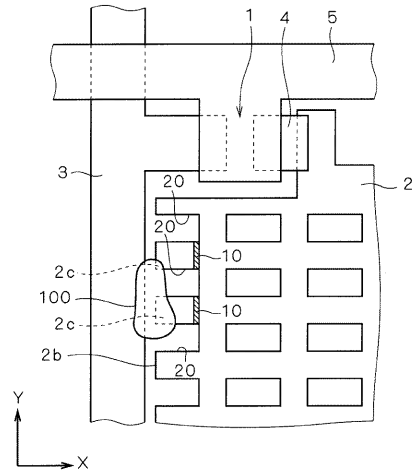
【図 3】



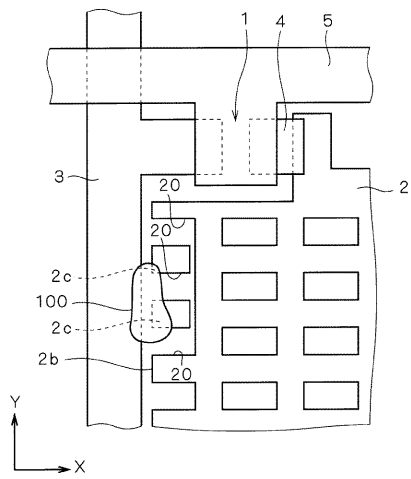
【図 4】



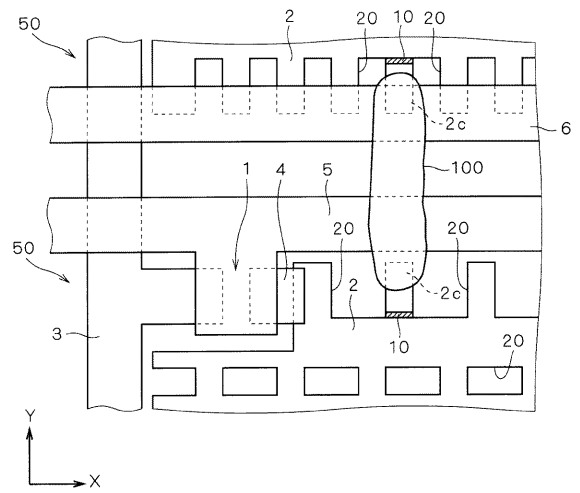
【図 5】



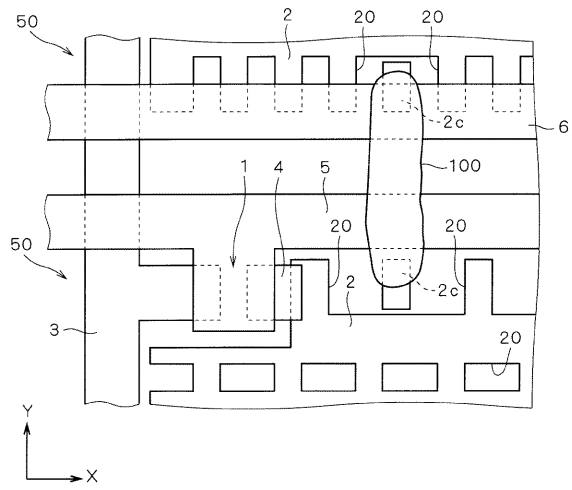
【図 6】



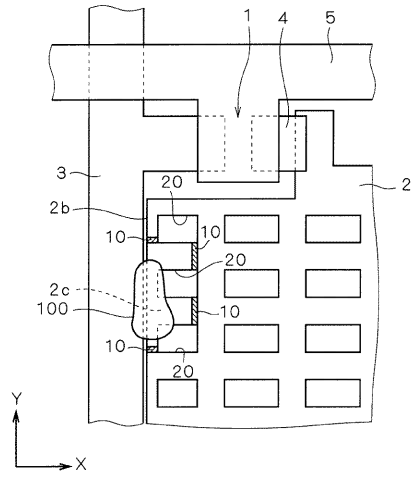
【図 7】



【図 8】



【図 9】



フロントページの続き

F ターム(参考) 2H092 GA13 GA24 GA28 GA32 JA25 JA37 JA41 JA45 JB05 JB22
JB31 JB64 JB69 JB71 KA05 MA46 MA47 NA12 NA16 NA29
NA30 QA06

专利名称(译)	液晶显示面板及其像素缺陷校正方法		
公开(公告)号	JP2007010824A	公开(公告)日	2007-01-18
申请号	JP2005189288	申请日	2005-06-29
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	緒方智弘		
发明人	緒方 智弘		
IPC分类号	G02F1/1343 G02F1/13 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/1309 G02F1/136259		
FI分类号	G02F1/1343 G02F1/13.101 G02F1/1368		
F-TERM分类号	2H088/FA14 2H088/FA15 2H088/HA02 2H088/JA04 2H088/MA20 2H092/GA13 2H092/GA24 2H092/GA28 2H092/GA32 2H092/JA25 2H092/JA37 2H092/JA41 2H092/JA45 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB64 2H092/JB69 2H092/JB71 2H092/KA05 2H092/MA46 2H092/MA47 2H092/NA12 2H092/NA16 2H092/NA29 2H092/NA30 2H092/QA06 2H192/AA24 2H192/BA13 2H192/CB03 2H192/DA12 2H192/HB34 2H192/HB36 2H192/HB64		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制液晶显示面板中的像素缺陷的技术。
 解决方案：多个通孔20在通过液晶与对电极相对设置的像素电极2中彼此分开地形成。因此，当异物粘附到像素电极2时，通过部分地去除像素电极2以连接像素电极2之间的部分，可以将像素电极2中的异物附着的部分切割并与像素电极2分离。孔。即使当导电异物粘附到像素电极2时，也可以避免像素电极2和对电极之间的电连接，同时减小像素电极2的被去除部分。即使在去除像素电极2时产生电极片，也可以减少电极片产生量，并且可以抑制电极片与周围环境的粘附。结果，可以抑制新像素缺陷的产生。

