

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-535147  
(P2005-535147A)

(43) 公表日 平成17年11月17日(2005.11.17)

(51) Int.Cl.<sup>7</sup>

**H01L 29/786**  
**G02F 1/1368**  
**G09F 9/30**  
**H01L 21/288**  
**H01L 21/3205**

F 1

H01L 29/78 616T  
G02F 1/1368  
G09F 9/30 338  
H01L 21/288 Z  
H01L 21/88 B

テーマコード(参考)

2H092  
4M104  
5C094  
5F033  
5F110

審査請求有 予備審査請求未請求 (全32頁) 最終頁に続く

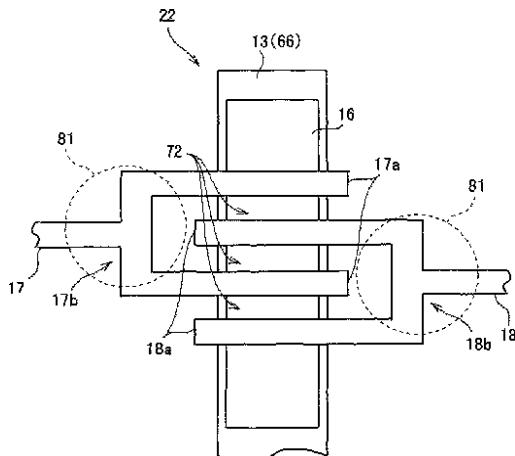
(21) 出願番号	特願2004-534095 (P2004-534095)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(86) (22) 出願日	平成15年7月23日 (2003.7.23)	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
(85) 翻訳文提出日	平成17年2月4日 (2005.2.4)	(72) 発明者	藤井 晓義 日本国奈良県奈良市左京3丁目2-17
(86) 國際出願番号	PCT/JP2003/009361	(72) 発明者	中林 敬哉 日本国三重県伊賀市川西1357
(87) 國際公開番号	W02004/023561	F ターム(参考)	2H092 GA12 GA20 GA32 HA02 JA26 JA28 JA34 JA37 JA41 JB22 JB31 JB56 JB69 MA01 MA10 MA12 MA15 MA18 MA22 NA27 NA29
(87) 國際公開日	平成16年3月18日 (2004.3.18)		
(31) 優先権主張番号	特願2002-255568 (P2002-255568)		
(32) 優先日	平成14年8月30日 (2002.8.30)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、液晶表示装置、薄膜トランジスタの製造方法および液晶表示装置の製造方法

## (57) 【要約】

本発明に係る薄膜トランジスタの製造方法は、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成するための電極形成領域を形成する前処理工程と、電極形成領域における半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下し、ソース電極およびドレイン電極を形成する電極形成工程とを備える。これにより、電極材料の液滴の滴下にてソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に液滴の飛沫が付着する事態を防止することができる。



**【特許請求の範囲】****【請求項 1】**

(i) ゲート絶縁層を介してゲート電極と対向した半導体層と、(ii)この半導体層と電気的に接続されたソース電極およびドレイン電極と、(iii)上記ソース電極およびドレイン電極間のチャネル部と、を含む薄膜トランジスタであって、

前記ソース電極とドレイン電極とが電極材料の液滴を滴下することにより形成されており、

前記ソース電極とドレイン電極とは、少なくとも前記半導体層の領域内の部分が複数本に分岐された分岐電極部となっており、両電極の分岐電極部が交互に配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられている薄膜トランジスタ。

**【請求項 2】**

前記分岐始端部を前記電極材料の液滴の滴下位置として、前記分岐電極部を形成する場合の該滴下位置の誤差に基づき、液滴が前記チャネル部に滴下されない位置に、前記分岐始端部を設けた請求項 1 に記載の薄膜トランジスタ。

**【請求項 3】**

複数の前記分岐電極部は、前記半導体層の領域内で互い平行に配された平行部となり、該平行部と前記分岐始端部との間に部分が直線状に形成されている請求項 1 に記載の薄膜トランジスタ。

**【請求項 4】**

ソース電極とドレイン電極との少なくとも一方に、半導体側の端部に向かって電極幅が漸次拡大される部分が設けられている請求項 1 に記載の薄膜トランジスタ。

**【請求項 5】**

上記電極幅が漸次拡大される部分は、分岐始端部と半導体側の端部との間に設けられている請求項 4 に記載の薄膜トランジスタ。

**【請求項 6】**

上記チャネル部は、チャネル部の幅が分岐電極部の長さの範囲内に収まるように形成されている請求項 1 に記載の薄膜トランジスタ。

**【請求項 7】**

ソース電極の分岐電極部、またはドレイン電極の分岐電極部は、分岐始端部からチャネル部に向かって、隣り合う分岐電極部同士の間隔が広がるように形成されている請求項 1 に記載の薄膜トランジスタ。

**【請求項 8】**

上記半導体層は、直径がチャネル部におけるゲート電極の幅より大きい略円形パターンで形成されている請求項 7 に記載の薄膜トランジスタ。

**【請求項 9】**

上記半導体層は、直径がチャネル部におけるゲート電極の幅より大きい略円形パターンで形成され、

上記分岐電極部の各終端が、上記ゲート電極の幅の範囲内に位置している請求項 1 に記載の薄膜トランジスタ。

**【請求項 10】**

(i) ゲート絶縁層を介してゲート電極と対向した半導体層と、(ii)この半導体層と電気的に接続されたソース電極およびドレイン電極と、(iii)これらソース電極およびドレイン電極間のチャネル部とを含む薄膜トランジスタであって、

上記ソース電極は、ソース移行部を介してソース配線と連続し、上記ドレイン電極は、ドレイン移行部を介してドレイン配線と連続し、

上記ソース移行部およびドレイン移行部は、上記半導体層の領域外の位置に設けられており、

上記ソース移行部における電極幅は、ソース配線から半導体層の領域に向かって徐々に広がっている、および／または、上記ドレイン移行部における電極幅は、ドレイン配線から半導体層の領域に向かって徐々に広がっている薄膜トランジスタ。

10

20

30

40

50

**【請求項 1 1】**

直線状のゲート配線の上にゲート絶縁層を介して略円形の半導体層が局所的に形成され、この半導体層の上に、ソース電極とドレイン電極とが形成され、これら両電極間にチャネル部が形成され、

上記ソース電極は、ソース移行部を介してソース配線と連続し、上記ドレイン電極は、ドレイン移行部を介してドレイン配線と連続し、

上記ソース移行部およびドレイン移行部は、上記半導体層の領域外の位置に設けられている薄膜トランジスタ。

**【請求項 1 2】**

薄膜トランジスタを備えた液晶表示装置であって、

該薄膜トランジスタは、

(i)ゲート絶縁層を介してゲート電極と対向した半導体層と、(ii)この半導体層と電気的に接続されたソース電極およびドレイン電極と、(iii)上記ソース電極およびドレイン電極間のチャネル部と、を含み、

前記ソース電極とドレイン電極とが電極材料の液滴を滴下することにより形成されており、

前記ソース電極とドレイン電極とは、少なくとも、前記半導体層の領域内の部分が複数本に分岐された分岐電極部となっており、両電極の分岐電極部が交互に配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられている液晶表示装置。

**【請求項 1 3】**

薄膜トランジスタを備えた液晶表示装置であって、

該薄膜トランジスタは、

(i)ゲート絶縁層を介してゲート電極と対向した半導体層と、(ii)この半導体層と電気的に接続されたソース電極およびドレイン電極と、(iii)上記ソース電極およびドレイン電極間のチャネル部と、を含み、

上記ソース電極は、ソース移行部を介してソース配線と連続し、上記ドレイン電極は、ドレイン移行部を介してドレイン配線と連続し、

上記ソース移行部およびドレイン移行部は、上記半導体層の領域外の位置に設けられており、

上記ソース移行部における電極幅は、ソース配線から半導体層の領域に向かって徐々に広がっている、および／または、上記ドレイン移行部における電極幅は、ドレイン配線から半導体層の領域に向かって徐々に広がっている液晶表示装置。

**【請求項 1 4】**

薄膜トランジスタを備えた液晶表示装置であって、

該薄膜トランジスタは、

直線状のゲート配線の上にゲート絶縁層を介して略円形の半導体層が局所的に形成され、

この半導体層の上に、ソース電極とドレイン電極とが形成され、これら両電極間にチャネル部が形成され、

上記ソース電極は、ソース移行部を介してソース配線と連続し、上記ドレイン電極は、ドレイン移行部を介してドレイン配線と連続し、

上記ソース移行部およびドレイン移行部は、上記半導体層の領域外の位置に設けられている液晶表示装置。

**【請求項 1 5】**

(i)ゲート電極上の半導体層と、(ii)半導体層とゲート電極との間のゲート絶縁層と、(iii)上記半導体層上のソース電極およびドレイン電極と、(iv)上記ソース電極およびドレイン電極間のチャネル部とを含む薄膜トランジスタの製造方法であって、

前記半導体層の形成工程後に、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成するための電極形成領域を形成する前処理工程と、

10

20

30

40

50

前記電極形成領域における前記半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下し、前記ソース電極およびドレイン電極を形成する電極形成工程とを含む薄膜トランジスタの製造方法。

**【請求項 16】**

上記前処理工程は、

上記ゲート絶縁層および半導体層の上に、上記電極形成領域をかたどる配線ガイドを形成するステップと、

配線ガイドが形成されていないゲート絶縁層および半導体層には親水処理を施す一方、配線ガイドには撥水処理を施すステップとを含んでいる請求項 15 に記載の薄膜トランジスタの製造方法。

10

**【請求項 17】**

上記前処理工程は、

上記ゲート絶縁層および半導体層の上に、(i)ソース・ドレイン線形成領域としての親水領域と、(ii)ソース・ドレイン線非形成領域としての撥水領域とを所望のパターンに応じて形成する処理を含んでいる請求項 15 に記載の薄膜トランジスタの製造方法。

**【請求項 18】**

前記前処理工程では、ソース電極およびドレイン電極の内、少なくとも一方の半導体層上の部分が複数本に分岐された分岐電極部となり、前記ソース電極とドレイン電極との何れか一方の電極である第 1 電極の分岐電極同士の間に、他方の電極である第 2 電極が配され、前記ソース電極およびドレイン電極から分岐電極部の分岐が始まる分岐始端部が、前記半導体層の領域外の位置に設けられるように前記電極形成領域を形成し、

20

前記電極形成工程では、前記分岐始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下することを特徴とする請求項 15 に記載の薄膜トランジスタの製造方法。

**【請求項 19】**

前記滴下位置は、滴下位置に含まれる誤差に基づき、液滴が前記チャネル部に滴下されない位置に設定する請求項 15 に記載の薄膜トランジスタの製造方法。

**【請求項 20】**

前記滴下位置は、滴下位置に含まれる誤差に基づき、液滴の飛沫が前記チャネル部に付着しない位置に設定する請求項 15 に記載の薄膜トランジスタの製造方法。

30

**【請求項 21】**

複数の前記分岐電極部は、前記半導体層上で互い平行に配された平行部となり、該平行部と前記分岐始端部との間の部分が直線状に形成される請求項 18 に記載の薄膜トランジスタの製造方法。

**【請求項 22】**

前記前処理工程では、ソース電極とドレイン電極との少なくとも一方に、半導体側の端部方向に向かって電極幅が漸次拡大される部分が設けられるように前記電極形成領域を形成し、

前記電極形成工程では、電極幅が漸次拡大される前記部分の始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下する請求項 15 に記載の薄膜トランジスタの製造方法。

40

**【請求項 23】**

前記前処理工程では、ソース電極とドレイン電極とにおける半導体層方向に向かう部分が、前記ゲート電極の領域内において前記ゲート電極の延びる方向と平行な方向に延びた状態となるように前記電極形成領域を形成する請求項 15 に記載の薄膜トランジスタの製造方法。

**【請求項 24】**

前記前処理工程では、ソース電極の分岐電極部、またはドレイン電極の分岐電極部において、隣り合う分岐電極部同士の間隔が、分岐始端部からチャネル部に向かって広がるように前記電極形成領域を形成する請求項 15 に記載の薄膜トランジスタの製造方法。

**【請求項 25】**

50

前記前処理工程では、(i)上記ソース電極が、半導体層の領域外に位置するソース移行部を介してソース配線と連続し、上記ソース移行部における電極幅が、ソース配線から遠い程広くなるように、および／または、(ii)上記ドレイン電極が、半導体層の領域外に位置するドレイン移行部を介してドレイン配線と連続し、上記ドレイン移行部における電極幅が、ドレイン配線から遠い程広くなるように、前記電極形成領域を形成し、

前記電極形成工程では、上記ソース移行部およびドレイン移行部を前記滴下位置として電極材料の液滴を滴下する請求項15に記載の薄膜トランジスタの製造方法。

#### 【請求項26】

前記前処理工程では、(i)直線状のゲート配線の上にゲート絶縁層を介して局所的に形成された略円形の半導体層の上に、前記ソース電極とドレイン電極とが形成されるように、かつ、(ii)ソース電極が、上記半導体層の領域外に位置するソース移行部を介してソース配線と連続し、ドレイン電極が、上記半導体層の領域外に位置するドレイン移行部を介してドレイン配線と連続するように、前記電極形成領域を形成し、

前記電極形成工程では、上記ソース移行部およびドレイン移行部を前記滴下位置として電極材料の液滴を滴下する請求項15に記載の薄膜トランジスタの製造方法。

#### 【請求項27】

前記ソース電極またはドレイン電極の電極幅より、前記滴下位置に滴下された液滴の液滴径の方が大きく設定されている請求項15に記載の薄膜トランジスタの製造方法。

#### 【請求項28】

前記分岐電極部の電極幅と、前記滴下位置に滴下された液滴の液滴径との比を、ほぼ1:2に設定する請求項18に記載の薄膜トランジスタの製造方法。

#### 【請求項29】

薄膜トランジスタの製造方法を含む液晶表示装置の製造方法であって、

上記薄膜トランジスタの製造方法は、

(i)ゲート電極上の半導体層と、(ii)半導体層とゲート電極との間のゲート絶縁層と、(iii)上記半導体層上のソース電極およびドレイン電極と、(iv)上記ソース電極およびドレイン電極間のチャネル部とを含む薄膜トランジスタの製造方法であって、

前記半導体層の形成工程後に、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成するための電極形成領域を形成する前処理工程と、

前記電極形成領域における前記半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下し、前記ソース電極およびドレイン電極を形成する電極形成工程とを含んでいる液晶表示装置の製造方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、薄膜トランジスタの製造方法および液晶表示装置の製造方法に関するものである。

##### 【背景技術】

##### 【0002】

近年においては、フォトリソグラフィを使用せず、インクジェット方式により配線を形成する技術が提案されている。この技術では、例えば特開平11-204529号公報(1999年7月30日公開)に開示されているように、配線を形成する基板上に、配線形成材料に対する親和性を備えた親和領域と、配線形成材料に対する非親和性を備えた非親和領域とを形成し、親和領域にインクジェット方式にて配線材料の液滴を滴下する(付着させる)ことにより配線を形成するものとなっている(以降、「滴下する」という用語は「滴を垂らすこと」「飛ばすこと」両方の意味を含む)。

##### 【0003】

なお、特開平11-204529号公報には、米国特許出願公開U.S.2003/0003233A1が対応している。

##### 【0004】

10

20

30

40

50

また、特開2000-353594公報(2000年12月19日公開)には、同様にインクジェット方式による配線形成技術において、配線形成領域からの配線材料のはみ出しを抑制するために、配線形成領域の両側にバンクを形成し、このバンクの上部を非親液性(撥液性)とし、配線形成領域を親液性とすることが開示されている。

#### 【0005】

なお、特開2000-353594公報には、欧州特許出願EP0989778A1が対応している。

#### 【0006】

また、SID'01 DIGESTの第40~第43頁、6.1: Invited Paper: All-Polymer Thin Film Transistors Fabricated by High-Resolution Ink-jet Printing(著者 Takeo Kawase他)には、インクジェット方式を使用し、全て有機物を材料としてTFTを形成する技術が開示されている。10

#### 【0007】

この技術では、TFTのチャンネル部にポリイミドのストリップをフォトリソグラフィによって形成した後、チャンネル部の両側に、導電性ポリマの電極材料をインクジェットプリンタによってプリントしている。ポリイミドのストリップが撥液性(dewetting)を有しているため、電極材料がストリップ上に乗ることなく、チャンネル部の両側にソース/ドレイン電極を形成できたことが報告されている。

#### 【0008】

本発明が解決しようとする課題を、以下で説明する。

20

#### 【0009】

上記のインクジェット方式による配線等の形成技術を薄膜トランジスタの製造に利用した場合には、フォトリソグラフィを使用した場合と比較して、必要なマスク数が少くなり、製造工数が減少する。また、配線等を形成するための大掛かりな加工装置が不要となり設備費が減少する。この結果、コストダウンが可能である。

#### 【0010】

したがって、このような利点を享受できることから、インクジェット方式による配線等の形成技術を薄膜トランジスタの形成に利用することは有効である。

#### 【0011】

しかしながら、単にインクジェット方式により、薄膜トランジスタのソース電極あるいはドレイン電極の形成領域に電極材料の液滴を滴下させてそれら電極を形成した場合には、滴下した液滴の飛沫が薄膜トランジスタのチャネル部に付着してその位置に残ってしまう虞がある。30

#### 【0012】

この場合には、チャンネル部の上記飛沫によりソース・ドレイン電極間でリークが発生したり、n+層の加工時に上記飛沫がマスクとなってn+層の残渣が生じ、これによってソース・ドレイン間にリーク電流が流れ、所望のTFT特性が得られない事態が生じる。

#### 【発明の開示】

#### 【0013】

本発明は、上記問題点を解決するためになされたものであって、その主たる目的は、電極材料の液滴の飛沫が薄膜トランジスタのチャネル部に付着することのない電極構成を有する薄膜トランジスタと、その製造方法とを提供することにある。40

#### 【0014】

上記の目的を達成するために、本発明の薄膜トランジスタは、(i)ゲート絶縁層を介してゲート電極と対向した半導体層と、(ii)この半導体層と電気的に接続されたソース電極およびドレイン電極と、(iii)上記ソース電極およびドレイン電極間のチャネル部と、を含む薄膜トランジスタにおいて、前記ソース電極とドレイン電極とが電極材料の液滴を滴下することにより形成されており、前記ソース電極とドレイン電極とは、少なくとも前記半導体層の領域内の部分が複数本に分岐された分岐電極部となっており、両電極の分岐電極部が交互に配され、分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられ50

ていることを特徴としている。

【0015】

上記の構成によれば、ソース電極とドレイン電極との分岐電極部の分岐始端部が半導体層の領域（半導体層が配置された領域）外の位置に設けられているので、分岐電極部を有するソース電極とドレイン電極とを形成する場合には、半導体層の領域外である前記分岐始端部を電極材料の液滴を滴下する滴下位置とすることができます。

【0016】

これにより、ソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態を防止可能である。したがって、上記飛沫がマスクとなって $n+$ 層の残渣が生じ、これによってソース・ドレイン間にリーク電流が流れ、所望の TFT 特性が得られなくなる事態を回避可能である。10

【0017】

また、交互に配された分岐電極部同士の間には広いチャネル部が形成されるので、大きな画素を駆動する場合のように電荷移動が大きい場合に有効である。

【0018】

本発明の液晶表示装置は、本発明の薄膜トランジスタを含むように構成されている。

【0019】

本発明の薄膜トランジスタの製造方法は、(i)ゲート電極上の半導体層と、(ii)半導体層とゲート電極との間のゲート絶縁層と、(iii)上記半導体層上のソース電極およびドレイン電極と、(iv)上記ソース電極およびドレイン電極間のチャネル部とを含む薄膜トランジスタの製造方法において、前記半導体層の形成工程後に、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成するための電極形成領域を形成する前処理工程と、前記電極形成領域における前記半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下し、前記ソース電極およびドレイン電極を形成する電極形成工程とを備えていることを特徴としている。20

【0020】

上記の構成によれば、前記ソース電極およびドレイン電極が電極形成領域における半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下することにより形成されるので、両電極間のチャネル部に前記液滴の飛沫が付着することを防止可能である。したがって、上記飛沫がマスクとなって $n+$ 層の残渣が生じ、これによってソース・ドレイン間にリーク電流が流れ、所望の TFT 特性が得られなくなる事態を回避可能である。30

【0021】

本発明の液晶表示装置の製造方法は、本発明の薄膜トランジスタの製造方法を含むように構成されている。

【0022】

本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利点は、添付図面を参照した次の説明で明白になるであろう。

【発明を実施するための最良の形態】

【0023】

〔実施の形態1〕

本発明の実施の一形態を図面に基づいて以下に説明する。

【0024】

本発明の実施の一形態における液晶表示装置は、図2(a)に示す画素を有している。なお、同図は、液晶表示装置のTFTアレイ基板における1画素の概略構成を示す平面図である。また、同図におけるA-A線矢視断面図を図2(b)に示す。

【0025】

図2(a)(b)に示すように、TFTアレイ基板11では、ガラス基板12上において、ゲート電極13(ゲート配線)とソース電極17(ソース配線)とがマトリクス状に設けられ、隣り合うゲート電極13(ゲート配線)の間に補助容量電極14(補助容量配40

10

20

30

40

50

線)が設けられている。

【0026】

TFTアレイ基板11は、図2(b)に示すように、TFT部22から補助容量部23までの位置において、ガラス基板12上に、ゲート電極13および補助容量電極14を有し、それらの上にゲート絶縁層15を有している。

【0027】

ゲート電極13上には上記ゲート絶縁層15を介してa-Si層を有する半導体層16が形成され、その上にソース電極17およびドレイン電極18の各端部が形成されている。このドレイン電極18の他端部は、ゲート絶縁層15を介した補助容量電極14上の位置に達し、この位置にコンタクトホール24が形成されている。ソース電極17およびドレイン電極18の上には保護膜19が形成され、その上に感光性アクリル樹脂層20と画素電極21とが順次形成されている。

【0028】

TFT部22の上述した構成は、ボトムゲート構造と呼ばれているが、本発明は、ボトムゲート構造に限定されるものではなく、半導体層16の上にゲート絶縁層15を介してゲート電極13が形成されたトップゲート構造にも適用することができる。

【0029】

したがって、本発明のTFT部22には、ゲート絶縁層15を介してゲート電極13と対向して半導体層16が形成されるとともに、半導体層16と電気的に接続されたソース電極17およびドレイン電極18が形成されなければよい。

【0030】

本実施の形態において、TFTアレイ基板11の製造には、例えば、インクジェット方式により、形成する層の材料を吐出あるいは滴下するパターン形成装置が使用される。このパターン形成装置は、図3に示すように、基板31(前記ガラス基板12に相当)を載置する載置台32を備え、この載置台32上の基板31上に対して例えば配線材料を含む流動性のインク(液滴または流動性材料)を吐出する液滴吐出手段としてのインクジェットヘッド33と、インクジェットヘッド33をX方向に移動させるX方向駆動部34およびY方向に移動させるY方向駆動部35とが設けられている。

【0031】

なお、上記X,Y方向は、基板31を含む平面に対する二次元直交座標のX,Y軸に平行な方向である。

【0032】

また、上記パターン形成装置には、インクジェットヘッド33にインクを供給するインク供給システム36と、インクジェットヘッド33の吐出制御、X方向駆動部34およびY方向駆動部35の駆動制御等の各種制御を行なうコントロールユニット37とが設けられている。コントロールユニット37からは、XおよびY方向駆動部34,35に対して塗布位置情報が出力され、インクジェットヘッド33のヘッドドライバー(図示せず)に対して吐出情報が出力される。これにより、XおよびY方向駆動部34,35に連動してインクジェットヘッド33が動作し、基板31上の目的位置に目的量の液滴が供給される。

【0033】

上記のインクジェットヘッド33は、ピエゾアクチュエータを使用するピエゾ方式のもの、ヘッド内にヒータを有するバブル方式のもの、あるいはその他の方式のものであってもよい。インクジェットヘッド33からのインク吐出量の制御は、印加電圧の制御により可能である。また、液滴吐出手段は、インクジェットヘッド33に代えて、単に液滴を滴下させる方式のもの等、液滴を供給可能なものであれば方式は問わない。

【0034】

次に、液晶表示装置におけるTFTアレイ基板11の製造方法について説明する。

【0035】

本実施の形態において、TFTアレイ基板11は、図4に示すように、ゲート前処理工

10

20

20

30

40

50

程 4 1 、ゲート線塗布形成工程 4 2 、ゲート絶縁層成膜・半導体層成膜工程 4 3 、半導体層形成工程 4 4 、ソース・ドレイン線前処理工程 4 5 、ソース・ドレイン線塗布形成工程 4 6 、チャンネル部加工工程 4 7 、保護膜形成工程 4 8 、保護膜加工工程 4 9 および画素電極形成工程 5 0 からなる。

#### 【 0 0 3 6 】

##### ( ゲート前処理工程 4 1 )

このゲート前処理工程 4 1 では、ゲート線塗布形成工程 4 2 のための前処理を行う。次段のゲート線塗布形成工程 4 2 では、パターン形成装置を使用して液体配線材料の滴下によりゲート線が形成される。したがって、ここでは、図 5 ( a ) に示すゲート線形成領域 6 1 に、パターン形成装置からの液体配線材料の吐出(滴下)により適切に液体配線材料が塗布されるための処理を行う。なお、図 5 ( a ) は TFT アレイ基板 1 1 が備えるガラス基板 1 2 の平面図である。

#### 【 0 0 3 7 】

この処理には大まかに次のようなものがある。第 1 の処理は、基板(ガラス基板 1 2 )上に、液体配線材料に対して基板が濡れ易いか、弾き易いかの性質を付与し、ゲート線形成領域 6 1 としての親水領域(親液領域)とゲート線非形成領域としての撥水領域(撥液領域)とをパターン化する親撥水処理(親撥液処理)である。第 2 の処理は、液流を規制するガイド、即ちゲート線形成領域 6 1 に沿ったガイドを形成する処理である。

#### 【 0 0 3 8 】

前者では、酸化チタンを用いた光触媒による親撥水処理が代表的である。後者では、レジスト材料を用い、フォトリソグラフィによりガイド形成を行う。さらに、上記ガイドあるいは基板面に親撥水性を付与するために、それらをプラズマ中で CF<sub>4</sub> 、 O<sub>2</sub> ガスに曝す処理を行うことがある。レジストは配線形成後、剥離する。

#### 【 0 0 3 9 】

ここでは、次のように、酸化チタンを使用した光触媒処理を行った。即ち、TFT アレイ基板 1 1 のガラス基板 1 2 には、フッ素系非イオン界面活性剤である ZONYL FS N (商品名:デュポン社製)をイソプロピルアルコールに混合したもの(撥水性材料)を塗布した。また、ゲート配線パターンのマスクには光触媒層として二酸化チタン微粒子分散体とエタノールの混合物とをスピンドルコートで塗布し、150 °C で焼成した。そして、上記マスクを使用し、ガラス基板 1 2 に対して UV 光による露光を行った。露光条件としては、365 nm の紫外光を使用し、70 mW / cm<sup>2</sup> の強度で 2 分間照射した。

#### 【 0 0 4 0 】

図 1 2 ( a ) ~ 図 1 2 ( d ) を参照しながら、以下に、より具体的に説明する。まず、図 1 2 ( a ) に示すように、前記ガラス基板 1 2 上に、スピンドルコート法等を用いて、上記の撥水性材料を塗布し、乾燥させることで濡れ性変化層 2 を形成する。なお、撥水性材料としてシランカップリング剤を用いてもよい。

#### 【 0 0 4 1 】

次に、図 1 2 ( b ) に示すように、あらかじめクロムなどからなるマスクパターン 4 および酸化チタンなどからなる光触媒層 5 が形成されたフォトマスク 3 を通じて、上記の露光条件で UV 露光を行なう。

#### 【 0 0 4 2 】

その結果、図 1 2 ( c ) および図 1 2 ( d ) に示すように、UV 露光された部分だけが濡れ性が向上し、上記ゲート線形成領域 6 1 に相当する親水パターン 6 を形成できる。

#### 【 0 0 4 3 】

##### ( ゲート線塗布形成工程 4 2 )

このゲート線塗布形成工程 4 2 を図 5 ( b ) ( c ) に示す。図 5 ( b ) はゲート電極 1 3 と、隣り合うゲート電極 1 3 の間に補助容量電極 1 4 とを形成した状態のガラス基板 1 2 の平面図、図 5 ( c ) は、図 5 ( b ) における B - B 線矢視断面図である。

#### 【 0 0 4 4 】

なお、図 5 ( b ) に示すように、あるゲート電極 1 3 から隣の補助容量電極 1 4 に向か

って突き出した部位は、図1および図2(a)にも示すように、最終的にTFT部ゲート電極66になる。但し、図5に示すゲート電極13のうち、上側に描いたゲート電極13については、簡単化のため、TFT部ゲート電極66を省略してある。

#### 【0045】

この工程では、パターン形成装置を使用し、図5(b)(c)に示すように、ガラス基板12上のゲート線形成領域61に対して配線材料を塗布する。配線材料には、有機膜を表面コート層としてコーティングしたAg微粒子を有機溶媒中に分散させたものを用いた。配線幅は概ね50μmでインクジェットヘッド33からの配線材料の吐出量は80pLに設定した。

#### 【0046】

親撥水処理された面では、インクジェットヘッド33から吐出された配線材料がゲート線形成領域61に沿って広がっていくため、ゲート線形成領域61上における吐出間隔を概ね500μm間隔とした。塗布後に350℃で1時間焼成を行い、ゲート電極13および補助容量電極14の配線を形成した。

#### 【0047】

なお、焼成温度を350℃に設定したのは、次段の半導体層形成工程44において約300℃の処理熱が加わるためである。したがって、焼成温度はこの温度に限定されるものではない。例えば有機半導体を形成する場合、そのアニール温度が100～200℃に設定されることもあり、そのような場合には、焼成温度を下げて200～250℃とすることができる。

#### 【0048】

また、配線材料としては、Ag以外に、Ag-Pd、Ag-Au、Ag-Cu、Cu、Cu-Ni等の単体もしくは合金材料の微粒子もしくはペースト材料を有機溶媒中に含むものを用いることが可能である。さらに、配線材料については、必要な焼成温度に合わせて、上記微粒子を保護している上記表面コート層や、有機溶媒に含まれる有機材料の乖離温度を制御し、所望の抵抗値および表面状態を得ることが可能である。なお、上記乖離温度とは、上記の表面コート層および有機溶媒が蒸発する温度のことである。

#### 【0049】

##### (ゲート絶縁層成膜・半導体層成膜工程43)

このゲート絶縁層成膜・半導体層成膜工程43を図6(a)に示す。

この処理では、ゲート線塗布形成工程42を経たガラス基板12上に、ゲート絶縁層15、a-Si成膜層64およびn+成膜層65の3層をCVDにより連続形成した。ゲート絶縁層15、a-Si層64、n+層65の厚みはそれぞれ0.3μm、0.15μm、0.05μmとし、真空を破ることなく(真空状態を維持しながら)成膜した。成膜温度は300℃であった。

#### 【0050】

##### (半導体層形成工程44)

この半導体層形成工程44を図6(b)～図6(e)に示す。図6(e)は半導体層形成工程44を経たガラス基板12を示す平面図、図6(d)は図6(e)におけるC-C線矢視断面図、図6(b)および図6(c)は、半導体層形成工程44の各処理を示す図6(d)に示した位置における縦断面図である。

#### 【0051】

この工程44では、n+成膜層65の上にレジスト材料を塗布し、このレジスト材料をフォトリソグラフィ工程およびエッチング工程により加工し、図6(b)に示すように、半導体層16の形状を有するレジスト層67として形成した。

#### 【0052】

次に、ガス(例えばSF<sub>6</sub>+HCl)を用い、図6(c)に示すように、n+成膜層65およびa-Si成膜層64のドライエッチングを行ってn+層69およびa-Si層68を形成した。その後、ガラス基板12を有機溶剤で洗浄し、図5(d)に示すように、レジスト層67を剥離させて除去した。

10

20

30

40

50

## 【0053】

(ソース・ドレイン線前処理工程45)

このソース・ドレイン線前処理工程45では、図1に示すソース電極17およびドレイン電極18を形成する領域(ソース・ドレイン形成領域)の輪郭沿いに配線ガイドを形成する。

## 【0054】

ここで、図2(a)に示す格子状のソース配線およびドレイン配線に相当するソース電極17およびドレイン電極18と、TFT部22におけるソース電極17およびドレイン電極18とは、同時に形成される。したがって、上記ソース・ドレイン形成領域は、ソース配線およびドレイン配線の形成領域を含む。

10

## 【0055】

上記配線ガイドはフォトレジスト材料を用いて形成した。即ち、フォトレジストを半導体層形成工程44を経たガラス基板12上に塗布し、プリベークを行った後、フォトマスクを用いて露光現像を行い、次にポストベークを行うことにより配線ガイドを形成した。ここで形成した配線ガイドの幅は約10μm、配線ガイドによって形成された溝幅(配線形成領域の幅)は約10μmであった。

## 【0056】

なお、パターン形成装置により塗布される配線材料が下地面となる面に良く馴染むよう、SiNx面(ゲート絶縁層15の上面)には酸素プラズマにて親水処理を施すとともに、配線ガイドにはプラズマ中にCF4ガスを流すことにより撥水処理を施しても良い。

20

## 【0057】

上記の親撥水処理は、特開2000-353594公報(欧州特許出願EP0989778A1)に開示された親撥水処理と基本的には同じである。配線ガイドが撥水性を持つのは、フォトレジスト材料(有機樹脂)の表層がF(フッ素)によって修飾されるからである。CF4ガスに代えてSF6ガスを用いることもできる。

## 【0058】

また、上記の配線ガイドの形成に代えて、前記ゲート電極形成に用いた光触媒による親撥水処理方法にて、配線電極パターンに応じた親撥水処理(ソース・ドレイン線形成領域としての親水領域と、ソース・ドレイン線非形成領域としての撥水領域とを所望のパターンに応じて形成する処理)を施してもよい。

30

## 【0059】

(ソース・ドレイン線塗布形成工程46)

このソース・ドレイン線塗布形成工程46では、配線ガイドにより形成されたソース・ドレイン形成領域に、パターン形成装置にて配線材料を塗布することにより、ソース電極17およびドレイン電極18を形成した。ここでは、インクジェットヘッド33からの配線材料の吐出量を2p1に設定した。また、配線材料には、Ag微粒子材料を用い、形成膜厚を0.3μmとした。また、焼成温度は200とし、焼成後、有機溶媒にて配線ガイドを除去した。

## 【0060】

なお、配線材料は、前述のゲート電極13に使用したものと同様のものを使用可能であるものの、a-Siの形成が約300で行われていることから、焼成温度は300以下で行う必要がある。

40

## 【0061】

(チャンネル部加工工程47)

ここでは、TFTのチャネル部72の加工を行う。まず、配線ガイドを有機溶媒により除去した。あるいはアッシングによりチャネル部72の配線ガイドを除去した。次に、アッシングもしくはレーザー酸化でn+層69を酸化処理し、不導体化した。

## 【0062】

(保護膜形成工程48、保護膜加工工程49)

ここでは、先ず、ソース・ドレイン電極までが形成されたガラス基板12上に、CVD

50

により保護膜 19(図2(b))となるSiO<sub>2</sub>膜を形成した。次に、このSiO<sub>2</sub>膜の上に、感光性アクリル樹脂層20となるアクリル性レジスト材料を塗布し、このレジスト層に画素電極形成パターン、および端子加工用パターンを形成した。

#### 【0063】

上記パターンの形成においては、マスクに、上記レジスト層が現像後に全て取り除かれるようにする部分と、厚さにおいて約半分取り除かれるようにする部分とを形成した。後者は透過率が約50%のハーフトーン露光用の領域である。

#### 【0064】

即ち、保護膜19および感光性アクリル樹脂層20をエッチングして、前記コンタクトホール24における端子面を形成する部分では、レジスト層を全て取り除く一方、画素電極21を形成する部分では、感光性アクリル樹脂層20における画素電極形成パターンの周りが、図2(b)に示すガイドとなるように、レジスト層の厚さを塗布厚の半分に調整した。

#### 【0065】

次に、レジスト層をマスクにして、まず端子部にある保護膜19および感光性アクリル樹脂層20をドライエッチングで除去した。

#### 【0066】

##### (画素電極形成工程50)

感光性アクリル樹脂層20の画素電極形成パターン上に、画素電極材料となるITO微粒子材料をパターン形成装置により塗布し、これを200℃で焼成して画素電極21を形成した。これにより、TFTアレイ基板11を得た。

#### 【0067】

上記のように、本TFTアレイ基板11の製造方法では、インクジェット方式によるパターン形成装置を用いない従来の製造方法と比較すると、マスク枚数を減らすことができ、フォトリソグラフィ工程や、真空成膜装置を大幅に削減することができる。これにより、設備投資額も大幅に削減することができる。

#### 【0068】

なお、上述した製造工程によって、ボトムゲート構造のTFT部22を有するTFTアレイ基板11を製造することができるが、トップゲート構造を有するTFTアレイ基板11を製造する場合には、製造工程が図18に示すフローのように変わる。

#### 【0069】

図18に示す各工程121～132には、図4に示す各工程41～50の内、対応する工程の番号を付記してある。

#### 【0070】

トップゲート構造の製造工程では、ゲート電極13の形成が、ソース電極17およびドレイン電極18の形成および半導体層16の形成の後になるが、各工程121～132の内容は、対応する各工程41～50の内容と基本的には同じである。

#### 【0071】

但し、前記ゲート絶縁層成膜・半導体層成膜工程43は、半導体n+層成膜工程123、半導体n+層形成(加工)工程124、半導体層(a-Si層)成膜工程125、半導体層形成(加工)工程126およびゲート絶縁層成膜工程127に分離される。

#### 【0072】

半導体n+層形成(加工)工程124および半導体層形成(加工)工程126のそれでは、前述の半導体層16の形成において説明したように、フォトリソグラフィ工程およびエッチング工程により形成したレジストをマスクとして用いたドライエッチングを行えばよい。

#### 【0073】

次に、TFT部22におけるソース電極17およびドレイン電極18の形成方法についてさらに詳述する。

#### 【0074】

10

20

30

40

50

ソース電極 17 およびドレイン電極 18 は、図 1 および図 2 (a) に示すように、TFT 部ゲート電極 66 を横切る形で形成されている。図 1 に示した構成では、ソース電極 17 およびドレイン電極 18 が、TFT 部 22 においてそれぞれ複数本に分岐している。即ち、ソース電極 17 は、複数本の分岐電極部 17a を備え、ドレイン電極 18 は、複数本の分岐電極部 18b を備えている。ソース電極 17 の分岐電極部 17a とドレイン電極 18 の分岐電極部 18b とは交互に配置され、隣り合う分岐電極部 17a、18b の間がチャネル部 72 となっている。分岐電極部 17a、18b の幅は例えば 10 μm であり、チャネル部 72 の幅（分岐電極部 17a、18b 間距離）は例えば 10 μm である。

## 【0075】

TFT 部 22 のソース電極 17 およびドレイン電極 18 をパターン形成装置からの電極材料の滴下により形成する場合には、各電極に対して配線材料の微小液滴を塗布するか、配線材料の液滴を複数の配線に跨って塗布する。

## 【0076】

ここで、配線幅は通常数 μm であり、数 μm 径の液滴を実現するには、パターン形成装置において 1 pL を遙かに下回る吐出量を実現することが必要である。しかしながら、このような液滴径を実現するのは困難である。また、仮に、実現した場合であっても、液晶パネルが有する 200 ~ 300 万個の TFT 部 22 に対して微小液滴を塗布していくのは、時間的にもインクジェットヘッド 33 の寿命の点からも困難である。そこで、数 μm 径より大きな液滴を滴下することになる。

## 【0077】

この場合、チャネル部 72 の電極（分岐電極部 17a、18a）に対して液滴を直接滴下すると、チャネル部 72 に配線材料の飛沫が付着し、あるいは配線材料の残渣が生じることがある。

## 【0078】

このようにしてチャネル部 72 に配線材料が残った場合、チャネル部 72 の n+層 69 のエッチング処理を行う際に、残った配線材料がマスクとなって n+層 69 が残ることになる。このため、ソース電極 17 とドレイン電極 18 との間ににおいてリークが発生することになる。

## 【0079】

このリークが発生する理由を明らかにするために、チャネル部 72 の加工について説明する。図 14 (a) は図 13 の E-E' 断面において、ソース・ドレイン電極が形成される前を示している。a-Si 層 68 及び n+層 69 からなる半導体層 16 が形成されたのに、チャネル部 72 上でソース電極 17 とドレイン電極 18 とを分離するためのガイド 200 を形成したところである。

## 【0080】

尚、この断面図では、半導体層 16 が形成されるゲート絶縁層 15 から上を記しており、ゲート電極 66 は省略してある。

## 【0081】

次に、ソース電極 17 およびドレイン電極 18 の材料を塗布し焼成した状態が図 14 (b) であり、その後、ガイド 200 を有機溶剤、若しくはアッティングにより除去した状態が図 14 (c) である。この状態では、半導体層 16 上には、n+層 69 がまだ存在し、このままでは n+層 69 の持つキャリアによってソース電極 17 およびドレイン電極 18 に電圧が印加されると容易に電流が流れる。

## 【0082】

そこで n+層 69 を除去することが必要である。n+層 69 の除去には、SF6 + HCl 等のガスを用いたドライエッティングを採用することができる。また、n+層 69 を除去する代わりに、アッティング、レーザー酸化によって n+層 69 を不導体化してもよい。

## 【0083】

図 14 (d) は、n+層 69 を除去した状態を示している。こうしてチャネル部 72 の加工が完了する。

10

20

30

40

50

## 【0084】

このとき、チャネル部72のガイド200上に電極材料が残った場合、n+層69の除去または不導体化が不十分になる。

## 【0085】

例えば、図13は、ソース電極17側のチャネル部72の一部に電極材料が残った場合を示し、図14(e)は、そのE-E'断面を表している。図14(e)に示すように、電極材料の残渣(Q)がガイド200上に残ると、図14(f)に示すように、ガイド200を除去する工程で、残渣(Q)がマスクとなるため、ガイド200が一部残ることがある。これは、有機溶媒を用いた処理でも、アッティングによる剥離でも同様に起きる。

## 【0086】

図14(f)に示すように、チャネル部72にガイド200が一部残ると、図14(g)に示すように、さらに次工程でのn+層69の除去に於いても、残渣(Q)がある部分のn+層69を除去し切れなくなる。同様に、アッティング、レーザー酸化によってn+層69を不導体化させる処理では、残渣(Q)がある部分のn+層69を不導体化させることができなくなる。

## 【0087】

このように、残渣(Q)に起因してn+層69がチャネル部72に残留するので、図15に示すように、残渣(Q)がソース・ドレン電極17・18に跨っている場合は、残渣(Q)によってソース・ドレン電極17・18間にリーク電流が流れることになる。当然、この部分には、n+層69が残留するので、n+層69の加工後に残渣(Q)が除去されても、ソース・ドレン電極17・18間にn+層69をとおして電流が流れる。このため、ソース・ドレン電極17・18間にリークが生じることになる。

## 【0088】

以上のように、ソース・ドレン電極17・18の形成時に、残渣(Q)が生じないようになることが大切である。

## 【0089】

そこで、TFT部22においてソース電極17およびドレン電極18を形成する場合には、ソース電極17およびドレン電極18の形成領域におけるチャネル部72(半導体層16)の領域を外した位置を配線材料の液滴の滴下位置としている。具体的には、ソース電極17およびドレン電極18が、上記のように分岐電極部17aおよび分岐電極部18bを有する場合、図1に示すように、分岐電極部17a, 18aそれぞれの分岐始端部17b, 18bに相当する位置を滴下位置81としている。

## 【0090】

また、上記の滴下位置81はパターン形成装置における液滴の滴下精度を加味して決定されており、そのようにして決定された滴下位置81に分岐始端部17b, 18bが配置されている。

## 【0091】

パターン形成装置において、液滴の滴下精度、即ち目標とする滴下位置からの実際に滴下された位置のずれ量は、インクジェットヘッド33の加工誤差、ヘッドノズルにおける液滴の付着状態、液滴量のばらつき、X方向駆動部34とY方向駆動部35とにおける繰り返し駆動位置精度、インクジェットヘッド33の熱膨張、吐出時のインクジェットヘッド33の移動速度等に左右される。また、パターン形成装置における滴下精度は、1個のノズルが静止状態で吐出する場合には例えば $\pm 3 \sim \pm 5 \mu\text{m}$ である一方、マルチノズルの場合には例えば $\pm 10 \sim \pm 15 \mu\text{m}$ となる。

## 【0092】

本実施の形態においては、ヘッド寿命やタクトタイムを考慮するとともに、1個の液滴で複数本の配線を形成することや、電極幅よりも大きな液滴径で線幅 $10 \mu\text{m}$ の電極を形成することを考慮し、1滴の液滴量を4plとした。この液滴量では、滴下したとき(着弾したとき)の液滴径が $20 \mu\text{m}$ 程度となつた。したがって、分岐電極部17a, 18aの電極幅と滴下したときの液滴径との比は、ほぼ1:2とするのが好ましい。

10

20

30

40

50

## 【0093】

また、このような条件を加味し、滴下位置 8 1 は、図 7 に示すように、半導体層 1 6 ( a - Si 層 6 8 ) の端部から  $30 \mu m$  とした。なお、同図において、8 2 は滴下位置 8 1 での滴下中心を示し、8 3 は滴下中心 8 2 からの  $\pm 15 \mu m$  の滴下中心誤差範囲 8 3 を示している。また、8 4 は、上記の滴下位置 8 1 ( 滴下中心 8 2 ) からチャネル部 7 2 方向へ  $15 \mu m$  ずれた位置に液滴が滴下された場合の滴下位置 ( 液滴径  $20 \mu m$  ) を示す。

## 【0094】

上記のように、チャネル部 7 2 から離れた滴下位置 8 1 に液滴を滴下してソース電極 1 7 およびドレイン電極 1 8 を形成することにより、TFT 上、即ちチャネル部 7 2 には配線材料の飛沫が付着することなく、ソース - ドレイン電極間のリークが発生しない。したがって、ソース電極 1 7 およびドレイン電極 1 8 を配線材料の液滴の滴下により形成する場合において、安定な TFT 特性を得ることができる。

## 【0095】

## 〔実施の形態 2〕

本発明の実施の他の形態を図面に基づいて以下に説明する。

## 【0096】

本実施の形態において、TFT アレイ基板 1 1 ( 図 2 ( a ) ) の TFT 部 2 2 は図 8 に示す構成となっている。この TFT 部 2 2 では、前記ソース電極 1 7 およびドレイン電極 1 8 に代えてソース電極 9 1 およびドレイン電極 9 2 が設けられている。また、前記半導体層 1 6 に代わる半導体層 9 3 は、液滴の滴下形状であるほぼ円形を有するものとなっている。

## 【0097】

ソース電極 9 1 およびドレイン電極 9 2 は、前記ソース電極 1 7 およびドレイン電極 1 8 と同様、それぞれ分岐電極部 9 1 a , 9 2 a を有し、これら分岐電極部 9 1 a , 9 2 a はそれぞれ分岐始端部 9 1 b , 9 2 b から例えれば二股状に分岐している。なお、分岐本数については適宜設定することができる。

## 【0098】

既に説明したとおり、図 1 に示した構成において、前記ソース電極 1 7 およびドレイン電極 1 8 の分岐電極部 1 7 a , 1 8 a は、分岐始端部 1 7 b , 1 8 b から、先ずゲート電極 1 3 から TFT 部ゲート電極 6 6 が突き出す方向と平行な方向 ( 互いに反対方向である 2 方向 ) へ延び、次に TFT 部ゲート電極 6 6 上において TFT 部ゲート電極 6 6 が突き出す方向と垂直な方向へ延びた形状となっていた。

## 【0099】

これに対し、図 8 に示す構成において、ソース電極 9 1 およびドレイン電極 9 2 の分岐電極部 9 1 a , 9 2 a は、分岐始端部 9 1 b , 9 2 b から、先ず TFT 部ゲート電極 6 6 に向かって分岐電極部 9 1 a 同士の間隔、または分岐電極部 9 2 a 同士の間隔が広がるように斜め方向 ( 2 方向 ) に延び、次に TFT 部ゲート電極 6 6 上において TFT 部ゲート電極 6 6 が突き出す方向と垂直な方向へ延びた形状となっている。

## 【0100】

即ち、分岐電極部 9 1 a , 9 2 a は、半導体層 9 3 上の部分同士が平行に配され、これら平行部と分岐始端部 9 1 b , 9 2 b との間の部分が直線状に形成されている。

## 【0101】

また、本実施の形態において、半導体層 9 3 は、上記のように、液滴の滴下形状であるほぼ円形を有している。この場合の TFT アレイ基板 1 1 の製造方法を以下に説明する。

## 【0102】

この製造方法において、ゲート前処理工程 4 1 からゲート絶縁層成膜・半導体層成膜工程 4 3 ( 図 9 ( a ) ) まで、並びに半導体層形成工程 4 4 後のソース・ドレイン線前処理工程 4 5 から画素電極形成工程 5 0 については実施の形態 1 の場合と同様であり、半導体層形成工程 4 4 を次のようにして行う。

## 【0103】

10

20

30

40

50

この半導体層形成工程 4 4 を図 9 ( b ) ~ 図 9 ( e ) に示す。図 9 ( e ) は半導体層形成工程 4 4 を経たガラス基板 1 2 を示す平面図、図 9 ( d ) は図 9 ( e ) における D - D 線矢視断面図、図 9 ( b ) および図 9 ( c ) は、各処理を示す図 9 ( d ) に示した位置における縦断面図である。

#### 【 0 1 0 4 】

この工程では、図 9 ( b ) に示すように、ゲート電極 1 3 から分岐した TFT 部ゲート電極（分岐電極）6 6 上における n + 層 6 5 の上に、パターン形成装置によりレジスト材料として熱硬化性樹脂を滴下させて付着させ、これによって形成されたレジスト層 9 4 を加工のパターンとした。レジスト材料の吐出量は例えば 10 p 1 の液滴 1 滴とし、TFT 部ゲート電極 6 6 上における所定の位置にほぼ 30 μm 径の円形のパターンを得た。これを 150 °で焼成した。レジスト層 9 4 の熱硬化性樹脂としては、東京応化製レジスト TEF シリーズをインクジェット用に粘度調整して使用した。

#### 【 0 1 0 5 】

なお、レジスト層 9 4 の材料としては、上記の熱硬化性樹脂の他、UV 樹脂あるいはフォトレジストを使用可能である。また、レジスト層 9 4 は、透明である必要はないものの、透明である場合には形成位置の確認を容易に行うことができる。さらに、レジスト層 9 4 は、ドライエッティングの熱に耐え得るもの、耐ドライエッティングガス性を有するもの、被エッティング材料とのエッティング選択性を有するものであることが望ましい。

#### 【 0 1 0 6 】

次に、ガス（例えば SF<sub>6</sub> + HC<sub>1</sub>）を用い、図 9 ( c ) に示すように、n + 成膜層 6 5 および a - Si 成膜層 6 4 のドライエッティングを行って n + 層 6 9 および a - Si 層 6 8 を形成した。その後、ガラス基板 1 2 を有機溶剤で洗浄し、図 9 ( d ) に示すように、レジスト層 9 4 を剥離させて除去した。

#### 【 0 1 0 7 】

上記のように、半導体層形成工程 4 4 においては、パターン形成装置によって吐出された樹脂のパターン（レジスト層 9 4 のパターン）がそのまま、n + 層 6 9 および a - Si 層 6 8 からなる半導体層 9 3 の形状に反映される。したがって、半導体層 9 3 は、レジスト層 9 4 の材料の液滴がインクジェットヘッド 3 3 からガラス基板 1 2 上に滴下されたときのそのままの形状である円形もしくは円形に近い曲線からなるパターンに形成される。

#### 【 0 1 0 8 】

なお、このように半導体層 9 3 が TFT 部ゲート電極 6 6 の領域外へはみ出した形状である場合、分岐電極部 9 1 a , 9 2 a の先端部が TFT 部ゲート電極 6 6 の領域外へはみ出さしていないこと（TFT 部ゲート電極 6 6 の領域内に位置すること）が必要である。

#### 【 0 1 0 9 】

図 8 は、図 7 の TFT 部ゲート電極 6 6 および半導体層 1 6 と違って、半導体層 9 3 が TFT 部ゲート電極 6 6 の端部よりも外側に広がった形状となっている。このため、図 8 での分岐電極部 9 1 a , 9 2 a の先端は、TFT 部ゲート電極 6 6 の端面ラインより内側つまり TFT 部ゲート電極 6 6 上にあることが望ましい。これは、ソース・ドレイン電極 1 7 · 1 8 が TFT 部ゲート電極 6 6 外に及んだ場合に、リーク電流が増大し TFT 特性が悪くなるからである。

#### 【 0 1 1 0 】

ここで、ソース・ドレイン線塗布形成工程 4 6 において示したリーク電流の発生メカニズムを、図 16 ( a ) ( b ) および図 17 ( a ) ( b ) に基づいて詳述する。

#### 【 0 1 1 1 】

図 16 ( a ) はソース電極 1 7 が TFT 部ゲート電極 6 6 の端のラインよりも内側で、TFT 部ゲート電極 6 6 上にある場合における TFT 部の平面図であり、図 16 ( b ) はその G - G 線矢視断面図である。これに対し、図 17 ( a ) はソース電極 1 7 が TFT 部ゲート電極 6 6 の端のライン外に出ている場合、つまり TFT 部ゲート電極 6 6 外に及んでいる状態の TFT 部の平面図であり、図 17 ( b ) はその H - H 線矢視断面図である。

#### 【 0 1 1 2 】

10

20

30

40

50

なお、図16(a)および図17(a)はTFT部ゲート電極66に負の電位が印加された場合を示している。図16(b)および図17(b)に示すように、TFT部ゲート電極66はゲート絶縁層15を挟んでa-Si層68と対向している。ここで、n+層69はa-Si層68へキャリアを注入する層であり、リン(P)等をドープした過電子状態の層である。

#### 【0113】

図16(a)(b)および図17(a)(b)のTFTにおいて、TFT部ゲート電極66に、例えば-4Vの電圧を印加した場合のソース・ドレイン電極17・18間のリーク電流を測定した。その結果、リーク電流は、ソース・ドレイン電極17・18がTFT部ゲート電極66上の状態において凡そ1pA程度であった。一方、ソース・ドレイン電極17・18がTFT部ゲート電極66外に及ぶ状態において、リーク電流は20~30pAに増加した。10

#### 【0114】

これにより、ソース・ドレイン電極17・18が外に及ぶ状態では、TFT特性が劣化することが分った。また、この結果が生じた理由は、次のように説明することができる。

#### 【0115】

先ず、TFT部ゲート電極66に負電位が印加された場合について説明する。TFT部ゲート電極66が負電位である場合、キャリアである電子は、図16(a)に示すように、負電荷同士の反発によりTFT部ゲート電極66から離れようとして存在する。したがって、電子は半導体領域の周囲部に存在し、TFT部ゲート電極66上のa-Si層68には殆ど存在していない。このため、TFTはOFF状態となっている。20

#### 【0116】

仮に、電子がゲート・ドレイン電極17・18間を流れようとしても、TFT部ゲート電極66上で負に引張られている部分(P)を越えて流れなければならないが、TFT部ゲート電極66が負電位であるので、電荷の反発で電子はTFT部ゲート電極66を越えて流れることができない。このため、リーク電流は小さいと考えられる。

#### 【0117】

一方、図17(a)の場合には、TFT部ゲート電極66が負電位であっても、ソース・ドレイン電極17・18がTFT部ゲート電極66の外縁から外にあるので、電子はTFT部ゲート電極66で負に引張られている部分(P)を越えなくてもa-Si層68の外周部に沿って移動することができる。このため、リーク電流が容易に流れ易くなると考えられる。30

#### 【0118】

上記の説明から理解できるように、TFT部において、ソース・ドレイン電極17・18はTFT部ゲート電極66の外縁より内側にあること(TFT部ゲート電極66上有ること)が好ましい。

#### 【0119】

次に、TFT部ゲート電極66に正電位が印加された場合について説明する。TFT部ゲート電極66が正電位である場合には、n+層69の電子がTFT部ゲート電極66の電位に引き寄せられ、チャネル部にキャリアが存在することになる。したがって、ソース・ドレイン電極17・18間には容易に電流が流れ、TFTがON状態になる。例えばTFT部ゲート電極66に10Vを印加したところ、ソース・ドレイン電極17・18間には凡そ1μAの電流が流れた。このときのソース・ドレイン電極17・18間の印加電圧は10Vであった。TFTがONの場合、電子はソース・ドレイン電極17・18間を最短距離で流れようとするので、ソース・ドレイン電極17・18がTFT部ゲート電極66の外縁から外に出ている状態であっても影響はない。40

#### 【0120】

また、レジスト層94の形成は、インクジェットヘッド33からの液滴1滴の滴下にて行っているものの、複数の液滴の滴下により行ってよい。ただし、液滴を際限なく微小50

にし、それら微小さな液滴を緻密に吐出させてレジスト層94を形成した場合には、1個の半導体層93を形成するのに長時間をするばかりか、必要なドット数(吐出数)が増加することによりインクジェットヘッド33の寿命を縮めることになる。

#### 【0121】

インクジェットヘッド33を使用する各工程において重要な点は、液滴の滴下により層(膜)を所望の面積に形成する場合に、最適な液滴量かつ可能な限り少ないショット数(吐出数)で液滴を滴下することである。こうすることによって、インクジェットヘッド33の使用限界内で最大の処理数を実現でき、ひいては装置コストを最低限に抑えることが可能となる。

#### 【0122】

さらに、半導体層形成工程44では、インクジェットヘッド33によって吐出される液滴を受ける面に特別な処理を行う必要が無いことも重要な特徴となっている。即ち、液滴の滴下を受ける面が極端に濡れる状態では、その面がパターン化されていない限り、吐出された液滴は不定形に広がり、成膜工程が成立しない。ところが、a-Si成膜層64(の表面)では、Siの終端が多く存在するので、a-Si成膜層64の表面は基本的に撥水性となり、液滴はa-Si成膜層64上においてある程度の大きい接触角を有し、円形に近い状態となる。したがって、基板側(a-Si成膜層64)を特別に処理する必要が無い。

#### 【0123】

また焼成、ガス中処理(ドライエッティング)などが施された基板面は、短分子状のものが付着している可能性が高く、a-Si以外の半導体、例えば有機半導体を用いた場合であっても、吐出された液滴はある程度の大きい接触角をもって存在する場合が多い。

#### 【0124】

従来、半導体層をパターン化するためにはマスクやフォトリソグラフィ工程が必要であった。これに対し、上記の半導体層形成工程44では、インクジェットヘッド33から液滴を滴下して、マスクとなるパターン(レジスト層94)を直接描画しているので、マスクおよびこれを用いるフォトリソグラフィ工程が不要となる。したがって、大幅なコストダウンを実現することができる。

#### 【0125】

なお、液滴の滴下形状の半導体層93を形成する方法としては、上記のように液滴の滴下によりレジスト層94を形成し、これをマスクとして半導体層93を形成する方法の他、半導体層93となる材料をパターン形成装置により直接滴下して形成する方法も可能である。この場合の半導体材料としては、ポリビニルカルバゾール(PVK)やポリフェニレンビニレン(PPV)に代表される有機半導体材料を使用可能である。

#### 【0126】

上記のように、分岐電極部91a, 92aは、分岐始端部91b, 92b側の部分が、TFT部ゲート電極66が突き出す方向に対して斜めに形成されている。これは主として次の理由による。

#### 【0127】

液滴の滴下形状に形成された半導体層93は、前記半導体層16よりも大きくなることがある。このような場合、滴下位置81となる分岐始端部91b, 92bの位置は、チャネル部72へ電極材料の飛沫が付着するのを避けるため、図1の構成の場合よりもTFT部ゲート電極66の位置からさらに遠ざける必要がある。一方、分岐始端部91b, 92b(滴下位置81)に相当する位置に滴下した電極材料は分岐電極部91a, 92aの先端部まで確実に行き渡らせる必要がある。そこで、分岐電極部91a, 92aの分岐始端部91b, 92b側の部分を斜めに形成すれば、分岐始端部91b, 92bをTFT部ゲート電極66の位置からさらに遠ざけ、かつ分岐始端部91b, 92bから先端部までの分岐電極部91a, 92aの長さが長くなることを抑制できる。

#### 【0128】

また、パターン形成装置から滴下した液滴が所望の滴下位置81からチャネル部72方

10

20

30

40

50

向にずれた位置（滴下位置 8 4）に滴下された場合であっても、分岐電極部 9 1 a, 9 2 a の分岐始端部 9 1 b, 9 2 b 側の部分が斜めに形成されていることにより、例えば滴下位置における分岐電極部 9 1 a 同士の間隔が、図 1 に示した分岐電極部 1 7 a 同士の間隔より狭くなる。この結果、図 1 に示した構成の場合と比較して、滴下された液滴が分岐電極部 9 1 a, 9 2 a 上に滴下し易くなる。したがって、電極材料の目標とする滴下位置 8 1 に対する誤差の許容範囲が広くなる。

#### 【0129】

##### [実施の形態 3]

本発明の実施のさらに他の形態を図 10 (a) (b) に基づいて以下に説明する。  
本実施の形態において、TFT アレイ基板 11 の TFT 部 22 は図 10 (a) に示す構成 10 となっている。この TFT 部 22 では、前記ソース電極 17 およびドレイン電極 18 に代えてソース電極 101 およびドレイン電極 102 が設けられ、例えば前記半導体層 16 が設けられている。この TFT アレイ基板 11 は、実施の形態 1 に示した方法と同一の方法により製造可能である。

#### 【0130】

ソース電極 101 は半導体層 16 上に延びる分岐電極部 101 a において、分岐始端部 101 b 側の部分の面積が大きくなっている。言い換えるれば、分岐電極部 101 a は、ソース電極 101 から台形形状に突き出し、台形形状の下底が分岐始端部 101 b となっている。

#### 【0131】

このようにするために、ソース電極 101 は、ソース電極 101 の本線とつながる分岐電極部 101 a の両側部分に向かって電極幅が漸次広くなっている。言い換えるれば、台形形状の 2 つの底角部（分岐電極部 101 a の両側部分）から台形形状の上辺部分に向かって電極幅が漸次狭くなり、台形形状の上辺部分は半導体層 16 上に延び出している。さらに別の観点で言い換えると、上記 2 つの底角部のことを、ソース電極 101 の本線（ソース配線）と TFT 部 22 におけるソース電極 101 とを仲介するソース移行部と呼ぶとすれば、各ソース移行部（底角部）における電極幅は、ソース配線から半導体層 16 の形成領域に向かって徐々に広がっている。

#### 【0132】

したがって、このようなソース電極 101 においては、分岐電極部 101 a における分岐始端部 101 b の両側部分（上記 2 つのソース移行部）が、電極材料の液滴をチャネル部 72（半導体層 16）の領域以外に滴下するための前記滴下位置 8 1 となっている。

#### 【0133】

一方、ドレイン電極 102 は、チャネル部 72 の近傍位置からチャネル部 72 方向に向かって電極幅が漸次広くなっている。言い換えると、上記近傍位置のことを、TFT 部 22 におけるドレイン電極 102 とドレイン電極 102 の配線（ドレイン配線）とを仲介するドレイン移行部と呼ぶとすれば、上記ドレイン移行部における電極幅は、ドレイン配線から半導体層 16 の形成領域に向かって徐々に広がっている。そして、上記近傍位置である電極幅拡大始端部 102 a（すなわちドレイン移行部）が前記滴下位置 8 1 となっている。

#### 【0134】

ここで、前述のソース・ドレイン線前処理工程 45 において凸状のガイドあるいは親撥水処理により形成される電極形成領域に滴下された電極材料は、図 10 (b) に示す接触角の影響により、電極形成領域において幅の広い方向に引っ張られ、その方向に（自発的に）流れることになる。したがって、チャネル部 72（半導体層 16）の領域外に滴下位置 8 1 を設定した場合であっても、滴下された電極材料がソース電極 101 およびドレイン電極 102 におけるチャネル部 72 側の先端位置まで容易に到達し易く、配線材料の滴下により TFT 部 22 において確実にソース電極 101 およびドレイン電極 102 を形成することができる。

#### 【0135】

10

20

30

40

50

このように、パターン形成装置を使用した液滴の滴下により電極等の配線を形成する場合には、配線幅（配線形成領域の幅）を変化させることにより、滴下した液滴の流れる方向を制御することができる。

#### 【0136】

尚、本実施の形態3においては、1つのチャネル部72で構成されるTFTを例にとつて示したが、実施の形態1、2および後述する実施の形態4に示されるTFTの電極部に於いて、適宜配線幅を変化させても良いことは言うまでもない。

#### 【0137】

##### 〔実施の形態4〕

本発明の実施のさらに他の形態を図11に基づいて以下に説明する。 10

#### 【0138】

本実施の形態において、TFTアレイ基板11のTFT部22は図11に示す構成となっている。このTFT部22では、前記ソース電極17およびドレイン電極18に代えてソース電極111およびドレイン電極112が設けられ、例えば前記半導体層93が設けられている。半導体層93は、略円形形状を有し、直線状のゲート配線（ゲート電極13の本線）の上に、ゲート絶縁層15（図9）を介して局所的に形成されている。このTFTアレイ基板11は、実施の形態2示した方法と同一の方法により製造可能である。

#### 【0139】

図1および図8に示した構成では、TFT部22において電極を複数形成し、即ち分岐電極部17a, 18aおよび分岐電極部91a, 92aを形成することにより広いチャネル部72を形成しているので、大きな画素を駆動する場合のように電荷移動が大きい場合に有効である。また、TFT部ゲート電極66のパターンとソース電極17, 91（分岐電極部17a, 91a）およびドレイン電極18, 92（分岐電極部18b, 92b）とのパターンがTFT部ゲート電極66の延びる方向にずれていても、特に図1の構成ではさらにTFT部ゲート電極66の延びる方向と直交する方向にずれていても、安定した特性を得易いという特徴を有している。 20

#### 【0140】

図11に示す本実施の形態の構成では、ソース電極111の本線から分岐して半導体層93上に延びる分岐電極部111aとドレイン電極112におけるチャネル部72側の部分とがTFT部ゲート電極66の延びる方向に配され、かつTFT部ゲート電極66の領域内に設けられている。 30

#### 【0141】

言い換えると、ゲート配線に交差するソース配線から、ゲート配線に沿って半導体層93上へ、分岐電極部111aが延び出し、延伸方向がゲート配線の延伸方向と交差するドレイン配線から、ゲート配線に沿って半導体層93上へ、ドレイン電極112が延び出している。なお、ソース配線から分岐電極部111aが延び出し始める部位をソース移行部と呼び、ドレイン配線からドレイン電極112が延び出し始める部位をドレイン移行部と呼ぶ。

#### 【0142】

このような構成では、TFT部22が比較的小型となり、高い開口率を実現するのに有利である。 40

#### 【0143】

上記の構成において、チャネル部72（半導体層93）の領域外の滴下位置81は、ソース電極111側においては分岐電極部111aの分岐始端部111b（すなわちソース移行部）に相当する位置に設定されている。また、ドレイン電極112側においては、ドレイン電極112におけるチャネル部72側に折れ曲がった部分（すなわちドレイン移行部）に相当する位置に設定されている。これにより、パターン形成装置から滴下された電極材料の飛沫がチャネル部72に付着する事態を防止することができる。

#### 【0144】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の 50

変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0145】

(課題を解決するための手段からの移動記載)なお、上記の薄膜トランジスタにおいて、前記分岐始端部は、この分岐始端部を前記分岐電極部を形成する場合における前記電極材料の液滴の滴下位置とした場合の液滴の滴下位置誤差に基づき、液滴が前記チャネル部に滴下されない位置に設けられている構成としてもよい。

【0146】

上記の構成によれば、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態をさらに確実に防止可能である。

【0147】

上記の薄膜トランジスタにおいて、複数の前記分岐電極部は、前記半導体層上の部分同士が互い平行に配され、これら平行部と前記分岐始端部との間の部分が直線状に形成されている構成としてもよい。

【0148】

上記の構成によれば、チャネル部への電極材料の液滴の飛沫が付着する事態を避けるために、前記分岐始端部をチャネル部から確実に遠ざけ、かつ分岐始端部から先端部までの分岐電極部の長さが長くなる事態を抑制することができる。

【0149】

上記の薄膜トランジスタは、ソース電極とドレイン電極との少なくとも一方に、半導体側の端部方向に向かって電極幅が漸次拡大される部分が設けられている構成としてもよい。

【0150】

上記の構成によれば、滴下された液滴が電極幅の拡大される方向に流れ易くなるため、滴下位置をチャネル部から離すことができ、また滴下位置から確実に半導体部へ伸びた領域へ電極材料を流すことができる。

【0151】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極との少なくとも一方の半導体層上の部分が複数本に分岐された分岐電極部となり、前記ソース電極とドレイン電極との何れか一方の電極である第1電極の分岐電極同士の間に、他方の電極である第2電極が配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられるように前記電極形成領域を形成し、前記電極形成工程では、前記分岐始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下する構成としてもよい。

【0152】

上記の構成によれば、分岐電極部の分岐始端部に電極材料の液滴を滴下するので、ソース電極とドレイン電極との何れか一方または両者の分岐電極部を少ない液滴の滴下回数にて適切に形成することができる。

【0153】

上記の薄膜トランジスタの製造方法において、前記滴下位置は、電極材料の液滴の滴下位置誤差に基づき、液滴が前記チャネル部に滴下されない位置に設定する構成としてもよい。

【0154】

上記の構成によれば、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態をさらに確実に防止可能である。

【0155】

上記の薄膜トランジスタの製造方法において、複数の前記分岐電極部は、前記半導体層上の部分同士が互いに平行に配され、これら平行部と前記分岐始端部との間の部分が直線

10

20

30

40

50

状に形成される構成としてもよい。

【0156】

上記の構成によれば、チャネル部への電極材料の液滴の飛沫が付着する事態を避けるために、前記分岐始端部をチャネル部から確実に遠ざけ、かつ分岐始端部から先端部までの分岐電極部の長さが長くなる事態を抑制することができる。

【0157】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極との少なくとも一方に、半導体側の端部方向に向かって電極幅が漸次拡大される部分が設けられるように前記電極形成領域を形成し、前記電極形成工程では、電極幅が漸次拡大される前記部分の始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下する構成としてもよい。

【0158】

上記の構成によれば、滴下された液滴は、電極形成領域において幅の広い方向に引っ張られ、その方向に流れるので、半導体層の領域外に滴下位置を設定した場合であっても、滴下された電極材料がソース電極およびドレイン電極におけるチャネル部側の先端位置まで容易に到達し易くなる。これにより、電極材料の滴下によりソース電極およびドレイン電極を確実に形成することができる。

【0159】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極とにおける半導体層方向に向かう部分が、前記ゲート電極の領域内において前記ゲート電極の延びる方向と平行な方向に延びた状態となるように前記電極形成領域を形成する構成としてもよい。

【0160】

上記の構成によれば、薄膜トランジスタを小型の構成とすることができますので、この薄膜トランジスタを備えた例えば液晶表示装置において高い開口率を実現可能となる。

【0161】

発明の詳細な説明の項においてなした具体的な実施態様または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して、本発明が狭義に解釈されるべきものではなく、本発明の精神と次に記載する特許請求事項の範囲内で、色々と変更して実施することができるものである。

【産業上の利用可能性】

【0162】

本発明は、電極材料の液滴の飛沫が薄膜トランジスタのチャネル部に付着しない電極構成を備えた薄膜トランジスタ、およびその製造方法を提供することができる。

【図面の簡単な説明】

【0163】

【図1】図1は、本発明の実施の一形態におけるTFTアレイ基板のTFT部の構成を示す平面図である。

【図2(a)】図2(a)は本発明の実施の一形態の液晶表示装置におけるTFTアレイ基板の1画素の概略構成を示す平面図である。

【図2(b)】図2(b)は図2(a)におけるA-A線矢視断面図である。

【図3】図3は、本発明の実施の一形態における液晶表示装置の製造に使用するインクジェット方式のパターン形成装置を示す概略の斜視図である。

【図4】図4は、図2(a)、図2(b)に示したTFTアレイ基板の製造工程を示すフローチャートである。

【図5(a)】図5(a)は図3に示したゲート前処理工程を説明するTFTアレイ基板の平面図である。

【図5(b)】図5(b)は同ゲート線塗布形成工程を説明するTFTアレイ基板の平面図である。

【図5(c)】図5(c)は図5(b)におけるB-B線矢視断面図である。

10

20

30

40

50

【図6(a)】図6(a)は、図5(b)におけるB-B線矢視断面に相当する部分の断面図であり、図4に示したゲート絶縁層成膜・半導体層成膜工程を示すものであって、図6(e)におけるC-C線矢視断面図である。

【図6(b)】図6(b)は、図5(b)におけるB-B線矢視断面に相当する部分の断面図であり、図4に示した半導体層形成工程におけるゲート絶縁層および半導体層の成膜後に、フォトリソグラフィ工程が終わった状態を示すものであって、図6(e)におけるC-C線矢視断面図である。

【図6(c)】図6(c)は、図5(b)におけるB-B線矢視断面に相当する部分の断面図であり、同工程におけるa-Si成膜層およびn+成膜層のエッチング処理を示すものであって、図6(e)におけるC-C線矢視断面図である。

10

【図6(d)】図6(d)は同工程におけるレジストの除去処理を示すものであって、図6(e)におけるC-C線矢視断面図である。

【図6(e)】図6(e)は半導体層形成工程を経たTFTアレイ基板の平面図である。

【図7】図7は、図1に示したTFT部の各部のサイズ、および所望の滴下位置からの誤差の範囲を示す平面図である。

【図8】図8は、本発明の実施の他の形態におけるTFTアレイ基板のTFT部の構成を示す平面図である。

【図9(a)】図9(a)は、図5(b)におけるB-B線矢視断面に相当する部分の断面図であり、図8に示したTFT部を有するTFTアレイ基板を製造する場合の図4に示したゲート絶縁層成膜・半導体層成膜工程を示すものであって、図9(e)におけるD-D線矢視断面図である。

20

【図9(b)】図9(b)は、図5(b)におけるB-B線矢視断面に相当する部分の断面図であり、図4に示した半導体層形成工程におけるゲート絶縁層および半導体層の成膜後に、フォトリソグラフィ工程が終わった状態を示すものであって、図9(e)におけるD-D線矢視断面図である。

【図9(c)】図9(c)は、図5(b)におけるB-B線矢視断面に相当する部分の断面図であり、同工程におけるa-Si成膜層およびn+成膜層のエッチング処理を示すものであって、図9(e)におけるD-D線矢視断面図である。

【図9(d)】図9(d)は同工程におけるレジストの除去処理を示すものであって、図9(e)におけるD-D線矢視断面図である。

30

【図9(e)】図9(e)は半導体層形成工程を経たTFTアレイ基板の平面図である。

【図10(a)】図10(a)は本発明の実施の他の形態におけるTFTアレイ基板のTFT部の構成を示す平面図である。

【図10(b)】図10(b)は図10(a)におけるE-E線矢視断面に相当する部分の、ソース電極およびドレイン電極を形成する前の状態の断面図である。

【図11】図11は、本発明の実施の他の形態におけるTFTアレイ基板のTFT部の構成を示す平面図である。

【図12(a)】図12(a)は、光触媒を用いた基板の親水処理によって、撥水性領域内に親水性パターンを形成する工程を示す説明図である。

【図12(b)】図12(b)は、光触媒を用いた基板の親水処理によって、撥水性領域内に親水性パターンを形成する工程を示す説明図である。

40

【図12(c)】図12(c)は、光触媒を用いた基板の親水処理によって、撥水性領域内に親水性パターンを形成する工程を示す説明図である。

【図12(d)】図12(d)は、光触媒を用いた基板の親水処理によって、撥水性領域内に親水性パターンを形成する工程を示す説明図である。

【図13】図13は、ソース電極側のチャネル部の一部に、電極材料の飛沫が残った状態を示す平面図である。

【図14(a)】図14(a)は、TFT部におけるチャネル部の加工工程を示す概略的断面図である。

【図14(b)】図14(b)は、TFT部におけるチャネル部の加工工程を示す概略的

50

断面図である。

【図14(c)】図14(c)は、TFT部におけるチャネル部の加工工程を示す概略的断面図である。

【図14(d)】図14(d)は、TFT部におけるチャネル部の加工工程を示す概略的断面図である。

【図14(e)】図14(e)は、上記チャネル部に電極材料の飛沫が残った場合のチャネル部の加工工程を、図13のE-E'線に沿う矢視断面によって示す概略的断面図である。

【図14(f)】図14(f)は、上記チャネル部に電極材料の飛沫が残った場合のチャネル部の加工工程を、図13のE-E'線に沿う矢視断面によって示す概略的断面図である。 10

【図14(g)】図14(g)は、上記チャネル部に電極材料の飛沫が残った場合のチャネル部の加工工程を、図13のE-E'線に沿う矢視断面によって示す概略的断面図である。

【図15】図15は、ソース電極とドレイン電極との間のチャネル部を覆うように、電極材料の飛沫が残った状態を示す平面図である。

【図16(a)】図16(a)は、半導体層の形状がTFT部ゲート電極の領域外へはみ出している場合に、ソース・ドレイン電極間にリーク電流が発生しにくい構成を示す平面図である。

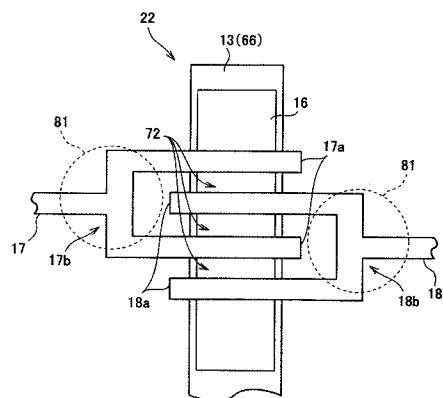
【図16(b)】図16(b)は、図16(a)のG-G'線における断面図である。 20

【図17(a)】図17(a)は、半導体層の形状がTFT部ゲート電極の領域外へはみ出している場合に、ソース・ドレイン電極間にリーク電流が発生しやすい構成を示す平面図である。

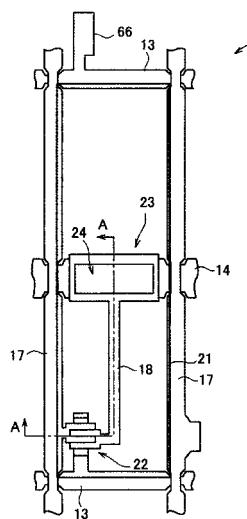
【図17(b)】図17(b)は、図17(a)のH-H'線における断面図である。

【図18】図18は、トップゲート構造を有するTFTアレイ基板の製造工程を示すフローチャートである。

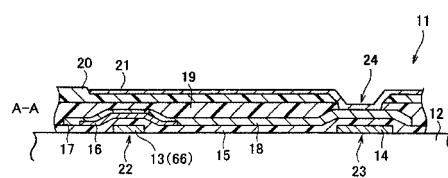
【図1】



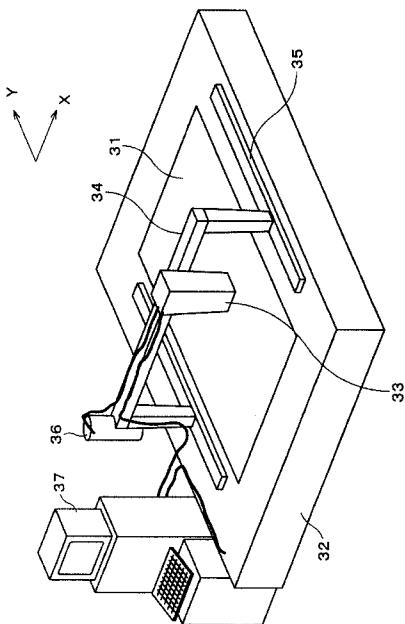
【図2(a)】



【図2(b)】



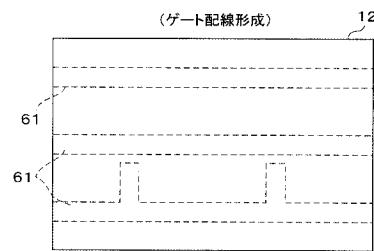
【図3】



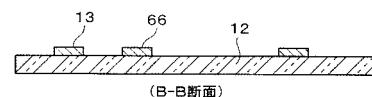
【図4】



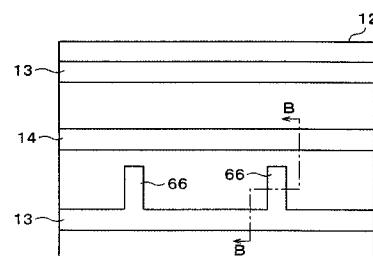
【図5(a)】



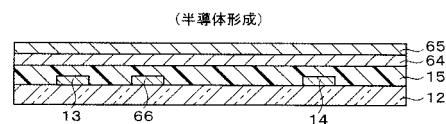
【図5(c)】



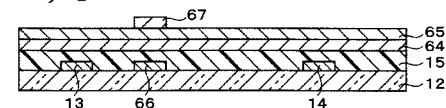
【図5(b)】



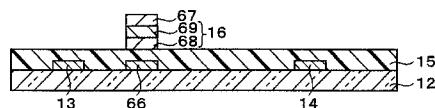
【図6(a)】



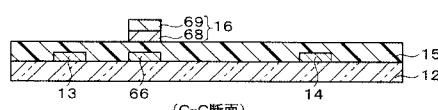
【図6(b)】



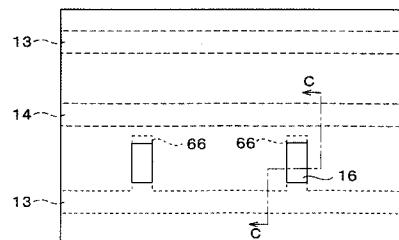
【図6(c)】



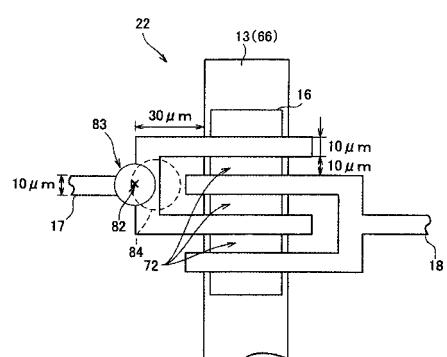
【図6(d)】



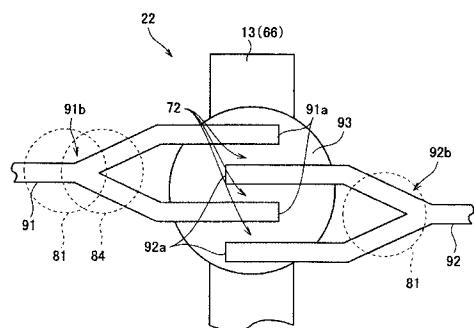
【図6(e)】



【図7】

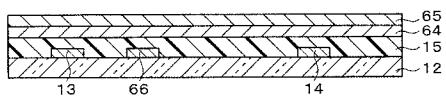


【図8】

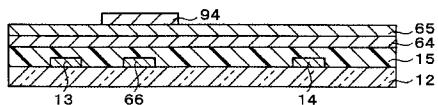


【図9(a)】

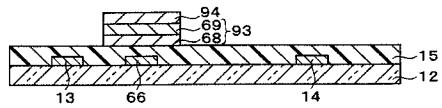
(半導体形成)



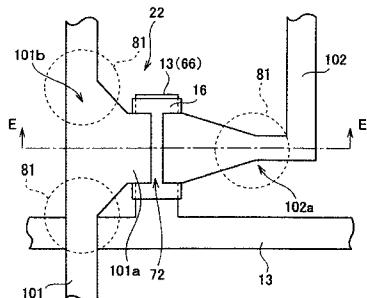
【図9(b)】



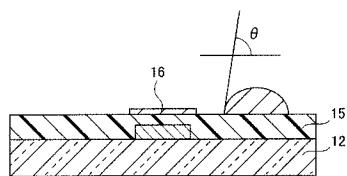
【図9(c)】



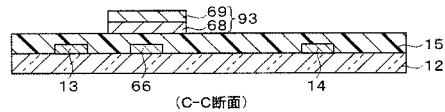
【図10(a)】



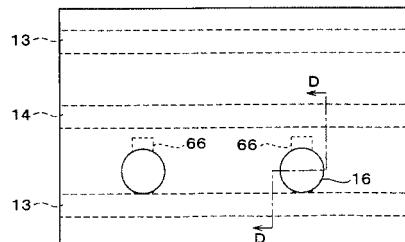
【図10(b)】



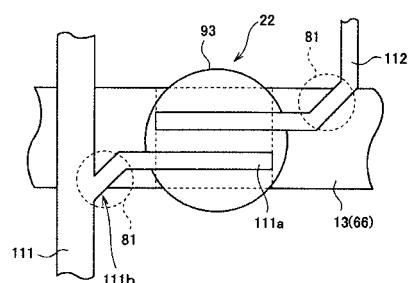
【図9(d)】



【図9(e)】

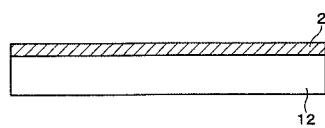


【図11】

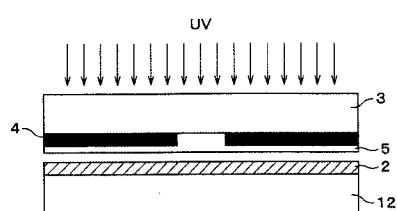


(E-E断面)

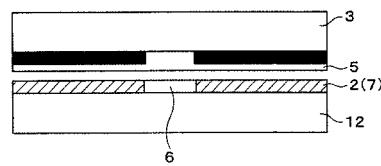
【図12(a)】



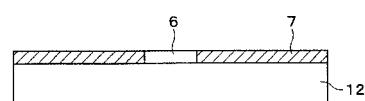
【図12(b)】



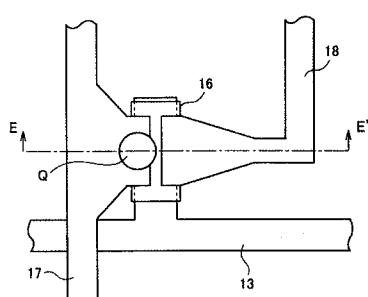
【図12(c)】



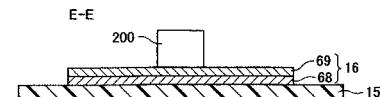
【図12(d)】



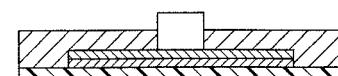
【図13】



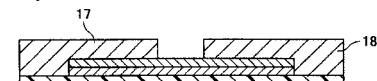
【図14(a)】



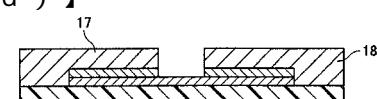
【図14(b)】



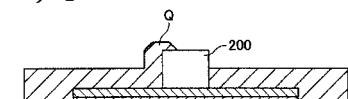
【図14(c)】



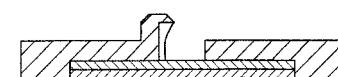
【図14(d)】



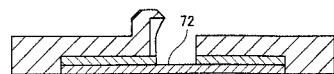
【図14(e)】



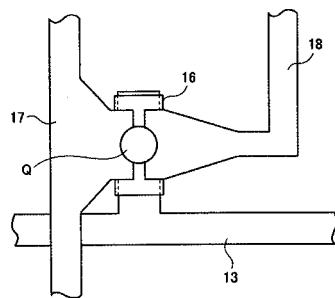
【図14(f)】



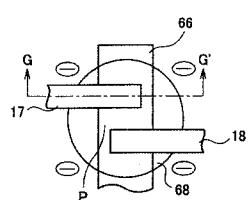
【図14(g)】



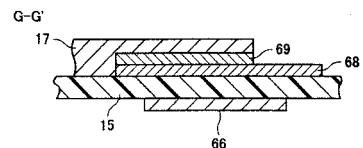
【図15】



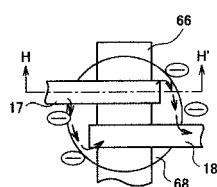
【図16(a)】



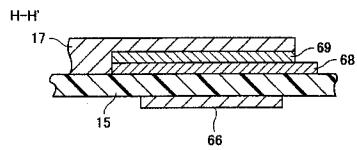
【図16(b)】



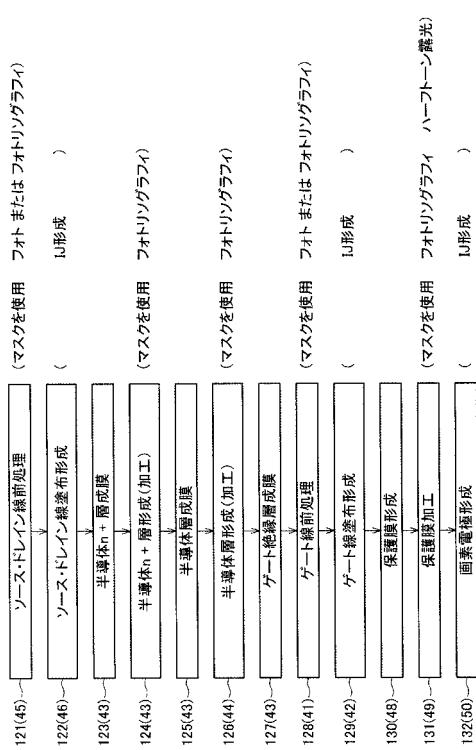
【図17(a)】



【図17(b)】



【図18】



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP03/09361									
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.CI' H01L29/786, H01L21/336, G02F1/1368 According to International Patent Classification (IPC) or to both national classification and IPC											
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.CI' H01L29/786, H01L21/336, G02F1/1368											
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Japanese Utility Model Gazette 1922-1996, Japanese Publication of Unexamined Utility Model Applications 1971-2003, Japanese Registered Utility Model Gazette 1994-2003, Japanese Gazette Containing the Utility Model 1996-2003											
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)											
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">WO 01/047045 A1(PLASTIC LOGIC LIMITED), 2001.06.28, SEE WHOLE DOCUMENT, FIG.7 &amp;JP 2003-518756 A</td> <td style="padding: 2px;">1-29</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">WO 01/020691 A1 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 2001.03.22, SEE WHOLE DOCUMENT, FIG.5 &amp;JP 2003-509869 A</td> <td style="padding: 2px;">1-9, 12, 18, 21, 24, 28</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	WO 01/047045 A1(PLASTIC LOGIC LIMITED), 2001.06.28, SEE WHOLE DOCUMENT, FIG.7 &JP 2003-518756 A	1-29	A	WO 01/020691 A1 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 2001.03.22, SEE WHOLE DOCUMENT, FIG.5 &JP 2003-509869 A	1-9, 12, 18, 21, 24, 28
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
A	WO 01/047045 A1(PLASTIC LOGIC LIMITED), 2001.06.28, SEE WHOLE DOCUMENT, FIG.7 &JP 2003-518756 A	1-29									
A	WO 01/020691 A1 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 2001.03.22, SEE WHOLE DOCUMENT, FIG.5 &JP 2003-509869 A	1-9, 12, 18, 21, 24, 28									
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.											
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed.											
Date of the actual completion of the international search  17.10.03	Date of mailing of the international search report  28.10.03										
Name and mailing address of the ISA/JP  Japan Patent Office  3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer <b>TAKASHI WATAHIKI</b>  4M 2934 Telephone No. +81-3-3581-1101 Ext. 3460										

---

フロントページの続き(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/336

F I

H 0 1 L 29/78

テーマコード(参考)

6 1 6 K

(81) 指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA ,ZM,ZW

F ターム(参考) 4M104 AA09 BB04 BB08 BB36 CC01 CC05 DD22 DD51 DD78 GG09  
GG10 GG14 HH20  
5C094 AA25 AA43 AA44 BA03 BA43 CA19 GB10  
5F033 GG03 GG04 HH11 HH12 HH13 HH14 PP26 VV15 XX00 XX21  
XX33 XX34  
5F110 AA06 AA30 BB01 CC05 CC07 DD02 EE02 EE06 EE42 EE48  
FF29 GG02 GG15 GG24 GG44 HK21 HK32 HK34 HK41 HK42  
HM04 NN03 NN23 NN27 NN72 NN73 QQ04 QQ09

专利名称(译)	薄膜晶体管，液晶显示装置，薄膜晶体管的制造方法以及液晶显示装置的制造方法		
公开(公告)号	<a href="#">JP2005535147A</a>	公开(公告)日	2005-11-17
申请号	JP2004534095	申请日	2003-07-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	藤井 晓義 中林 敬哉		
发明人	藤井 晓義 中林 敬哉		
IPC分类号	G02F1/1368 G09F9/30 H01L21/288 H01L21/3205 H01L21/336 H01L29/417 H01L29/786		
CPC分类号	H01L29/66765 G02F1/1368 H01L29/41733 H01L29/41758		
FI分类号	H01L29/78.616.T G02F1/1368 G09F9/30.338 H01L21/288.Z H01L21/88.B H01L29/78.616.K		
F-TERM分类号	2H092/GA12 2H092/GA20 2H092/GA32 2H092/HA02 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB69 2H092/MA01 2H092/MA10 2H092/MA12 2H092/MA15 2H092/MA18 2H092/MA22 2H092/NA27 2H092/NA29 4M104/AA09 4M104/BB04 4M104/BB08 4M104/BB36 4M104/CC01 4M104/CC05 4M104/DD22 4M104/DD51 4M104/DD78 4M104/GG09 4M104/GG10 4M104/GG14 4M104/HH20 5C094/AA25 5C094/AA43 5C094/AA44 5C094/BA03 5C094/BA43 5C094/CA19 5C094/GB10 5F033/GG03 5F033/GG04 5F033/HH11 5F033/HH12 5F033/HH13 5F033/HH14 5F033/PP26 5F033/VV15 5F033/XX00 5F033/XX21 5F033/XX33 5F033/XX34 5F110/AA06 5F110/AA30 5F110/BB01 5F110/CC05 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE06 5F110/EE42 5F110/EE48 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG24 5F110/GG44 5F110/HK21 5F110/HK32 5F110/HK34 5F110/HK41 5F110/HK42 5F110/HM04 5F110/NN03 5F110/NN23 5F110/NN27 5F110/NN72 5F110/NN73 5F110/QQ04 5F110/QQ09		
优先权	2002255568 2002-08-30 JP		
其他公开文献	<a href="#">JP4037410B2</a>		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

了根据本发明的制造薄膜晶体管的方法包括：用于通过滴加所述电极材料的小滴的形成源极电极和漏极电极形成的电极形成区域的预处理步骤，在电极形成区域的半导体层的区域之外的位置的电极材料的液滴如跌落位置以及形成源电极和漏电极的电极形成步骤。因此，能够防止形成液滴源电极和滴加电极材料漏电极的情况下，一种情况，即沟道部飞溅液滴在两个电极之间粘附。

