

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-502073

(P2005-502073A)

(43) 公表日 平成17年1月20日(2005.1.20)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
G02F 1/133 550
G02F 1/133 575
G09G 3/20 611J
G09G 3/20 612E

テーマコード(参考)

2H093
5C006
5C080

審査請求 未請求 予備審査請求 未請求 (全 36 頁) 最終頁に続く

(21) 出願番号 特願2003-522072(P2003-522072)
(86) (22) 出願日 平成14年7月12日(2002.7.12)
(85) 翻訳文提出日 平成15年4月25日(2003.4.25)
(86) 国際出願番号 PCT/IB2002/002946
(87) 国際公開番号 W02003/017243
(87) 国際公開日 平成15年2月27日(2003.2.27)
(31) 優先権主張番号 09/930, 190
(32) 優先日 平成13年8月16日(2001.8.16)
(33) 優先権主張国 米国(US)
(81) 指定国 EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT), CN, JP, KR

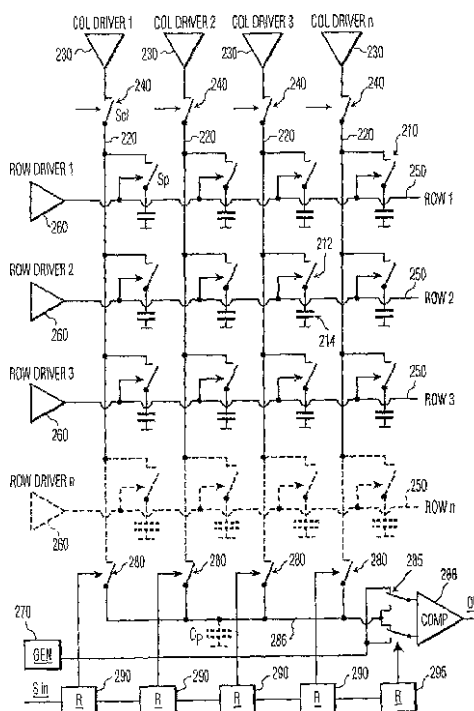
(71) 出願人 590000248
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
Koninklijke Philips Electronics N. V.
オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
(74) 代理人 100087789
弁理士 津軽 進
(74) 代理人 100114753
弁理士 宮崎 昭彦

最終頁に続く

(54) 【発明の名称】 自己較正型画像表示装置

(57) 【要約】

液晶表示(LCD)装置。この装置は、受信したデジタル入力データから当該装置のデータ(列)ラインに生じたアナログ電圧への信号処理経路における非線形性を較正し当該装置の列ドライバと列ラインとの差を較正する回路を含む。この装置は、デジタル入力データを受信しこれに応じて列ラインに供給すべきアナログデータ電圧を発生する。本装置は、精細階段状基準信号を発生する手段と、この精細階段状基準信号電圧をデータ電圧と比較しこれに応じて当該装置に記憶される較正データエラー値を発生する手段とを含む。この装置の1つ、好ましくは全ての列は、その動作範囲における各値についてデジタル入力データをステップ移行しその対応する較正データエラー値をメモリに記憶することにより較正される。



【特許請求の範囲】

【請求項 1】

行及び列のマトリクスに配列された複数の画素を有する液晶表示装置であって、これら画素の各々は、

- ・第 1 及び第 2 端子並びに制御端子を有する画素スイッチングデバイスと、
- ・前記画素スイッチングデバイスの前記第 1 端子に接続される記憶デバイスと、
- ・前記画素スイッチングデバイスの前記第 2 端子に接続される複数の列ラインと、
- ・前記列ラインに接続されこれにデータ電圧を供給する複数の列ドライバと、
- ・前記画素スイッチングデバイスの前記制御端子に接続され、前記画素スイッチングデバイスの前記第 1 及び第 2 端子を選択的に接続するための複数の走査ラインと、
- ・前記列ラインのうちの選択された 1 つに接続される第 1 端子と第 2 端子とを有する列スイッチであって、対応する制御信号に応じて当該選択列ラインのデータ電圧を当該列スイッチの第 2 端子に選択的にデータ電圧を供給する少なくとも 1 つの列スイッチと、
- ・当該選択列ラインに接続され前記列スイッチから当該選択列ラインのデータ電圧を受信する第 1 入力と、基準電圧を受ける第 2 入力と、前記基準電圧と前記データ電圧との差を表す較正データエラー値を発生する出力とを有する比較器と、

10

を含む、
液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置であって、前記列スイッチからの当該選択列ラインのデータ電圧及び前記基準電圧を受ける 2 つの入力端子と、前記基準電圧及び当該選択列ラインのデータ電圧を前記列スイッチから前記比較器へ供給する 2 つの出力端子と、前記 2 つの入力端子のうちどれかを前記 2 つの出力端子のうちどれに接続するかを制御する制御端子とを有する転換スイッチをさらに有する液晶表示装置。

20

【請求項 3】

請求項 2 に記載の液晶表示装置であって、前記転換スイッチの制御端子に接続され、前記転換スイッチの 2 つの入力端子間において当該転換スイッチの出力端子の各々を転換するための制御信号を供給するレジスタをさらに有する液晶表示装置。

【請求項 4】

請求項 1 に記載の液晶表示装置であって、各列スイッチに対応し前記列スイッチの制御信号を供給するレジスタをさらに有する液晶表示装置。

30

【請求項 5】

請求項 1 に記載の液晶表示装置であって、少なくとも 1 つの較正スイッチをさらに有し、各較正スイッチは、対応する列ラインに接続される第 1 端子と、対応する列スイッチに接続される第 2 端子と、較正処理において前記較正スイッチを閉じるための制御端子を有する、液晶表示装置。

【請求項 6】

請求項 1 に記載の液晶表示装置であって、前記基準電圧を発生する電圧発生器をさらに有する液晶表示装置。

【請求項 7】

請求項 1 に記載の液晶表示装置であって、前記電圧発生器は、階段状基準信号を発生する、液晶表示装置。

40

【請求項 8】

行及び列のマトリクスに配列された複数の画素と、前記複数の画素に接続される複数の列ラインと、前記列ラインに接続されデータを前記画素に供給する複数の列ドライバとを含む画像表示装置のデータ電圧レベルを較正するための方法であって、

- (a) 基準信号を発生し、
- (b) デジタル入力データ値を有する P ビットデジタル入力データを受け取り、
- (c) その受け取ったデジタル入力データに応じて前記列ラインの 1 つにデータ電圧を発生し、

50

(d) 前記基準信号と前記列ラインの1つに生じたデータ電圧とを比較し、これに応じて較正データエラー値を発生する、方法。

【請求項9】

請求項8に記載の方法であって、前記較正データエラー値を記憶することをさらに含む方法。

【請求項10】

請求項8に記載の方法であって、前記基準信号と前記列ラインの1つに生じたデータ電圧とを比較する処理には、

- ・前記基準信号及び前記データ電圧をそれぞれ比較器の第1及び第2入力に供給すること、
 - ・第1データエラー値を発生すること、
 - ・前記基準信号及び前記データ電圧をそれぞれ前記比較器の第2及び第1入力に供給すること、
 - ・第2データエラー値を発生すること、及び
 - ・前記第1及び第2データエラー値から当該較正データエラー値を発生すること、
- を有する、方法。

【請求項11】

請求項10に記載の方法であって、前記較正データエラー値の絶対値を計算する処理には、前記第1及び第2データエラー値の絶対値を平均化することを有する、方法。

【請求項12】

請求項8に記載の方法であって、

(e) ステップ(c)を行うとともに、当該受信デジタル入力データに応じて前記列ラインのもう1つに第2データ電圧を生成すること、及び

(f) ステップ(d)を行うとともに、前記基準信号と当該もう1つの列ラインに呈された第2のデータ電圧とを比較し、これに応じて第2較正データエラー値を発生すること、をさらに有する方法。

【請求項13】

請求項8に記載の方法であって、

(e) 0から $2^P - 1$ の範囲に及ぶ複数のデジタル入力値について前記ステップ(a)から(d)を繰り返すこと、をさらに有する、方法。

【請求項14】

請求項13に記載の方法であって、前記ステップ(a)から(e)は、前記画像表示装置の各列ラインについて繰り返される、方法。

【請求項15】

請求項8に記載の方法であって、前記ステップ(a)から(d)は、前記画像表示装置の複数の列ラインの各々につき繰り返される、方法。

【請求項16】

画像表示装置であって、

- ・行及び列のマトリクスに配列された複数の画素と、
 - ・対応する1列の画素に各々が接続される複数の列ラインと、
 - ・データ電圧を前記列ラインの1つに供給する列ドライバと、
 - ・前記データ電圧を基準電圧と比較し、これに応じて前記データ電圧と前記基準電圧との差を示す較正データエラー値を生成する手段と、
- を有する画像表示装置。

【請求項17】

請求項16に記載の装置であって、前記基準電圧を前記データ電圧と比較する手段は、前記基準電圧及び前記データ電圧をそれぞれ受ける2つの入力を有する比較器を含む、装置。

10

20

30

40

50

【請求項 18】

請求項 17 に記載の装置であって、対応する制御信号に応じて前記比較器の 2 つの入力の一方に当該 1 つの列ラインを選択的に接続し前記データ電圧を供給する列スイッチをさらに有する、装置。

【請求項 19】

請求項 18 に記載の装置であって、データ値を記憶しこのデータ値に応じて前記列スイッチの制御信号を供給するレジスタをさらに有する、装置。

【請求項 20】

請求項 18 に記載の装置であって、前記基準電圧及び前記データ電圧を受ける 2 つの入力端子と、前記比較器の 2 つの入力に前記基準電圧及び前記データを供給する 2 つの出力端子と、前記 2 つの入力端子のどれを前記 2 つの出力端子のどれに接続するかを制御する制御端子とを有する転換スイッチをさらに有する装置。

10

【請求項 21】

請求項 20 に記載の装置であって、前記転換スイッチの制御端子に接続され前記転換スイッチの前記 2 つの入力端子間において前記転換スイッチの出力端子の各々を転換するよう制御信号を供給するレジスタをさらに含む装置。

【請求項 22】

請求項 16 に記載の装置であって、少なくとも 1 つの較正スイッチをさらに有し、各較正スイッチは、対応する列ラインに接続される第 1 端子と、前記基準電圧と前記データ電圧とを比較する手段に接続される第 2 端子と、較正処理において前記較正スイッチを閉じるための制御端子とを具備する、装置。

20

【請求項 23】

請求項 16 に記載の装置であって、

- ・前記列ラインの第 2 のラインに第 2 データ電圧を供給する第 2 列ドライバと、
 - ・前記基準電圧と前記第 2 データ電圧とを比較しこれに応じて第 2 較正データエラー値を生成する手段と、
- をさらに有する、装置。

【請求項 24】

請求項 23 に記載の装置であって、前記第 1 及び第 2 の較正データエラー値は、同時に生成される、装置。

30

【請求項 25】

請求項 16 に記載の装置であって、前記較正データエラー値を記憶する手段をさらに有する、装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像表示装置の分野に属し、特に液晶表示装置に関し、また、このような装置のための較正回路に関する。

【0002】

【従来の技術】

液晶表示 (LCD) 装置のような画像表示装置は広く知られている。次の説明に関しては、かかる装置の慣例的な特徴についてはよく知られているものと推量されるので、本発明に係る特徴のみ説明する。

40

【0003】

図 1 は、典型的な液晶表示 (LCD) 装置 100 の関連部分を示している。

【0004】

LCD 装置 100 は、関連する部分において、複数の画素 110 と、この複数の画素 110 に接続された複数の列 (データ) ライン 120 と、列ライン 120 を介して画素 110 にデータを供給する複数の列 (データ) ドライバ 130 と、複数の列ドライバスイッチ 140 と、各行の画素 110 に接続された複数の行 (走査) ライン 150 と、列ドライバ 1

50

30からのデータが供給される1行分の行画素110を選択するための行ライン150に接続された複数の行ドライバ160とを有する。

【0005】

普通、各画素110は、画素スイッチングデバイス112と記憶デバイス(画素キャパシタ)114とを含んでいる。画素スイッチングデバイス112は、薄膜トランジスタ(TFT)としてもよく、これはその接続された行ライン150の走査信号に応じて、その接続された列ライン120を介して記憶デバイス114に供給されるデータ信号をスイッチングする。

【0006】

LCD装置100は、シリコン上液晶(LCOS)型のLCD装置としてもよい。その場合、列(データ)ドライバ130、列ドライバスイッチ140、及び/又は行(走査)ドライバ160は、液晶画素110と同じシリコン基板上に集積することができる。

10

【0007】

画像データは、デジタル入力データとして外部ビデオ発生器から列ドライバ130へ供給される。但し、列ドライバ130は、アナログ画像データを列ライン120へ供給しなければならない。よって、この画像データは、列ドライバ130においてデジタル-アナログ変換を含む信号処理が施される。

【0008】

【発明が解決しようとする課題】

ここで、かかる従来技術LCD装置100に伴う幾つかの問題を説明する。

20

【0009】

列ドライバ130と列ライン120との間の変動によって、2つの異なる列ライン120の画素110が、どちらかの列ライン120についても当該列ドライバ130に同じデジタル画像データが供給されたにもかかわらず異なる輝度(強度)を表示してしまう、という状況が起きてしまう。実に、第1列ライン120の列ドライバ130が第2の列ライン120の列ドライバ130により受信された第2デジタル画像データよりも大なる値を有する第1デジタル画像データを受信したにもかかわらず、当該第2列ライン120の画素110が実際当該第1列ライン120の画素110よりも明るい画像(大なる強度)を表示するといった状況が起きるほどにその変動は大きいのである。こうした変動(ばらつき)によって、望ましくない表示特性を招くことになる。

30

【0010】

さらに、列ドライバ130における信号処理は、画像データに非線形性を生じさせてしまう。こうした非線形性のために、画像データの輝度範囲は単調には増大しない。換言すれば、ある特定の列ライン120のデジタル画像データ値が増大するものの当該列ライン120の画素110により表示される実際の表示輝度は減少するといった1つに限らない状況が起こりうるのである。

【0011】

一般に、装置100におけるデジタル及びアナログ信号の伝搬遅延は、共通の回路特性のばらつき(例えば増幅器オフセット、ゲイン/帯域変動)に加えて、当該ディスプレイの画素と画素又は領域と領域(例えば列と列)との間において輝度のばらつきを生じさせる。

40

【0012】

したがって、同じデジタル入力データを受信する画素間又は列間における輝度レベル変化(ばらつき)を減少又は除去することのできる画像表示装置を提供することが望ましいということになる。また、外部ビデオ信号発生器から受信したデジタル入力データに応じて単調に増大する輝度を呈する画像表示装置を提供することも望ましいものとなる。

【0013】

【課題を解決するための手段】

よって、一態様においては、画像表示装置であって、行及び列のマトリクスに配列された複数の画素と、対応する1列の画素に各々が接続される複数の列ラインと、データ電圧を

50

前記列ラインの１つに供給する少なくとも１つの列ドライバと、基準電圧を発生する発生器と、前記基準電圧を前記データ電圧と比較しこれに応じて較正データエラー値を生成する手段とを含む画像表示装置としている。

【 0 0 1 4 】

もう一つの態様においては、行及び列のマトリクスに配列された複数の画素と、前記複数の画素に接続される複数の列ラインと、前記列ラインに接続されデータを前記画素に供給する複数の列ドライバとを含む画像表示装置のデータ電圧レベルを較正するための方法であって、基準信号を発生すること、デジタル入力データ値を有するPビットデジタル入力データを受け取ること、その受け取ったデジタル入力データに応じて前記列ラインの１つにデータ電圧を発生すること、前記基準信号と前記列ラインの１つに生じたデータ電圧とを比較し、これに応じて較正データエラー値を発生することを含むようにしている。

10

【 0 0 1 5 】

【 発明の実施の形態 】

図 2 は、本発明の少なくとも一つの態様による画像表示装置の第 1 実施例を示している。この第 1 実施例は、液晶表示 (LCD) 装置 200 について説明するものである。簡単かつ明瞭とするため、本発明に係りのある LCD 装置 200 の部分が描かれている。

【 0 0 1 6 】

LCD 装置 200 は、関連のある部分において、複数の画素 210 と、この複数の画素 210 に接続された複数 (M) 個の列 (データ) ライン 220 と、列ライン 220 を介して画素 210 にデータを供給する複数の列 (データ) ドライバ 230 と、複数の列ドライバスイッチ 240 と、複数の列ドライバスイッチレジスタ (図示せず) と、N 行の画素 210 に接続された複数 (N) 個の行 (走査) ライン 250 と、列ドライバ 230 からのデータが供給される 1 行分の画素 210 を選択するため行ライン 250 に接続される複数の行ドライバ 260 と、包括的基準信号を供給する発生器 270 と、列ライン 220 のうち対応する 1 つに各々が接続される複数 (M) 個の列テストスイッチ 280 と、この列テストスイッチ 280 の各々に接続された共通テストライン 286 と、当該列テストラインに接続された一入力及び発生器 270 からの包括的基準信号に結合された他入力を備えた転換 (コミュテーション) スイッチ 285 と、この転換スイッチ 285 の出力に接続された比較器 288 と、列テストスイッチ 280 のうち対応する一つの制御端子に接続された出力をそれぞれ有する複数 (M) 個の列テストスイッチレジスタ 290 と、転換スイッチ 285 の制御端子に接続された出力をそれぞれ有する転換スイッチレジスタ 295 とを有する。

20

30

【 0 0 1 7 】

LCD 装置 200 は、シリコン上液晶 (LCO S : l i q u i d c r y s t a l o n s i l i c o n) タイプの LCD 装置としてもよい。その場合、列 (データ) ドライバ 230 及び / 又は行 (走査) ドライバ 260 を、液晶画素 210 と同じシリコン基板上に集積 (一体化) することができる。また、列ドライバスイッチ 240、列ドライバスイッチレジスタ、列テストスイッチ 280、転換スイッチ 285、列テストスイッチレジスタ 290、及び / 又は転換スイッチレジスタ 295 も同じ基板上に集積可能である。

40

【 0 0 1 8 】

各画素 210 は、第 1 及び第 2 端子並びに制御端子を有する画素スイッチングデバイス 212 と、画素スイッチングデバイス 212 の第 1 端子に接続された記憶デバイス (画素キャパシタ) 214 とを含むのが普通である。画素スイッチングデバイス 212 の第 2 端子は、列ライン 220 の 1 つに接続される。薄膜トランジスタ (TFT) とすることのできる画素スイッチングデバイス 212 は、そこに接続された行ライン 250 の走査信号にตอบสนองして、列ライン 220 を記憶デバイス 214 に選択的に接続し、これにより列ライン 220 を介して供給されたデータ信号を記憶デバイス 214 に記憶するようにしている。

【 0 0 1 9 】

デジタル入力データとして、外部ビデオ発生器から列ドライバ 230 へ画像データが供

50

給される。列ドライバ230は、このデジタル入力データに対しデジタル - アナログ変換を含む信号処理を行い、アナログ出力データを列ライン220に供給する。

【0020】

列テストスイッチレジスタ290は、シフトレジスタとして構成可能である。好ましい実施例においては、列テストスイッチレジスタ290は、単一のシフトレジスタとして転換スイッチレジスタ295と共に構成可能である。同様に、列ドライバスイッチレジスタも、1つのシフトレジスタとして構成可能である。有利なのは、列テストスイッチレジスタ290及び転換スイッチレジスタ295を1つのシフトレジスタとして構成する場合、シフトイネーブル又はクロック信号を用いてデータ値をシフトさせることにより列テストスイッチレジスタ290及び転換スイッチレジスタ295にデータ値を供給することができることである。 10

【0021】

次に、欠陥のある列がある場合の第1の好適実施例LCD装置200の関連する種々の構成要素の動作を説明する。

【0022】

表示較正処理において、データ値（例えば「1」）は第1列テストスイッチレジスタ290にシフト入力されて、第1の列テストスイッチレジスタ290が、第1列テストスイッチ280を閉じて共通テストライン286に列1を接続するよう第1列テストスイッチ280の制御端子に制御信号を生成するようにしている。このとき、データ値（例えば「0」）は列テストスイッチレジスタ290の残りの部分（2からNの列）に記憶され、これにより当該2からNの列についての列テストスイッチを開く制御信号が生成される。また、データ値（例えば「0」）が転換スイッチレジスタ295に記憶され転換スイッチ285を第1のポジションにする制御信号が供給され、共通テストライン286が比較器288の第1入力に接続され、発生器270の出力が比較器288の第2入力に接続されるようにしている。 20

【0023】

その後、テスト回路によって列1の列ドライバ230へデジタル入力データが供給され、その動作範囲のデータ値においてステップ移行される。例えば、デジタル入力データがPビットデータである場合、当該デジタル入力データは、その動作範囲において0から $(2^P - 1)$ まで1インクリメントずつステップ移行させられる。当該動作範囲の値においてステップ移行されるデジタル入力データに応じて、列ドライバ230は、アナログデータを第1の列ライン220に、そしてこれにより共通テストライン286に供給する。このとき、行ドライバ260の1つは、行ライン250の1つを駆動するよう走査信号を供給し、当該第1列のスイッチングデバイス212の1つをオンとする。図2において C_p として示される共通テストライン236の寄生容量と共に、選択された行ライン250（スイッチングデバイス212及び記憶デバイス214を含む）と当該第1の列とによる画素210は、列ドライバ230からのアナログデータに負荷をかけ、列ライン220にデータ電圧が生じる。 30

【0024】

一方、当該データ値範囲においてステップ移行される列ドライバ230に供給されるデジタル入力データに同期して、発生器270は、精細階段状（傾斜）基準信号を比較器288に供給するよう構成される。当該包括的精細階段状基準信号は、画像データを表示するために液晶画素210に供給されるべき電圧範囲に及ぶ単調かつ均等に増加する階段状の基準電圧に相当する。デジタル入力データ値の各々について、この精細階段状基準信号は対応の基準電圧を生成する。最大画素電圧がXボルトである場合であって、かつ当該装置へ入力するデジタルデータのビット数がPビットである場合、当該精細階段状基準信号の各ステップは、 40

$$1) \quad \text{ステップサイズ} = X / (2^P - 1)$$

である。故に、例えば $X = 15$ ボルトでPが8ビットである場合は、ステップサイズ = $15 / 255 = 0.0588$ ボルトとなる。このデジタル入力データ値のステップ毎に、精 50

細階段状基準信号は、対応する電圧ステップを有する。

【0025】

なお、発生器270は、LCD装置200に含まれていなくてもよく、代わりに較正処理においてLCD装置200に精細階段状基準信号を供給するテスト用に備えた手段の如き外部回路の一部とすることも可能である。

【0026】

このとき、列ドライバ230へのデジタル入力データ及び包括的精細階段状包括基準信号の各ステップにつき、比較器288は、第1列ライン220に生じたデータ電圧を発生器270により発生された精細階段状基準信号の電圧と比較し、これに応じて第1データエラー値を発生する。比較器288により発生される第1データエラー値は、一時的にレジスタ又はメモリ(図示せず)に記憶される。

10

【0027】

但し、かかる第1データエラー値は、比較器288のオフセット電圧により当該精細階段状基準信号電圧と列ライン220に現われる実際のデータ電圧との間における真のデータエラー値とは僅かな差を有することとなる。したがって、好適実施例においては、比較器288への2つの入力信号を切り換え、第2データエラー値を測定し、当該第1及び第2データエラー値の大きさを平均化することによって比較器288のオフセット電圧を除去することを可能としている。

【0028】

その後、データ値(例えば「1」)が第1列テストスイッチレジスタ290に記憶されて第1列テストスイッチレジスタ290が第1列テストスイッチ280の制御端子に制御信号を発生し第1列テストスイッチ280を閉成させ列1を列テストライン286に接続し、データ値(例えば「0」)が列テストスイッチレジスタ290の残り(列2からN)に記憶されこれにより列2からNについての列テストスイッチ280を開くとともに、第2のデータ値(例えば「1」)が転換スイッチレジスタ295に記憶され転換スイッチ285を第2のポジションにして共通テストライン286が当該比較器の第2入力に接続され発生器270の出力が比較器の第1入力に接続されるようにしている。換言すれば、比較器288への2つの入力信号は、第2のデータエラー値が測定可能でかつ比較器288のオフセット電圧が除去可能となるように切り換えられるのである。

20

【0029】

したがって、もう1度、その範囲のデータ値(例えば0から $2^p - 1$)においてステップ移行される列1の列ドライバ230に供給されるデジタル入力データと同期して、精細階段状基準信号も、その対応する範囲の電圧においてステップ移行される。当該デジタル入力データ及び精細階段状基準信号の各ステップについて、比較器288は、第1列ライン220に生じた電圧を、発生器270により発生された精細階段状基準信号電圧と比較する。当該精細デジタル入力データ及び精細階段状基準信号の各ステップについて、比較器288により第2のデータエラー値が生成されレジスタ又はメモリ(図示せず)に一時的に記憶される。

30

【0030】

各デジタル入力データ値について、第1及び第2のデータエラー値の絶対値が平均化され、較正データエラー値が生成される。比較器288の2つの入力の間で転換スイッチ285の出力を転換し当該第1及び第2データエラー値を平均化することにより、この較正回路及び方法は、その比較器のオフセット電圧を相殺し、より正確な較正データエラー値を生成する。各デジタル入力データ値についての較正データエラー値は、メモリに記憶され、LCD装置200の後の画像表示動作において、第1の列ライン220の列ドライバ230により、当該列ドライバ230及び列ライン220における非線形性について補正し正確で高分解能の極めて単調な輝度範囲を作るために用いられる。

40

【0031】

例えば、LCD装置200の画像表示動作において、外部画像発生器から受信したデジタル入力データ値に回答し、これに対応する較正データエラー値がメモリ(例えばルック

50

アップテーブル)から得られる。その場合、メモリから取得した較正データエラー値は、デジタル入力データ値に加算(又は当該値から減算)され、列ドライバ230により処理されるべき較正デジタルデータ値を生成し、該当する列ライン220のための較正されたアナログデータ電圧を提供するようにしている。

【0032】

LCD装置200の第2の列を較正するため、データ値(例えば「1」)が第2列テストスイッチレジスタ290にシフト入力され第2列テストスイッチレジスタ290が第2列テストスイッチ280の制御端子に制御信号を発生し第2列テストスイッチ280を閉成し列2を共通テストライン286に接続するようになるとともに、データ値(例えば「0」)が列テストスイッチレジスタ290の残り(列1及び3からN)に記憶され、これにより列1及び3からNについての列テストスイッチ280を開く。そして、列2の較正データエラー値を生成するように上述した処理(手順)が繰り返される。かかる処理は、LCD装置200の各列の各デジタル入力データ値について較正データエラー値を生成するよう列3からNまで繰り返される。

10

【0033】

上記例においては、第1及び第2のデータエラー値は、後の列についてデータエラー値が得られる前に第1の列につき両方が得られるものである。しかし、これとは異なり、先ず第1のデータエラー値の全てを列1からNの全てにつき得て、その後列1からNの全てについて第2のデータエラー値の全てを得ることができるとの点に留意すべきである。また、比較器オフセットが極端に小さい場合、又は当該LCD装置に含まれる比較器の全てのオフセット電圧が極めて厳密に一致する場合、転換スイッチを全部排除し各デジタル入力データ値についての較正データエラー値として1つのデータエラー値の単一の測定のみ行うことができる。

20

【0034】

図3は、本発明の少なくとも1つの態様による画像表示装置の第2の実施例を示している。この第2の実施例は、LCD装置300について説明される。

【0035】

第2実施例LCD装置300は、専用の較正行ライン355に接続されさらに専用の複数の較正スイッチ375に接続される専用の較正行ドライバ365を含むこと以外は、第1実施例LCD装置200と同様に動作する。較正スイッチ375は、画素スイッチングデバイス312と同じにするのが有利である。したがって、LCD装置300の較正において、その専用の較正行ドライバ365は、走査信号を当該専用の較正行ライン355に供給し現に較正されている列の専用較正スイッチ375の1つをオンにする。図3にC_pとして示される共通テストライン386の寄生容量と共に、現に較正中の列の専用較正スイッチ375は、列ドライバ330からの当該アナログデータに負荷をかける。較正行365は記憶デバイス314を含まないので、較正中に列ライン320に呈される負荷は減少し、実際の画素310が画像表示動作において駆動されるときに当該列ラインに呈する負荷に、より近くなる。

30

【0036】

図4は、本発明の少なくとも1つの態様による第3の好適実施例LCD装置400を示している。簡明とするため、本発明に係るLCD装置400の部分が描かれている。

40

【0037】

この第3実施例LCD装置400は、第3実施例LCD装置300が複数の比較器488と、それぞれ比較器488に関連付けられた複数の較正スイッチ485と、それぞれ比較器488に関連付けられた複数の較正テスト値レジスタ498とを含むことを除いて、第2実施例LCD装置300と同様に動作する。好ましい実施例においては、較正テスト値レジスタ498はシフトレジスタとして構成される。

【0038】

この第3実施例において、複数の列が共にグループ化され、分離独立した共通テストライン486及び比較器488は各グループの列に専用のものとされる。第3実施例は、第1

50

及び第2実施例に匹敵する補助的又は予備的回路を含むが、次のような効果を奏する。第1には、グループの列ライン数及び各共通テストライン486の長さを選択することによって、較正中に寄生容量 C_p により列ライン420に与えられる負荷インピーダンスは、画像表示動作において実際の画素410が駆動されるときに当該列ラインに与えられる負荷とより厳密に整合するように適合可能である。第2には、異なるグループの列は較正処理において同時にアドレス指定可能であり、かかる較正処理は、より迅速に行うことができるという点である。

【0039】

ここでは、好ましい実施例が開示されているが、本発明の概念及び範囲内で数多くの変形例が可能である。例えば、かかる好適実施例について上述した較正スイッチは、当該2つの入力信号が当該比較器に供給するための端子を切り換えるスイッチその他回路の組み合わせによって置き換えることもでき。また、列スイッチの幾つか或いは全部を多極多出力スイッチに代えることもできる。このような変形例は、通常の当業者であれば、ここで提示した詳細な説明、図面及び特許請求の範囲を正しく読んだ後に明らかなものとなる。したがって、本発明は、添付した請求の範囲の精神及び範囲内の他は何ら限定されるものではないのである。

10

【図面の簡単な説明】

【図1】従来技術の液晶表示(LCD)装置を示す図。

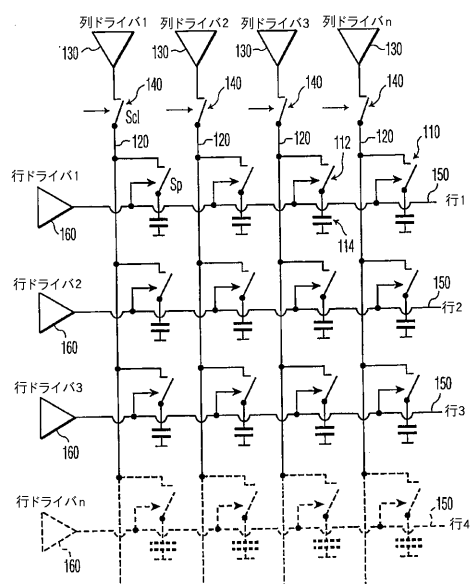
【図2】自己較正LCD装置の第1実施例を示す図。

【図3】自己較正LCD装置の第2実施例を示す図。

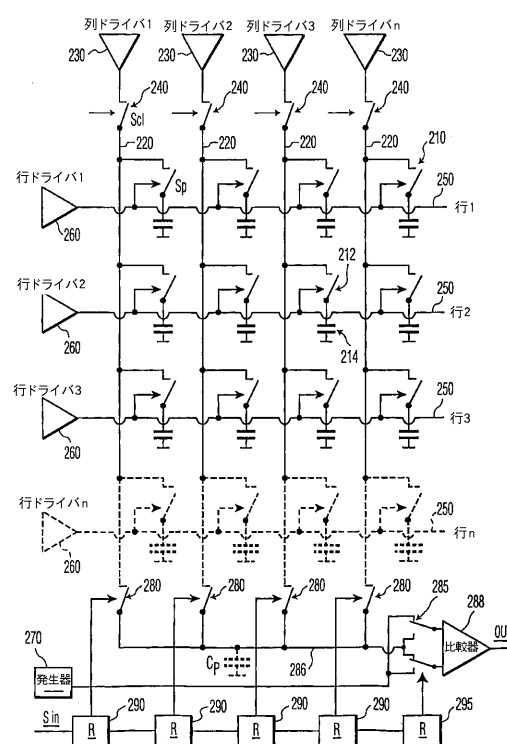
20

【図4】自己較正LCD装置の第3実施例を示す図。

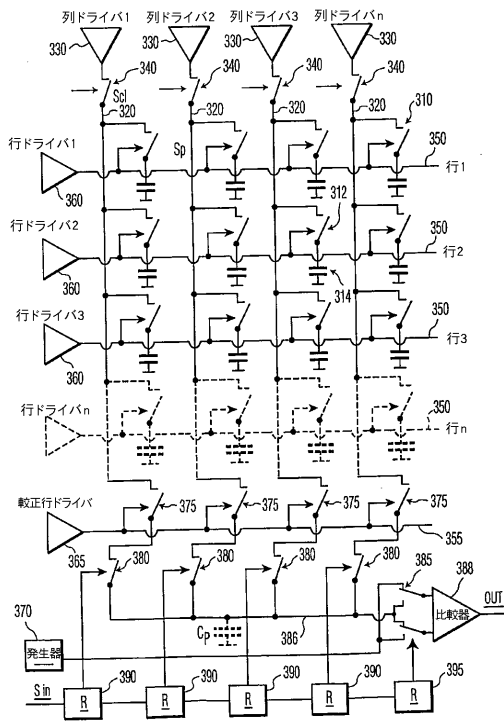
【図1】



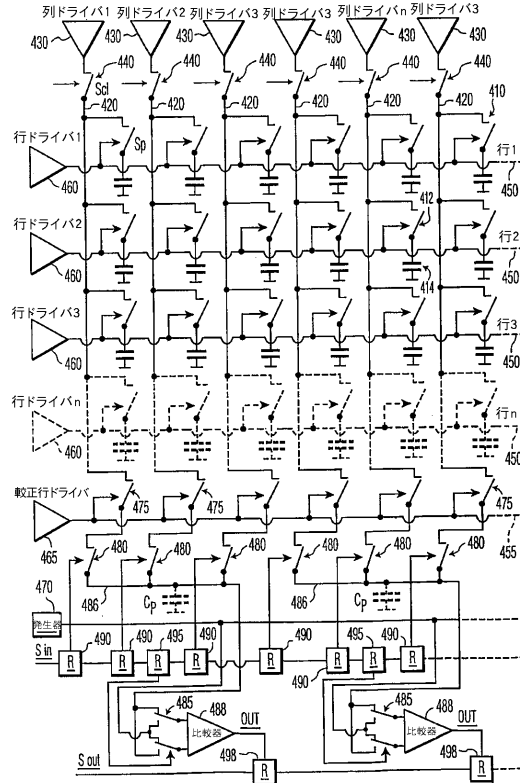
【図2】



【 図 3 】



【 図 4 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
27 February 2003 (27.02.2003)

PCT

(10) International Publication Number
WO 03/017243 A1

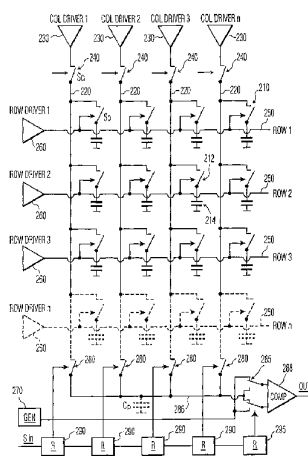
- (51) International Patent Classification: G09G 3/36 (72) Inventors: JANSSEN, Peter, J. ALBU, Lucian, R.
- (21) International Application Number: PCT/IB02/02946 (74) Agent: RAAP, Adriaan, Y.; Internationaal Octrooibureau B.V., Prof. Holslaan 6, NL-5656 AA Eindhoven (NL).
- (22) International Filing Date: 12 July 2002 (12.07.2002) (81) Designated States (national): CN, JP, KR.
- (25) Filing Language: English (84) Designated States (regional): European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EF, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT).
- (26) Publication Language: English
- (30) Priority Data: 09/930,190 16 August 2001 (16.08.2001) US Published: with international search report
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL].

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: SELF-CALIBRATING IMAGE DISPLAY DEVICE



WO 03/017243 A1



(57) Abstract: A liquid crystal display (LCD) device includes a circuit for calibrating out non-linearities in the signal processing path from received digital input data to the analog voltage produced on a data (column) line of the display, and for calibrating out differences between column drivers and column lines in the device. The device receives digital input data and in response thereto generates an analog data voltage to be applied to a column line. The device includes means for generating a precision staircase reference signal, and means for comparing the precision staircase reference signal voltage to the data voltage and in response thereto producing a calibration data error value which is stored in the device. One, or preferably all, columns of the device are calibrated by stepping the digital input data through each value in its operating range and storing the corresponding calibration data error values in memory.

WO 03/017243

1

PCT/IB02/02946

Self-calibrating image display device

BACKGROUND OF THE INVENTION

Field of the Invention

This invention pertains to the field of image display devices, and more particularly to liquid crystal display devices, and to calibration circuitry for such devices.

5 Description of the Related Art

Image display devices such as liquid crystal display (LCD) devices are widely known. With reference to the following description, familiarity with conventional features of such devices will be assumed, so that only features bearing on the present invention will be described.

10 FIG. 1 shows relevant portions of an exemplary liquid crystal display (LCD) device 100.

The LCD device 100 comprises in relevant part: a plurality of pixels 110; a plurality of column (data) lines 120 connected to the plurality of pixels 110; a plurality of column (data) drivers 130 for supplying data to pixels 110 via the column lines 120; a
15 plurality of column driver switches 140; a plurality of row (scanning) lines 150 connected to rows of pixels 110; and a plurality of row drivers 160 connected to the row lines 120 for selecting a row of pixels 110 to which data from the column drivers 130 is to be applied.

Typically, each pixel 110 includes a pixel switching device 112 and a storage device (pixel capacitor) 114. The pixel switching device 112, which may be a thin film
20 transistor (TFT), is responsive to a scanning signal on the connected row line 150 to switch a data signal applied via the connected column line 120 into the storage device 114.

The LCD device 100 may be a liquid crystal on silicon (LCOS) type LCD device. In that case, the column (data) drivers 130, column driver switches 140, and/or row (scanning) drivers 160 may be integrated onto a same silicon substrate as the liquid crystal
25 pixels 110.

Image data is provided as digital input data from an external video generator to the column drivers 130. However, the column drivers 130 must provide analog image data to the column lines 120. Hence, the image data is subjected to signal processing, including digital to analog conversion, in the column drivers 130.

WO 03/017243

PCT/IB02/02946

2

Some problems with the prior art LCD device 100 will now be explained.

Variations between the column drivers 130 and column lines 120 cause a situation wherein the pixels 110 of two different column lines 120 may display different brightnesses (intensities) even though the same digital image data is applied to the column driver(s) 130 for both column lines 120. Indeed, the variations may be so great that a situation occurs wherein a column driver 130 for a first column line 120 receives first digital image data having a greater value than second digital image data received by a column driver 130 for a second column line 120, and yet the pixels 110 of the second column line 120 actually display a brighter image (greater intensity) than the pixels 110 of the first column line 120. These variations result in an undesirable display characteristic.

Moreover, the signal processing in the column drivers 130 produces non-linearities in the image data. Because of these non-linearities, the brightness range of the image data does not monotonically increase. In other words, one or more situations may occur wherein the digital image data value for a particular column line 120 is increased, but the actual displayed brightness displayed by the pixels 110 of the column line 120 decreases.

In general, propagation delays of digital and analog signals in the device 100, in addition to common circuit property variations (e.g., amplifier offsets; gain/bandwidth variations) cause brightness variations between pixels or regions (e.g., columns) of the display.

Accordingly, it would be desirable to provide an image display device with reduced or eliminated brightness level variations among pixels or columns receiving the same digital input data. It also would be desirable to provide an image display device having a brightness that monotonically increases in response to digital input data received from an external video signal generator.

SUMMARY OF THE INVENTION

Accordingly, in one aspect, an image display device includes a plurality of pixels arranged in a matrix or rows and columns, a plurality of column lines each connected to a corresponding one of the columns of pixels, at least one column driver providing a data voltage to one of the column lines, a generator producing a reference voltage, and means for comparing the reference voltage to the data voltage and in response thereto producing a calibration data error value.

In another aspect, a method of calibrating data voltage levels for image display device including a plurality of pixels arranged in a matrix of rows and columns, a plurality of

WO 03/017243

3

PCT/IB02/02946

column lines connected to the plurality of pixels, and a plurality of column drivers connected to the column lines and providing data to the pixels, includes: generating a reference signal; receiving P-bit digital input data having a digital input data value; producing a data voltage on one of the column lines in response to the received digital input data; and comparing the
5 reference signal to the data voltage produced on one of the column lines and, in response thereto, generating a calibration data error value.

BRIEF DESCRIPTION OF THE DRAWINGS

10 FIG. 1 shows a prior art liquid crystal display (LCD) device;
FIG. 2 shows a first embodiment of a self-calibrating LCD device;
FIG. 3 shows a second embodiment of a self-calibrating LCD device;
FIG. 4 shows a third embodiment of a self-calibrating LCD device.

DETAILED DESCRIPTION

15 FIG. 2 shows a first embodiment of an image display device in accordance with one or more aspects of the invention. The first embodiment is described with respect to a liquid crystal display (LCD) device 200. For clarity and simplicity, those portions of the LCD device 200 relating to the present invention are illustrated.

The LCD device 200 comprises in relevant part: a plurality of pixels 210; a
20 plurality (M) of column (data) lines 220 connected to the plurality of pixels 210; a plurality of column (data) drivers 230 for supplying data to the pixels 210 via the column lines 220; a plurality of column driver switches 240; a plurality column driver switch registers (not shown); a plurality (N) of row (scanning) lines 250 connected to N rows of pixels 210; a
25 plurality of row drivers 260 connected to the row lines 250 for selecting a row of pixels 210 to which data from the column drivers 230 is to be applied; a generator 270 providing a global reference signal; a plurality (M) of column test switches 280 each connected with a corresponding one of the column lines 220; a common test line 286 connected to each of the column test switches 280; a commutation switch 285 with one input connected to the column test line and a second input connected to the global reference signal from the generator 270; a
30 comparator 288 connected to the outputs of the commutation switch 285; a plurality (M) of column test switch registers 290 each having an output connected to a control terminal of a corresponding one of the column test switches 280; and a commutation switch register 295 each having an output connected to a control terminal of the commutation switch 285.

WO 03/017243

4

PCT/IB02/02946

The LCD device 200 may be a liquid crystal on silicon (LCOS) type LCD device. In that case, the column (data) drivers 230 and/or row (scanning) drivers 260 may be integrated onto a same silicon substrate as the liquid crystal pixels 210. Also, the column driver switches 240, the column driver switch registers, the column test switches 280, the
5 commutation switch 285, the column test switch registers 290, and/or the commutation switch register 295 may be integrated onto the same substrate.

Typically, each pixel 210 includes a pixel switching device 212, having first and second terminals and a control terminal, and a storage device (pixel capacitor) 214
10 connected to the first terminal of the pixel switching device 212. The second terminal of the pixel switching device 212 is connected to one of the column lines 220. The pixel switching device 212, which may be a thin film transistor (TFT), is responsive to a scanning signal on the connected row line 250 to selectively connect the column line 220 to the storage device
214 and thereby to store a data signal applied via the column line 220 into the storage device
214.

15 Image data is provided as digital input data from an external video generator to the column drivers 230. The column drivers 230 perform signal processing, including digital to analog conversion, on the digital input data and provide analog output data to the column lines 220.

The column test switch registers 290 may be configured as a shift register. In
20 the preferred embodiment, the column test switch registers 290 may be configured together with the commutation switch register 295 as a single shift register. Similarly, the column driver switch registers may be configured as a shift register. Beneficially, when the column test switch registers 290 and the commutation switch register 295 are configured as a shift
25 register, data values may be supplied for the column test switch registers 290 and the commutation switch register 295 by shifting them into place using a shift enable or clock signal.

The operation of various pertinent elements of the first preferred embodiment LCD device 200 in the case of a defective column will now be explained.

30 During a display calibration process, a data value (e.g., a "1") is shifted into the first column test switch register 290 such that the first column test switch register 290 produces a control signal at the control terminal of the first column test switch 280 to close the first column test switch 280, connecting column 1 with the common test line 286. At this time, a data value (e.g., "0") is stored in the remainder (columns 2 through N) of the column test switch registers 290 to thereby produce control signals that open the column test switches

WO 03/017243

5

PCT/IB02/02946

280 for the columns 2 through N. Also, a data value (e.g., "0") is stored in the commutation switch register 295 to provide a control signal that places the commutation switch 285 in a first position, wherein the common test line 286 is connected to a first input of the comparator 288, and the output of the generator 270 is connected to a second input of the comparator 288.

Then, digital input data is supplied by a test circuit to column driver 230 for column 1 and is stepped through its operating range of data values. For example, where the digital input data is P-bit data, the digital input data is stepped through its operating range from 0 to (2^P-1) in increments of one. In response to the digital input data being stepped through its operating range of values, the column driver 230 supplies analog data to the first column line 220 and thence to the common test line 286. At this time, one of the row drivers 260 supplies a scanning signal to drive one of the row lines 250 and turn on one of the switching devices 212 of the first column. Together with a parasitic capacitance of the common test line 236, shown as C_p in FIG. 2, the pixel 210 of the selected row line 250 (including the switching device 212 and the storage device 214), and the first column provides a load to the analog data from the column driver 230 and a data voltage appears on the column line 220.

Meanwhile, in synchronism with the digital input data supplied to the column driver 230 being stepped through its range of data values, the generator 270 is configured to provide a precision staircase (ramp) reference signal to the comparator 288. The precision staircase global reference signal is a monotonically and uniformly increasing staircase reference voltage which spans the range of voltages which are to be applied to the liquid crystal pixels 210 to display image data. For each digital input data value, the precision staircase reference signal produces a corresponding reference voltage. Where the maximum pixel voltage is X volts, and where the number of bits of digital data input to the device is P bits, then each step of the precision staircase reference signal is:

$$1) \quad \text{Stepsize} = X / (2^P - 1)$$

So, e.g., where $X = 15$ volts, and P is 8 bits, then the stepsize = $15/255 = 0.588$ volts. For each step of the digital input data value, the precision staircase reference signal has a corresponding voltage step.

It should be understood that the generator 270 may not be included in the LCD device 200, and instead may be part of an external circuit, such as a test fixture, supplying the precision staircase reference signal to the LCD device 200 during a calibration process.

WO 03/017243

6

PCT/IB02/02946

At this time, for each step of the digital input data to the column driver 230 and the precision staircase global reference signal, the comparator 288 compares the data voltage produced on the first column line 220 with the voltage of the precision staircase reference signal produced by the generator 270, and in response thereto produces a first data error value. Beneficially, the first data error value produced by the comparator 288 is temporarily stored in a register or memory (not shown).

However, the first data error value will have a small difference from a true data error value between the precision staircase reference signal voltage and the actual data voltage appearing on the column line 220 due to an offset voltage of the comparator 288. Accordingly, in the preferred embodiment, the two input signals to the comparator 288 are switched and a second data error value is measured so that any offset voltage of the comparator 288 can be eliminated by averaging the magnitude of the first and second data error values.

Subsequently, while the data value (e.g., a "1") is stored in the first column test switch register 290 such that the first column test switch register 290 produces a control signal at the control terminal of the first column test switch 280 to close the first column test switch 280, connecting column 1 with the common test line 286, and while the data value (e.g., "0") is stored in the remainder (columns 2 through N) of the column test switch registers 290 to thereby open the column test switches 280 for the columns 2 through N, a second data value (e.g., "1") is stored in the commutation switch register 295 to place the commutation switch 285 in a second position, such that the common test line 286 is connected to the second input of the comparator, and the output of the generator 270 is connected to the first input of the comparator. In other words, the two input signals to the comparator 288 are switched so that a second data error value can be measured and any offset voltage of the comparator 288 can be eliminated.

Accordingly, once again, in synchronism with the digital input data supplied to column driver 230 for column 1 being stepped through its range of data values (e.g., from 0 to $2^P - 1$), the precision staircase reference signal is also stepped through its corresponding range of voltages. For each step of the digital input data and the precision staircase reference signal, the comparator 288 compares the voltage produced on the first column line 220 with the precision staircase reference signal voltage produced by the generator 270. For each step of the precision digital input data and precision staircase reference signal, a second data error value is produced by the comparator 288 and temporarily stored in a register or memory (not shown).

WO 03/017243

7

PCT/IB02/02946

For each digital input data value, the absolute values of the first and second data error values are averaged to produce a calibrated data error value. By commutating the outputs of the commutation switch 285 between the two inputs of the comparator 288, and averaging the first and second data error values, the calibration circuit and method cancels out any offset voltage of the comparator to produce a more accurate calibrated data error value. The calibrated data error values for each digital input data value are stored in memory to be used by the column driver 230 for the first column line 220 during a subsequent image display operation of the LCD device 200 to correct for non-linearities in the column driver 230 and column line 220 to produce an absolutely monotonic brightness range with high accuracy and high resolution.

For example, during an image display operation of the LCD device 200, in response to a digital input data value received from an external video generator, the corresponding calibrated data error value is retrieved from memory (e.g., a look-up table). In that case, the calibrated data error value retrieved from memory is added to (or subtracted from) the digital input data value to produce a calibrated digital data value to be processed by the column driver 230 to provide a calibrated analog data voltage for the appropriate column line 220.

To calibrate the second column of the LCD device 200, the data value (e.g., a "1") is shifted into the second column test switch register 290 such that the second column test switch register 290 produces a control signal at the control terminal of the second column test switch 280 to close the second column test switch 280, connecting column 2 with the common test line 286, and while the data value (e.g., "0") is stored in the remainder (columns 1 and 3 through N) of the column test switch registers 290 to thereby open the column test switches 280 for the columns 1 and 3 through N. Then, the above-described procedure is repeated to generate calibrated data error values for column 2. The procedure is repeated for columns 3 to N to produce calibrated data error values for each digital input data value for each column of the LCD device 200.

In the above example, the first and second data error values are both obtained for a first column before any of the data error values are obtained for the subsequent columns. However, it should be understood that, instead, all of the first data error values can be obtained for all of the columns 1 through N first, and then subsequently all of the second data error values for all of the columns 1 through N are obtained. Also, where the comparator offset is extremely small, or where the offset voltages of all of the comparators included in the LCD device are very closely matched, it may be possible to completely eliminate the

WO 03/017243

8

PCT/IB02/02946

commutation switch, and only perform a single measurement of one data error value as the calibrated data error value for each digital input data value.

FIG. 3 shows a second embodiment of an image display device in accordance with one or more aspects of the invention. The second embodiment is described with respect
5 an LCD device 300.

The second embodiment LCD device 300 operates similarly to the first embodiment LCD device 200, except that the second embodiment LCD device 300 includes a dedicated calibration row driver 365 connected to a dedicated calibration row line 355, which is further connected to a plurality of dedicated calibration switches 375. Beneficially,
10 the calibration switches 375 are identical to the pixel switching devices 312. Accordingly, during calibration of the LCD device 300, the dedicated calibration row driver 365 supplies a scanning signal to the dedicated calibration row line 355 to turn on one of the dedicated calibration switches 375 of the column currently being calibrated. Together with the parasitic capacitance of the common test line 386, shown as C_p in FIG. 3, the dedicated calibration
15 switch 375 of column currently being calibrated provides a load to the analog data from the column driver 330. Because the calibration row 365 does not include the storage devices 314, a load provided to a column line 320 during calibration is reduced and closer to the load present on the column line when an actual pixel 310 is driven during an image display operation.

FIG. 4 shows a third preferred embodiment LCD device 400 in accordance with one or more aspects of the invention. For clarity and simplicity, those portions of the LCD device 400 relating to the present invention are illustrated.

The third embodiment LCD device 400 operates similarly to the second embodiment LCD device 300, except that the third embodiment LCD device 300 includes a
25 plurality of comparators 488, a plurality of commutation switches 485 each associated with a comparator 488, and a plurality of calibration test value registers 498 each associated with a comparator 488. In a preferred embodiment, the calibration test value registers 498 are configured as a shift register.

In the third embodiment, columns are grouped together and a separate
30 common test line 486 and comparator 488 is dedicated to each group of columns. Although the third embodiment includes extra circuitry compared to the first and second embodiments, it has the following advantages. First, by selecting the number of column lines in a group, and the length of each common test line 486, the load impedance provided to a column line 420 by the parasitic capacitance C_p during calibration can be tailored to more closely match

WO 03/017243

9

PCT/IB02/02946

the load present on the column line when an actual pixel 410 is driven during an image display operation. Second, columns in different groups may be addressed simultaneously during the calibration process, the calibration process may be performed more rapidly.

While preferred embodiments are disclosed herein, many variations are possible which remain within the concept and scope of the invention. For example, the commutation switch described above with respect to the preferred embodiments can be replaced by any other combination of switches or other circuits that will switch the terminals at which the two input signals are provided to the comparator. It is also possible that some or all of the column switches could be replaced with a multi-pole, multi-throw switch. Such variations would become clear to one of ordinary skill in the art after inspection of the specification, drawings and claims herein. Accordingly, the invention therefore is not to be restricted except within the spirit and scope of the appended claims.

CLAIMS:

1. A liquid crystal display (LCD) device, comprising:
- a plurality of pixels arranged in a matrix of rows and columns, each pixel including,
- a pixel switching device having first and second terminals and a control terminal, and
5 - a storage device connected to the first terminal of the pixel switching device;
- a plurality of column lines connected to the second terminals of the pixel switching devices;
10 - a plurality of column drivers connected to and providing data voltages to the column lines;
- a plurality of scanning lines connected to the control terminals of the pixel switching devices for selectively connecting the first and second terminals of the pixel switching devices;
15 - at least one column switch having first and second terminals, the first terminal connected to a selected one of the column lines, and responsive to a corresponding control signal, selectively supplying the data voltage on the selected column line to the second terminal of the column switch, and
- a comparator having a first input connected to and receiving the data
20 voltage on the selected column line from the column switch, a second input receiving a reference voltage, and an output producing a calibration data error value representing a difference between the reference voltage and the data voltage.
2. The LCD device of claim 1, further comprising a commutation switch having
25 two input terminals receiving the reference voltage and the data voltage on the selected column line from the column switch, two output terminals providing the reference voltage and the data voltage on the selected column line from the column switch to the comparator, and a control terminal for controlling which of the two input terminals is connected to which of the two output terminals.

WO 03/017243

11

PCT/IB02/02946

3. The LCD device of claim 2, further comprising a register connected to the control terminal of the commutation switch and providing a control signal to commute each of the output terminals of the commutation switch between the two input terminals of the commutation switch.
4. The LCD device of claim 1, further comprising a register corresponding to each column switch and providing the control signal for the column switch.
5. The LCD device of claim 1, further comprising at least one calibration switch, each calibration switch having a first terminal connected to a corresponding column line, a second terminal connected to a corresponding column switch and a control terminal for closing the calibration switch during a calibration procedure.
6. The LCD device of claim 1, further comprising a voltage generator generating the reference voltage.
7. The LCD device of claim 1, wherein the voltage generator generates a staircase reference signal.
8. A method of calibrating data voltage levels for image display device including a plurality of pixels arranged in a matrix of rows and columns, a plurality of column lines connected to the plurality of pixels, and a plurality of column drivers connected to the column lines and providing data to the pixels, the method comprising:
- (a) generating a reference signal;
 - (b) receiving P-bit digital input data having a digital input data value;
 - (c) producing a data voltage on one of the column lines in response to the received digital input data; and
 - (d) comparing the reference signal to the data voltage produced on one of the column lines and, in response thereto, generating a calibration data error value.
9. The method of claim 8, further comprising storing the calibration data error value.

WO 03/017243

12

PCT/IB02/02946

10. The method of claim 8, wherein comparing the reference signal to the data voltage produced on one of the column lines, comprises:
- supplying the reference signal and the data voltage to first and second inputs, respectively, of a comparator;
 - 5 - generating a first data error value;
 - supplying the reference signal and the data voltage to second and first inputs, respectively, of the comparator;
 - generating a second data error value; and
- 10 generating the calibration data error value from the first and second data error values.
11. The method of claim 10, wherein calculating an absolute value of the calibration data error value comprises averaging absolute values of the first and second data error values.
- 15 12. The method of claim 8, further comprising:
- (e) while performing step (c), producing a second data voltage on a second one of the column lines in response to the received digital input data; and
 - (f) while performing step (d), comparing the reference signal to the second data voltage produced on the second one of the column lines and, in response thereto, generating a
- 20 second calibration data error value.
13. The method of claim 8, further comprising:
- (e) repeating the steps (a) through (d) for a plurality of digital input values spanning a range of 0 to $2^p - 1$.
- 25 14. The method of claim 13, wherein the steps (a) through (e) are repeated for each column lines of the image display device.
15. The method of claim 8, wherein the steps (a) through (d) are repeated for each
- 30 of the plurality of column lines of the image display device.
16. An image display device, comprising:
- a plurality of pixels arranged in a matrix or rows and columns;

WO 03/017243

13

PCT/IB02/02946

- plurality of column lines each connected to a corresponding one of the columns of pixels;
 - a column driver providing a data voltage to one of the column lines; and
 - means for comparing the data voltage to a reference voltage and, in response thereto, producing a calibration data error value representing a difference between the data voltage and the reference voltage.
- 5
17. The device of claim 16, wherein the means for comparing the reference voltage to the data voltage includes a comparator having two inputs receiving the reference voltage and the data voltage, respectively.
- 10
18. The device of claim 17, further comprising a column switch responsive to a corresponding control signal to selectively connect the one column line and provide the data voltage to one of the two inputs of the comparator.
- 15
19. The device of claim 18, further comprising a register storing a data value therein and in response to the data value providing the control signal for the column switch.
20. The device of claim 18, further comprising a commutation switch having two input terminals receiving the reference voltage and the data voltage, two output terminals providing the reference voltage and the data to the two inputs of the comparator, and a control terminal for controlling which of the two input terminals is connected to which of the two output terminals.
- 25
21. The device of claim 20, further including a register connected to the control terminal of the commutation switch and providing a control signal to commute each of the output terminals of the commutation switch between the two input terminals of the commutation switch.
- 30
22. The device of claim 16, further comprising at least one calibration switch, each calibration switch having a first terminal connected to a corresponding column line, a second terminal connected to the means for comparing the reference voltage to the data voltage, and a control terminal for closing the calibration switch during a calibration procedure.

WO 03/017243

14

PCT/IB02/02946

23. The device of claim 16, further comprising:
- a second column driver providing a second data voltage to a second one of the column lines; and
- 5 - means for comparing the reference voltage to the second data voltage and in response thereto producing a second calibration data error value.
24. The device of claim 23 wherein the first and second calibration data error values are produced at a same time.
- 10 25. The device of claim 16, further comprising means for storing the calibration data error value.

15

2/4

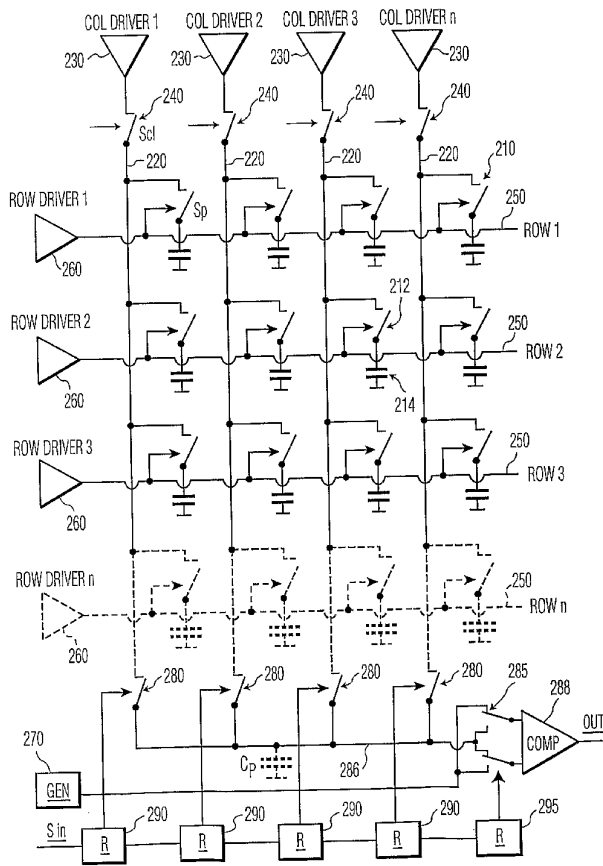


FIG. 2

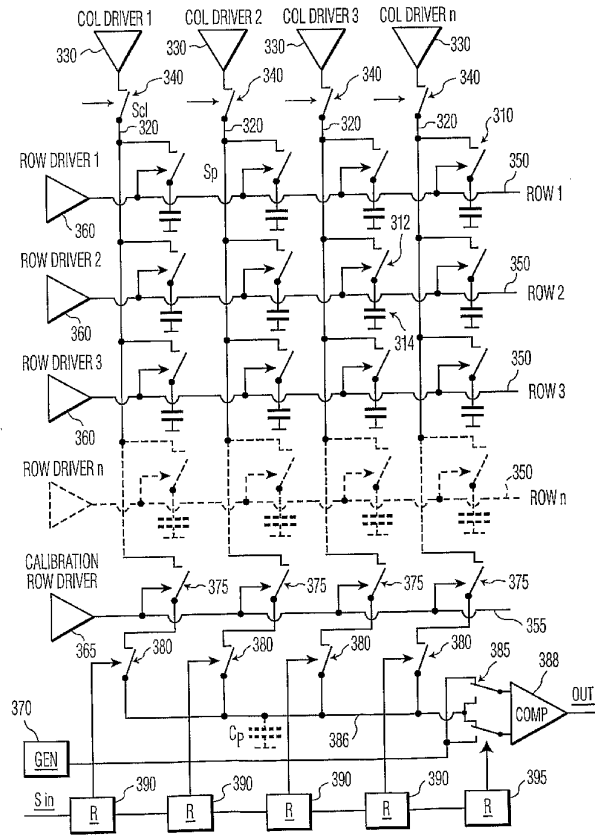


FIG. 3

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

CORRECTED VERSION

(19) World Intellectual Property Organization International Bureau



(43) International Publication Date 27 February 2003 (27.02.2003)

PCT

(10) International Publication Number WO 2003/017243 AI

(51) International Patent Classification: G09G 3/36

(72) Inventors: JANSSEN, Peter, J.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). ALBU, Lucian, R.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).

(21) International Application Number: PCT/IB2002/002946

(22) International Filing Date: 12 July 2002 (12.07.2002)

(74) Agent: RAAP, Adriaan, Y.; Internationaal Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).

(25) Filing Language: English

(81) Designated States (national): CN, JP, KR.

(26) Publication Language: English

(84) Designated States (regional): European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT).

(30) Priority Data: 09/930,190 16 August 2001 (16.08.2001) US

Published: with international search report

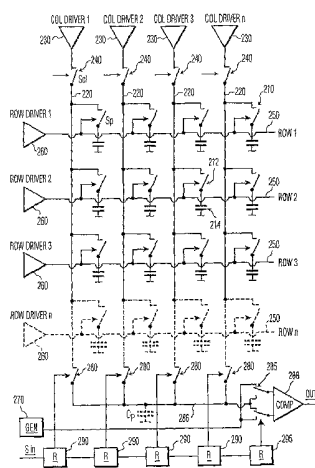
(71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).

(48) Date of publication of this corrected version: 29 July 2004

[Continued on next page]

(54) Title: SELF-CALIBRATING IMAGE DISPLAY DEVICE

WO 2003/017243 AI



(57) Abstract: A liquid crystal display (LCD) device includes a circuit for calibrating out non-linearities in the signal processing path from received digital input data to the analog voltage produced on a data (column) line of the display, and for calibrating out differences between column drivers and column lines in the device. The device receives digital input data and in response thereto generates an analog data voltage to be applied to a column line. The device includes means for generating a precision staircase reference signal, and means for comparing the precision staircase reference signal voltage to the data voltage and in response thereto producing a calibration data error value which is stored in the device. One, or preferably all, columns of the device are calibrated by stepping the digital input data through each value in its operating range and storing the corresponding calibration data error values in memory.

WO 2003/017243 A1 

(15) **Information about Correction:**
see PCT Gazette No. 31/2004 of 29 July 2004, Section II

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

【 国際調査報告 】

| INTERNATIONAL SEARCH REPORT | | International No PCT/IB 02/02946 |
|--|---|--|
| A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36 | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | US 5 625 373 A (JOHNSON MICHAEL J) 29 April 1997 (1997-04-29) the whole document | 16-19, 22,23,25 |
| Y | | 1-4,6, 8-10,15, 20,21 |
| X | --- PATENT ABSTRACTS OF JAPAN vol. 018, no. 036 (P-1678), 19 January 1994 (1994-01-19) ~& JP 05 265405 A (FUJITSU LTD), 15 October 1993 (1993-10-15) the whole document | 16-19, 22,23,25 |
| Y | | 1-4,6, 8-10,15, 20,21 |
| | abstract | |
| | --- -/-- | |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex. | | |
| * Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see special) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family | | |
| Date of the actual completion of the international search 19 September 2002 | | Date of mailing of the international search report 26. 11. 02 |
| Name and mailing address of the ISA European Patent Office, P.B. 5518 Patentlaan 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2240, Tx. 31 651 epo nl, Fax: (+31-70) 340-2016 | | Authorized officer Harke, M |

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

| |
|-------------------------------|
| International Application No. |
| PCT/IB 02/02946 |

| C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|--|---|--------------------------|
| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | US 5 751 279 A (OKUMURA FUJIO) 12 May 1998 (1998-05-12) the whole document | 16,23,24 |
| Y | --- | 1-4,6,8, 12 |
| Y | MATSUEDA Y ET AL: "30.1: A 6-BIT-COLOR VGA LOW-TEMPERATURE POLY-SI TFT-LCD WITH INTEGRATED DIGITAL DATA DRIVERS" 1998 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. ANAHEIM, CA, MAY 17 - 22, 1998, SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, SANTA ANA, CA: SID, US, vol. 29, 17 May 1998 (1998-05-17), pages 879-882, XP000792572 ISSN: 0096-966X the whole document | 1-4,6, 8-10,12, 15 |
| Y | FURUHASHI T ET AL: "A 64-GRAY-SCALE DIGITAL SIGNAL DRIVER FOR COLOR TFT-LCDS" SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. SAN JOSE, JUNE 14 - 16, 1994, SANTA ANA, SID, US, vol. 25, 14 June 1994 (1994-06-14), pages 359-362, XP000462720 the whole document | 1-4,6, 8-10,12, 15 |
| Y | EP 0 953 959 A (HEWLETT PACKARD CO) 3 November 1999 (1999-11-03) the whole document | 2,3,10, 20,21 |
| A | --- | 11 |
| Y | EP 0 729 233 A (AT & T CORP) 28 August 1996 (1996-08-28) the whole document | 2,3,10, 20,21 |
| A | --- | 11 |

Form PCT/ISA/210 (continuation of search sheet) (May 1999)

INTERNATIONAL SEARCH REPORT
information on patent family members

International application No
PCT/IB 02/02946

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|--|------------------|-------------------------|-----------------------------|
| US 5625373 | A | 29-04-1997 | CA 2189660 A1 01-02-1996 |
| | | | DE 69515307 D1 06-04-2000 |
| | | | DE 69515307 T2 21-06-2000 |
| | | | EP 0770253 A1 02-05-1997 |
| | | | JP 10503292 T 24-03-1998 |
| | | | WO 9602908 A1 01-02-1996 |
| JP 05265405 | A | 15-10-1993 | NONE |
| US 5751279 | A | 12-05-1998 | JP 2848139 B2 20-01-1999 |
| | | | JP 6035414 A 10-02-1994 |
| EP 0953959 | A | 03-11-1999 | US 6329974 B1 11-12-2001 |
| | | | EP 1255242 A1 06-11-2002 |
| | | | EP 1249824 A2 16-10-2002 |
| | | | EP 1249825 A2 16-10-2002 |
| | | | EP 0953959 A2 03-11-1999 |
| | | | JP 11338402 A 10-12-1999 |
| | | | US 2002021267 A1 21-02-2002 |
| | | | US 2002021267 A1 21-02-2002 |
| EP 0729233 | A | 28-08-1996 | US 5696508 A 09-12-1997 |
| | | | EP 0729233 A1 28-08-1996 |
| | | | JP 8279752 A 22-10-1996 |

フロントページの続き

| (51) Int.Cl. ⁷ | F I | テーマコード(参考) |
|--|--------------|------------|
| | G 0 9 G 3/20 | 6 1 2 U |
| | G 0 9 G 3/20 | 6 2 3 B |
| | G 0 9 G 3/20 | 6 2 3 H |
| | G 0 9 G 3/20 | 6 2 3 R |
| | G 0 9 G 3/20 | 6 4 1 C |
| | G 0 9 G 3/20 | 6 4 1 P |
| | G 0 9 G 3/20 | 6 4 2 A |
| | | |
| (74)代理人 100121083 弁理士 青木 宏義 | | |
| (72)発明者 ジャンセン ピーター ジェイ オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6 | | |
| (72)発明者 アルブ ルシアン アール オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6 | | |
| F ターム(参考) 2H093 NA16 NA53 NC11 NC13 NC22 NC25 NC28 NC34 5C006 AA16 AC21 AF46 AF51 AF53 AF64 AF71 AF83 BB16 BC03 BC11 BC20 BF03 BF14 BF24 BF25 BF43 FA18 FA21 FA56 5C080 AA10 BB05 DD04 EE28 FF11 JJ02 | | |

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 自己校正型画像表示装置 | | |
| 公开(公告)号 | JP2005502073A | 公开(公告)日 | 2005-01-20 |
| 申请号 | JP2003522072 | 申请日 | 2002-07-12 |
| [标]申请(专利权)人(译) | 皇家飞利浦电子股份有限公司 | | |
| 申请(专利权)人(译) | 皇家飞利浦电子股份有限公司的Vie | | |
| [标]发明人 | ジャンセンピータージェイ アルブルシアンアール | | |
| 发明人 | ジャンセン ピーター ジェイ アルブルシアン アール | | |
| IPC分类号 | G02F1/133 G09G3/00 G09G3/20 G09G3/36 | | |
| CPC分类号 | G09G3/006 G09G3/3648 G09G3/3688 G09G2320/0233 G09G2320/0285 G09G2320/0693 G09G2330/12 | | |
| FI分类号 | G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.J G09G3/20.612.E G09G3/20.612.U G09G3/20.623.B G09G3/20.623.H G09G3/20.623.R G09G3/20.641.C G09G3/20.641.P G09G3/20.642.A | | |
| F-TERM分类号 | 2H093/NA16 2H093/NA53 2H093/NC11 2H093/NC13 2H093/NC22 2H093/NC25 2H093/NC28 2H093/NC34 5C006/AA16 5C006/AC21 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF64 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF43 5C006/FA18 5C006/FA21 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD04 5C080/EE28 5C080/FF11 5C080/JJ02 | | |
| 代理人(译) | 宫崎明彦 | | |
| 优先权 | 09/930190 2001-08-16 US | | |
| 外部链接 | Espacenet | | |

摘要(译)

液晶显示 (LCD) 装置。该器件校准信号处理路径中的非线性，从接收的数字输入数据到器件数据 (列) 线中产生的模拟电压，并校准列驱动器和器件列线之间的差异包括。该装置接收数字输入数据并产生模拟数据电压，以相应地提供给列线。该装置包括用于产生一个细阶梯状的参考信号的装置，以及用于响应产生存储在该设备中的校准数据的误差值，以该比较细阶梯基准信号电压和所述数据电压。通过对其操作范围内的每个值逐步通过数字输入数据并将其相应的校准数据误差值存储在存储器中来校准该装置中的一个，优选全部。

