

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-189614

(P2005-189614A)

(43) 公開日 平成17年7月14日(2005.7.14)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G02F 1/1343	G02F 1/1343	2H092
G02F 1/133	G02F 1/133 505	2H093
G02F 1/1368	G02F 1/1368	5C006
G09G 3/20	G09G 3/20 611J	5C080
G09G 3/36	G09G 3/20 621M	
審査請求 未請求 請求項の数 10 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2003-432389 (P2003-432389)

(22) 出願日 平成15年12月26日 (2003.12.26)

(71) 出願人 502356528

株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地

(74) 代理人 100093506

弁理士 小野寺 洋二

(72) 発明者 藤岡 恭弘

千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

(72) 発明者 平賀 浩二

千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

(72) 発明者 窪田 岳彦

千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

最終頁に続く

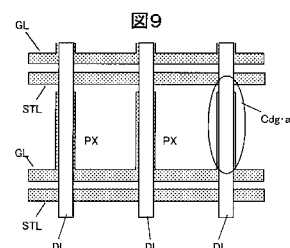
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】 アクティブマトリクス型の液晶表示装置において、画素電圧の変動を抑制して高画質の表示を得る。

【解決手段】 画素マトリクス部すなわち表示領域M×Rは、ゲート線GL(G1, G2, …… Gn)と、ドレイン線DL(D1, D2, …… Dm)が交差配置されている。ゲート線GLは、1方向に延在し、この1方向と交差する他方向(同じく、縦方向)に複数並設されている。ドレイン線DLは、上記他方向に延在して上記1方向に複数並設されている。ゲート線GLとドレイン線DLとの交差部に対応して、複数の画素がマトリクス状に配列され上記表示領域M×Rが形成されている。各画素は、薄膜トランジスタ(TFT)を有しており、この画素の薄膜トランジスタのゲートはゲート線GLに接続され、走査信号により駆動される。

【選択図】 図9



【特許請求の範囲】**【請求項 1】**

液晶を挟持する一対の基板と、

1 方向に延在し、前記 1 方向と交差する他方向に並設される複数のゲート線と、

前記他方向に延在し、前記 1 方向に並設される複数のドレイン線と、

前記 1 方向に延在し、前記他方向に並設される複数のストレージ線と、

前記ゲート線と前記ドレイン線との交差部に対応してマトリクス状に配列された複数の画素とを備えた液晶表示装置であって、

前記画素は、前記ゲート線によって駆動される薄膜トランジスタと、少なくとも 2 つのコモン電圧の間で駆動されるコモン電極と、前記薄膜トランジスタを介して前記ドレイン線の電圧が印加され前記コモン電極との間の電位差で液晶を駆動する画素電極と、一方の電極が前記画素電極の電位で他方の電極が前記ストレージ線の電位となるストレージ容量とを有し、

前記ドレイン線は 2 本以上を 1 組として時分割駆動され、

前記ドレイン線は、前記ドレイン線と前記ゲート線との交差部並びに前記ドレイン線と前記ストレージ線との交差部以外の場所に、少なくとも前記薄膜トランジスタがオンされている間固定されている固定電位との間に付加された付加容量を有することを特徴とする液晶表示装置。

【請求項 2】

前記付加容量は、前記ドレイン線と前記ゲート線との間で形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記付加容量は、前記ドレイン線と前記ストレージ線との間で形成されていることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記一対の基板のうち、一方の基板は前記ドレイン線を有し、他方の基板は前記コモン電極を有することを特徴とする請求項 1 から 3 の何れかに記載の液晶表示装置。

【請求項 5】

前記一対の基板のうち、一方の基板は前記ドレイン線と前記コモン電極とを有することを特徴とする請求項 1 から 3 の何れかに記載の液晶表示装置。

【請求項 6】

前記 1 方向に延在し、前記他方向に並設される複数のコモン線を有し、

前記コモン電極は前記コモン線により 1 ライン毎に独立に駆動されることを特徴とする請求項 1 から 3 のうち何れかに記載の液晶表示装置。

【請求項 7】

前記コモン電極は各画素共通に駆動されることを特徴とする請求項 1 から 3 のうち何れかに記載の液晶表示装置。

【請求項 8】

前記コモン電極は、各画素毎に独立に駆動されることを特徴とする請求項 1 から 3 のうち何れかに記載の液晶表示装置。

【請求項 9】

前記ストレージ線の電位は固定されていることを特徴とする請求項 1 から 3 のうち何れかに記載の液晶表示装置。

【請求項 10】

前記ストレージ線の電位は少なくとも 2 つのストレージ電圧の間で駆動されることを特徴とする請求項 1 から 3 のうち何れかに記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、アクティブ・マトリクス型の表示装置に関し、特にドレイン線を時分割駆動

する液晶表示装置に好適なものである。

【背景技術】

【0002】

携帯電話機やノート型コンピュータ、あるいはディスプレイモニター用等の高精細かつカラー表示が可能な表示装置として液晶パネルを用いた液晶表示装置や、エレクトロルミネッセンス（特に、有機エレクトロルミネッセンス）素子を用いた有機エレクトロルミネッセンス表示装置（有機EL表示装置）、あるいは電界放出素子を用いた電界放出型表示装置（FED）等、様々な方式の平板型表示装置が既に実用化または実用化研究段階にある。

【0003】

この種の表示装置は、画像表示領域を形成する画素を備えた基板を有する。例えば、表示手段として広く使用されている液晶表示装置の一例では、ガラスを好適とする薄膜トランジスタ基板（TFT基板）とも呼ばれる第1基板の主面に薄膜トランジスタを有する複数の画素を水平方向と垂直方向に二次元配置したマトリクス状に配列し、各画素に対応したカラーフィルタを有する第2基板（対向基板とも言う）とを貼り合わせ、貼り合わせ間隙に液晶を封止して構成される。尚、カラーフィルタは第1基板側に形成される場合もある。第2基板側に共通電極（コモン電極や対向電極とも称する）を有して両基板間に形成される電界で画素を駆動するものを縦電界型（TN型）と呼んでいる。

【0004】

なお、第1基板の表示領域の外側には駆動回路が配置される。この駆動回路は、表示領域にマトリクス配列された画素の画素回路を構成する薄膜トランジスタのゲートに走査信号（選択信号）を印加するゲート線走査回路（ゲート駆動回路とも称する）と、該ゲート線走査回路で選択された薄膜トランジスタのドレイン電極に映像信号を供給する映像信号線出力回路（ドレイン駆動回路とも称する）とを有する。

【0005】

液晶表示装置の画素駆動方式の他の型に横電界（IPS：In-Plane-Switching）方式と呼ばれるものがある。これは、画素電極とコモン電極の両方が第1基板側に設けられ、両者の間で発生する電界によって液晶を駆動する方式である。

【0006】

特に、IPS方式の液晶表示装置では、透過率向上のために、そのコモン線はゲート線やストレージ線とは異なる配線層として、比較的抵抗の高い透明配線層（ITO等の層）を用い、ゲート線やストレージ線とオーバーラップさせている。また、ドレイン線と他の固定電位間の容量は、意図的には付加されておらず、比較的小さい。

【0007】

液晶表示装置の駆動回路としては、通常は各ドレイン線は一斉に駆動されるが、ドレインドライバICの出力端子数を減らすために第1基板上に時分割スイッチを設けて、ドレイン線を時分割駆動するものも存在する。この場合、該ドレイン線がフローティングとなる期間が存在する。

【0008】

なお、この種の液晶表示装置を開示したものとしては、例えば特許文献1、特許文献2を挙げることができる。特許文献1は、容量線の延出部を信号線より幅広にし、かつ、画素電極と遮光機能を持たせた液晶表示装置を開示する。尚、特許文献1ではドレイン線の時分割駆動は行っていない。また、特許文献2はドット反転で時分割駆動を行う液晶表示装置を開示する。

【特許文献1】特開2002-151699号公報

【特許文献2】特開平11-327518号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

時分割駆動では、2本以上のドレイン線を1組として、ドレインドライバICチップか

10

20

30

40

50

らの1つの出力を1水平期間を時分割してそれぞれのドレイン線に電圧を書き込むため、1水平期間の途中でドレイン線が電氣的にフローティングとなる期間が存在する。ITO層で構成されたコモン線の層(コモン層)は高抵抗であり、コモン線の遠端ではドレイン線がフローティングとなるまでに目標コモン線電圧に到達しない場合がある。このとき、ゲート線がオンレベルで、かつ、ドレイン線がフローティングとなっている間に、コモン線(またはコモン電極)電圧が変動すると、容量結合によりドレイン線の電圧や画素電極の電圧が変動してしまう。したがって、ゲート線がオフレベルになるまでの期間にコモン線電圧が変動すると、容量結合により画素電圧及びドレイン線電圧が変動し、画素電圧が目標電圧からずれ、表示画質の低下を招く原因となる。同様の現象は、ストレージ線が変動する場合も起こりうる。したがって、画素電圧の変動を抑制して高画質の表示を得ることが求められる。 10

【課題を解決するための手段】

【0010】

本発明の代表的な構成の一例を列記すれば次の通りである。

【0011】

(1)、液晶を挟持する一对の基板と、
1方向に延在し、前記1方向と交差する他方向に並設される複数のゲート線と、
前記他方向に延在し、前記1方向に並設される複数のドレイン線と、
前記1方向に延在し、前記他方向に並設される複数のストレージ線と、
前記ゲート線と前記ドレイン線との交差部に対応してマトリクス状に配列された複数の画素とを備えた液晶表示装置であって、 20
前記画素は、前記ゲート線によって駆動される薄膜トランジスタと、少なくとも2つのコモン電圧の間で駆動されるコモン電極と、前記薄膜トランジスタを介して前記ドレイン線の電圧が印加され前記コモン電極との間の電位差で液晶を駆動する画素電極と、一方の電極が前記画素電極の電位で他方の電極が前記ストレージ線の電位となるストレージ容量とを有し、
前記ドレイン線は2本以上を1組として時分割駆動され、
前記ドレイン線は、前記ドレイン線と前記ゲート線との交差部並びに前記ドレイン線と前記ストレージ線との交差部以外の場所に、少なくとも前記薄膜トランジスタがオンされている間固定されている固定電位との間に付加された付加容量を有する。 30

【0012】

(2)、(1)において、前記付加容量は、前記ドレイン線と前記ゲート線との間で形成されている。

【0013】

(3)、(1)または(2)において、前記付加容量は、前記ドレイン線と前記ストレージ線との間で形成されている。

【0014】

(4)、(1)から(3)の何れかにおいて、前記一对の基板のうち、一方の基板は前記ドレイン線を有し、他方の基板は前記コモン電極を有する。

【0015】 40

(5)、(1)から(3)の何れかにおいて、前記一对の基板のうち、一方の基板は前記ドレイン線と前記コモン電極とを有する。

【0016】

(6)、(1)から(3)の何れかにおいて、前記1方向に延在し、前記他方向に並設される複数のコモン線を有し、

前記コモン電極は前記コモン線により1ライン毎に独立に駆動される。

【0017】

(7)、(1)から(3)の何れかにおいて、前記コモン電極は各画素共通に駆動される。

【0018】 50

(8)、(1) から (3) の何れかにおいて、前記コモン電極は、各画素毎に独立に駆動される。

【 0 0 1 9 】

(9)、(1) から (3) の何れかにおいて、前記ストレージ線の電位は固定されている。

【 0 0 2 0 】

(1 0)、(1) から (3) の何れかにおいて、前記ストレージ線の電位は少なくとも 2 つのストレージ電圧の間で駆動される。

【 0 0 2 1 】

尚、付加容量の形成方法としては、(a) ドレイン線を分岐 (あるいは延長) してゲート線と重ねる、(b) ゲート線を分岐 (あるいは延長) してドレイン線と重ねる、(c) ドレイン線を分岐 (あるいは延長) してストレージ線と重ねる、(d) ストレージ線を分岐 (あるいは延長) してドレイン線と重ねる、などの方法が考えられる。

【 発明の効果 】

【 0 0 2 2 】

ドレイン線と他の固定電位との間に容量を付加することによって、コモン電極やコモン線との容量結合で生じる画素電極の電圧変動およびドレイン線の電圧変動が低減する。また、コモン線近端部と遠端部での画素電圧差が低減する。この結果、安定した高品質の映像表示を得ることができる。

【 0 0 2 3 】

なお、本発明は上記の構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能である。また、IPS 型の液晶表示装置に限らず、TN 型の液晶表示装置にも同様に適用できる。

【 発明を実施するための最良の形態 】

【 0 0 2 4 】

以下、本発明の液晶表示装置の実施の形態について、実施例の図面を参照して詳細に説明する。

【 実施例 1 】

【 0 0 2 5 】

図 1 は本発明の時分割駆動の液晶表示装置の構成例の説明図である。図 1 において、画素マトリクス部すなわち表示領域 $M \times R$ は、ゲート線 GL ($G1, G2, \dots, Gn$) と、ドレイン線 DL ($D1, D2, \dots, Dm$) が交差配置されている。ゲート線 GL は、1 方向 (図 1 では横方向) に延在し、この 1 方向と交差する他方向 (同じく、縦方向) に複数並設されている。ドレイン線 DL は、上記他方向に延在して上記 1 方向に複数並設されている。ゲート線 GL とドレイン線 DL との交差部に対応して、複数の画素がマトリクス状に配列され上記表示領域 $M \times R$ が形成されている。各画素は、薄膜トランジスタ (TFT) を有しており、この画素の薄膜トランジスタのゲートはゲート線 GL に接続され、走査信号により駆動される。

【 0 0 2 6 】

また、画素の薄膜トランジスタのドレインはドレイン線 DL に接続されている。そして、各画素は薄膜トランジスタのソースに接続された画素電極を有しており、走査信号により薄膜トランジスタがオンになっている期間に薄膜トランジスタを介してドレイン線 DL の電圧 (映像信号) が印加される。また、各画素はコモン電極を有しており、画素電極とコモン電極との間の電位差で液晶が駆動される。

【 0 0 2 7 】

コモン電極の構成や、コモン電極に電圧を供給する構成には様々な形式があるが、本実施例ではその一例として、コモン電極がコモン線 CL により 1 ライン毎に独立に駆動される例を示す。コモン線 CL ($C1, C2, \dots, Cn$) は、上記 1 方向に延在し、上記他方向に複数並設されている。

【 0 0 2 8 】

10

20

30

40

50

また、図 1 では図示していないが、本実施例の液晶表示装置は、上記 1 方向に延在し、上記他方向に並設される複数のストレージ線を有している。そして、各画素は、一方の電極が画素電極の電位で他方の電極がストレージ線の電位となるストレージ容量を有しており、これによって画素に書き込まれた映像信号を比較的長い時間保持できるようになっている。

【0029】

表示領域 M X R の周辺には、ゲート線 G L に走査信号を印加するゲート線走査回路 G D R、ドレイン線 D L に映像信号を供給する映像信号線出力回路 D D R が配置されている。映像信号線出力回路 D D R は、I C チップで構成されており、映像信号線出力回路 D D R の出力線（映像信号線出力）Y 1, Y 2, . . . Y 1 とドレイン線 D L との間には時分割駆動回路 T D C を有し、ドレイン線 D L を時分割駆動する。 10

【0030】

なお、ここでの時分割数は 3 としてある。これによって、映像信号線出力回路 D D R の I C チップの出力端子数を減らすことができる。時分割駆動回路 T D C は、例えばポリシリコン薄膜トランジスタなどを利用して画素の薄膜トランジスタが形成された基板と同一基板上に一体的に形成し、基板上の内蔵回路とすることができる。ゲート線走査回路 G D R は I C チップで構成しても良いし、映像信号線出力回路 D D R とともに 1 チップ化しても良いし、時分割駆動回路 T D C と同様に基板上に内蔵回路として構成しても良い。これらの内蔵回路は、周辺回路とも呼ばれる。

【0031】

表示領域 M X R の周辺には、コモン線 C L にコモン電圧を印加するコモン線駆動回路 C D R が配置されている。なお、ストレージ線にストレージ電圧を印加するストレージ線駆動回路も有するが、図示していない。 20

【0032】

次に、時分割駆動についてさらに詳細に説明する。この時分割駆動回路 T D C は映像信号線出力回路 D D R の 1 出力毎に並列に 3 個のスイッチ素子（薄膜トランジスタ T F T）を有し、各薄膜トランジスタ T F T の制御電極（ゲート）に互いに位相が異なるクロック信号 C L K 1, C L K 2, C L K 3 が与えられて、映像信号線出力回路 D D R の 1 出力を時間軸に沿って分割して 3 本のドレイン線 D L に順次時分割で供給するようになっている。尚、時分割の数は 2 以上であれば適宜変更しても良い。 30

【0033】

図 2 は図 1 に示した液晶表示装置の時分割駆動の動作を説明するタイミング図である。図 2 において、図 1 と同一参照符号は同一機能部分の波形に対応する。以下、図 1 の動作を図 2 を参照して説明する。ここでは、ゲート線 G 1, G 2 と映像信号線出力 Y 1 に対応するドレイン線 D 1, D 2, D 3 について、その時分割駆動の動作説明をするが、他のゲート線およびドレイン線についても同様である。

【0034】

映像信号線出力 Y 1 はドレイン線 D 1, D 2, D 3 用のデータ（映像信号）を持ち、これらのデータをクロック信号 C L K 1, C L K 2, C L K 3 に同期して対応するドレイン線 D 1, D 2, D 3 に出力する。なお、図 2 では、このドレイン線 D 1, D 2, D 3 用のデータをそれぞれのドレイン線の参照符号と同じ D 1, D 2, D 3 として示す。すなわち、クロック信号 C L K 1, C L K 2, C L K 3 の立ち下がりで映像信号線出力 Y 1 のデータをドレイン線 D 1, D 2, D 3 に取り込む。例えば、データ D 1 はクロック信号 C L K 1 のハイレベル期間のみを書込み期間 T w とし、クロック信号 C L K 1 のローレベル期間では保持期間 T f となる。この保持期間 T f はフローティング期間である。データ D 2、データ D 3 についても同様である。 40

【0035】

このような構成とすることで、映像信号線出力本数をドレイン線数の 3 分の 1 とすることができ、接続点数の削減による高信頼性と、駆動回路サイズの低減による低コスト化を図ることができる。なお、図 2 に示したように、コモン線 C L は水平ライン（水平走査、 50

ゲート線に対応)毎に独立しており、各コモン線 $C_1, C_2, \dots$ は 1 フレーム毎に極性が反転する。この反転は 1 水平期間に 1 ラインずつ順次行われる。このように、コモン電極 (あるいはコモン線 C_L) は、2 つのコモン電圧の間で駆動される。尚、本実施例ではコモン電圧は 2 種類の電圧としているが、様々な要因により最適値が異なる場合には調整可能にして 3 種類以上としても良い。

【0036】

図 3 は図 1 における画素部すなわち表示領域 $M \times R$ の一部の回路構成を説明する等価回路図である。また、図 4 は画素への電位書込みのタイミング図である。図 3 において、図 1 と同一参照符号は同一機能部分に対応する。ゲート線 $G_1, G_2, \dots, G_n$ はゲート電圧源 $E(G_1), E(G_2), \dots, E(G_n)$ に接続し、コモン線 $C_1, C_2, \dots, C_n$ はコモン電圧源 $E(C_1), E(C_1), \dots, E(C_n)$ に接続し、それぞれが独立に駆動される。ストレージ線 $ST_L (ST_1, ST_2, \dots, ST_n)$ はストレージ電圧源 $E(ST_1), E(ST_2), \dots, E(ST_n)$ に接続している。またドレイン線 $D_1, D_2, \dots, D_m$ は、ドレイン電圧源 $E(D_1), E(D_2), \dots, E(D_m)$ に接続している。

10

【0037】

画素回路の構成を画素 $PX(1, m)$ を代表として説明する。画素 $PX(1, m)$ は、ゲート線 G_1 、コモン線 C_1 、ストレージ線 ST_1 およびドレイン線 D_m の交差部に薄膜トランジスタ $TFT(1, m)$ を有している。画素 $PX(1, m)$ に係る容量は、画素電極 - コモン線間容量 C_p 、画素電極 - ストレージ線間容量 C_{st} 、ドレイン線 - コモン線間容量 C_{dc} 、ドレイン線 - ストレージ線間容量 C_{dst} で構成される。

20

【0038】

次に、図 3 の動作を図 4 を参照して説明する。尚、説明の都合上、図 2 での動作説明とは逆になってしまうが、時分割駆動回路 $TD C$ ではクロック信号 CLK_3, CLK_2, CLK_1 の順にクロックが入力され、ドレイン線 D_m, D_{m-1}, D_{m-2} の順に映像信号が時分割で書き込まれると仮定する。

【0039】

図 4 の時刻 t_0 で図示しないクロック信号 CLK_3 によりゲート線 D_m に映像信号の供給が始まる (書込み期間 T_w)。このとき、ゲート線 G_1 がオンレベル (ON) になり、画素 $PX(1, m)$ の電位もドレイン線 D_m の電圧に追従する。また、交流化のために、コモン線 C_1 の電位も極性が反転され、目標値に徐々に収束してゆく。

30

【0040】

次に、時刻 t_1 で、クロック信号 CLK_3 がオフになり、ドレイン線 D_m への電圧書込みが完了し、ドレイン線 D_m がフローティングとなる (フローティング期間 T_f)。そして、クロック信号 CLK_2, CLK_1 が順次オンになり、ドレイン線 D_{m-1}, D_{m-2} への電位書込みが順次行われる。しかし、時刻 t_1 では、コモン線 C_1 は目標電圧に ΔV_c 分だけ達していない。その後、時刻 t_2 でコモン線 C_1 が目標電圧になる。ドレイン線 D_{m-2} への書込みが終わった時点である時刻 t_3 でゲート線 G_1 がオフレベル (OFF) となり、ドレイン線 D_m の電圧が画素 $PX(1, m)$ の画素電圧として取り込まれる。

【0041】

時刻 $t_0 \sim t_3$ まではゲート線 G_1 がオンレベルであるため、薄膜トランジスタ $TFT(1, m)$ がオンしており、画素 $PX(1, m)$ の電圧は目標の映像信号電圧が書込まれている。しかし、時刻 t_1 でドレイン線 D_m がフローティングとなった後、時刻 t_2 でコモン線が目標電圧に到達するまでにコモン線との容量結合により生じるドレイン線 D_m の電圧変動 ΔV_d が生じる。これは、次式で与えられる。すなわち、 n を水平ライン数としたとき、

40

$$\Delta V_d = \Delta V_c \times (C_p + C_{dc}) / (n \times (C_{dg} + C_{dst}) + C_{st} + C_p + C_{dc})$$

【0042】

実施例 1 では、上記のドレイン線 D_L と固定電圧であるストレージ線 ST_L との間に容量 C_{dst} を付加することで、上式の右辺の分母を大きくでき、 ΔV_c に対する ΔV_d を

50

非常に小さくすることが可能となる。例えば、 ΔV_d を数mVにすれば、画面内での輝度傾斜のない、均一で良好な映像表示を得ることができる。また、ゲート線の電位を固定電位とし、ドレイン線とゲート線の間に付加容量を形成することもできる。この場合、上記のCdgを大きくすることに対応する。

【0043】

尚、ここでいう固定電位というのは、完全に固定されている必要はなく、少なくとも画素の薄膜トランジスタがオンされている間固定されていれば時刻 t_1 から t_2 における電圧変動 ΔV_d を低減させる目的は達成できるため、本明細書ではこのような固定電位とみなせるものも含めて固定電位と称している。よって、ゲート線Gのように変動するものであっても良い。また、ストレージ線STLの電位も常に固定しておく場合だけでなく、交流化に合わせて変動させるものについても適用可能である。 10

【0044】

上記した実施例1はコモン線にITOを用いたものとして説明したが、ITOよりも低抵抗の導電材料でコモン線を形成することで、画素電圧の変動をさらに抑制することができる。また、上記実施例は本発明をIPS方式の液晶表示装置に適用したものであるが、本発明はTN方式の液晶表示装置に適用して、ドレイン線の電圧変動や画素電圧の変動を抑制することもできる。

【0045】

尚、これまでの説明では、コモン電極（あるいはコモン線）の変動による画素電極の電位変動について説明したが、ストレージ線の電位が変動する場合にもほぼ同様の原理により画素電極の電位変動が生ずる。しかし、本発明の構成によれば、ストレージ線の電位変動による影響についても同様に低減することが可能である。 20

【0046】

次に、上記の実施例における付加容量を形成するための具体的な構造例について説明する。まず、本発明を適用するIPS方式の液晶表示装置の画素構造を説明する。

【0047】

図5はIPS方式の液晶表示装置の画素構造のレイアウトを説明する平面図である。また、図6は図5のA-A'線に沿った断面図、図7は図5のB-B'線に沿った断面図である。この液晶表示装置の画素は、1方向に延在され、他方向に並設されるゲート線GL、ストレージ線STL、コモン線CLと、これらに対して交差する如く形成されたドレイン線DLで囲まれた領域に1画素が形成されている。尚、本発明の画素はいわゆるデルタ配置されているが、この場合もマトリクス配置に含まれる。また、ドレイン線DLは蛇行しているが、この場合も本明細書では他方向に延在し、1方向に並設されていると表現している。尚、コモン線CLは一部が分岐して他方向に延在している部分があるが、この部分がコモン電極に相当する。 30

【0048】

この画素領域の中にアルミニウム層ALとITO層からなる画素電極が形成されている。図において、各個の中に記載されたAL、ITO、MoWなどは構成材料を示す。例えば、画素電極PIXはPIX(AL)とPIX(ITO)からなる。

【0049】

図5～図7において、図1および図3と同一参照符号は同一機能部分に対応する。また、CTH1, CTH2はコンタクトホール、SUB1はガラス基板、GIはゲート絶縁膜、INS1, INS2は層間絶縁膜、OCは平坦化膜を示す。ストレージ線STL、ゲート線GL、ドレイン線DL、コモン線CL、画素電極PIX(PIX(AL), PIX(ITO))は、図6および図7に示した積層構造として形成されている。そして、画素領域の一部には、ポリシリコンを活性層とした薄膜トランジスタTFTが形成され、そのゲート電極にはゲート線GLが、ドレイン電極（またはドレイン領域）にはドレイン線DLが、ソース電極（またはソース領域）には画素電極PIX(AL)が接続されている。 40

【0050】

本実施例では、画素がデルタ配置であるため、図の縦方向に延在するドレイン線DLが 50

次の行の画素とぶつかる部分で画素の半ピッチ分だけ図の横方向に引き回されて、一部がゲート線GLと重なっている部分（交差部分と称する）がある。この部分が意図せずに形成されている容量Cdgである。また、通常はストレージ線STLは横方向に延びるだけで分岐はしていないのでドレイン線DLとの交差部分はわずかであり、この部分が意図せずに形成されている容量Cdstである。この容量Cdg, Cdstは本発明でいう付加容量ではない。

【0051】

本発明では、この意図せずに形成されている交差部分の容量Cdg, Cdstとは別に、付加容量Cdst・aを形成している。具体的には、横方向に延在するストレージ線STLを縦方向にも分岐（あるいは延長）させて、ドレイン線DLと重畳させることにより、付加容量Cdst・aを形成している。これが、意図的に形成された付加容量である。

10

【0052】

以下、本発明の付加容量形成の具体例について説明する。これは、図5で示した実施例の変形例に相当する。なお、以下の具体例では理解を容易にするために、付加容量の形成に必要な配線類のみを示し、画素回路の詳細な構成は省略する。まず、図8は比較のために示す従来の画素構造のレイアウトを説明する平面図である。図8に示したように、ドレイン線DLとゲート線GLの交差部にはドレイン線-ゲート線交差容量Cdgが、またドレイン線DLとストレージ線STLの交差部にはドレイン線-ストレージ線交差容量Cdstが形成されているのみで、前記した付加容量を有しない。

【0053】

20

図9は本発明による付加容量を形成した画素構造のレイアウトの第1例を説明する平面図である。この第1例では、図8で説明した容量の他に、ゲート線GLの一部をドレイン線DLに沿ってその下層に延長させ、このゲート線の延長部分とドレイン線の間に付加容量Cdg・aを形成する。

【0054】

図10は本発明による付加容量を形成した画素構造のレイアウトの第2例を説明する平面図である。この例では、ストレージ線STLの一部をドレイン線DLに沿ってその下層に延長させ、このストレージ線の延長部分とドレイン線の間に付加容量Cdst・aを形成する。

【0055】

30

図11は本発明による付加容量を形成した画素構造のレイアウトの第3例を説明する平面図である。この例では、ドレイン線DLの一部をストレージ線STLに沿ってその上層に延長させ、このドレイン線の延長部分とストレージ線の間に付加容量Cdst・aを形成する。

【0056】

図12は本発明による付加容量を形成した画素構造のレイアウトの第4例を説明する平面図である。この例では、ドレイン線DLの一部をゲート線GLに沿ってその上層に延長させ、このドレイン線の延長部分とゲート線の間に付加容量Cdg・aを形成する。

【0057】

図13は本発明による付加容量を形成した画素構造のレイアウトの第5例を説明する平面図である。この例では、ストレージ線STLの一部をドレイン線DLに沿ってその下層に延長させ、このストレージ線の延長部分とドレイン線の間に付加容量Cdst・aを形成する。なお、この例では、ストレージ線STLの延長部分の幅はドレイン線DLの幅より大きくされている。また、このストレージ線の延長部分は、ドレイン線DLの全域ではなく、その一部分に対応する位置までであり、ドレイン線DLの延長方向両側縁の大部分では画素を透過するバックライトの光を遮光する機能は有しない。

40

【0058】

図14は本発明による付加容量を形成した画素構造のレイアウトの第6例を説明する平面図である。この例では、ストレージ線STLの一部をドレイン線DLに沿ってその下層に延長させ、このストレージ線の延長部分とドレイン線の間に付加容量Cdst・aを形

50

成する。なお、この例では、延長部分の幅がドレイン線の幅より狭くされている。したがって、ドレイン線DLの延長方向両側縁を透過するバックライトの光を遮光する機能は有しない。

【0059】

図15は本発明による付加容量を形成した画素構造のレイアウトの第7例を説明する平面図である。この例の画素はドレイン線DLの延在方向に千鳥状に配置されている（デルタ配置）。そして、この千鳥状の画素配列のために屈曲されているドレイン線DLのゲート線GL上の一部で当該ゲート線GL上にさらに延長させて、このドレイン線DLの延長部分とゲート線GLとの間に付加容量 $C_{dg} \cdot a$ を形成した。

【0060】

図16は本発明による付加容量を形成した画素構造のレイアウトの第8例を説明する平面図である。この例の画素はドレイン線DLの延在方向に千鳥状に配置されている（デルタ配置）。そして、この千鳥状の画素配列のために屈曲されているドレイン線DLのストレージ線STL上の一部で当該ストレージ線STL上にさらに延長させて、このドレイン線DLの延長部分とストレージ線STLとの間に付加容量 $C_{dst} \cdot a$ を形成した。

【0061】

図17は本発明による付加容量を形成した画素構造のレイアウトの第9例を説明する平面図である。この例は、表示領域の外側に付加容量を形成したものである。すなわち、表示領域の外側に配線されているドレイン線DLの端部に容量形成部DL・Eを形成する。参照符号PX(e)は表示領域の端部の画素を示す。この容量形成部DL・Eはストレージ線の電位またはゲート電位、あるいは他の適宜の固定電位を有する電極FDとの間に層間絶縁膜等の絶縁層を介在させて付加容量 $C_{d \cdot a}$ を形成した。尚、図5～図16で説明したように表示領域内で付加容量を形成した場合は水平ラインの数、すなわちn個の付加容量を形成することができるので個々の容量が小さくてもn倍にできるが、図17のように表示領域の外側で付加容量を形成する場合は大きめに作る必要がある。

【0062】

以上説明した各例の構成としたことにより、画素電圧の変動が抑制され、高画質の表示を得ることができる。

【0063】

尚、図5～図17で説明した実施例は互いに矛盾しない限り2つ以上を組み合わせることも可能である。また、各配線のうち何れを上層とし、何れを下層とするかは図示したものに限られるわけではなく、適宜変更が可能である。

【0064】

さらに、これまで説明してきた実施例ではコモン電極をコモン線CLを用いて1ライン毎に独立に駆動するものについて説明してきたが、前記コモン電極を各画素共通に駆動するようにしてもよい。また、コモン線CLを用いず、対向基板のほぼ全域に共通のコモン電極を形成するようにしても良い。

【0065】

また、前記コモン電極は、各画素毎に独立に駆動するようにしても良い。例えばIPS方式の液晶表示装置において、画素内に第2の薄膜トランジスタを設け、この第2の薄膜トランジスタを介してコモン電極にコモン電位を書き込むようにすればよい。このとき、コモン線CLはドレイン線の延在方向に沿って形成すればよい。

【0066】

また、ストレージ線の電位は固定されていても良いし、少なくとも2つのストレージ電圧の間で駆動されるようにしても良い。

【図面の簡単な説明】

【0067】

【図1】本発明の時分割駆動の液晶表示装置の構成例の説明図である。

【図2】図1に示した液晶表示装置の時分割駆動の動作を説明するタイミング図である。

【図3】図1における画素部の回路構成を説明する等価回路図である。

10

20

30

40

50

【図 4】画素への電位書込みのタイミング図である。

【図 5】IPS 方式の液晶表示装置の画素構造のレイアウトを説明する平面図である。

【図 6】図 5 の A - A' 線に沿った断面図である。

【図 7】図 5 の B - B' 線に沿った断面図である。

【図 8】比較のために示す従来の画素構造のレイアウトを説明する平面図である。

【図 9】本発明による付加容量を形成した画素構造のレイアウトの第 1 例を説明する平面図である。

【図 10】本発明による付加容量を形成した画素構造のレイアウトの第 2 例を説明する平面図である。

【図 11】本発明による付加容量を形成した画素構造のレイアウトの第 3 例を説明する平面図である。 10

【図 12】本発明による付加容量を形成した画素構造のレイアウトの第 4 例を説明する平面図である。

【図 13】本発明による付加容量を形成した画素構造のレイアウトの第 5 例を説明する平面図である。

【図 14】本発明による付加容量を形成した画素構造のレイアウトの第 6 例を説明する平面図である。

【図 15】本発明による付加容量を形成した画素構造のレイアウトの第 7 例を説明する平面図である。

【図 16】本発明による付加容量を形成した画素構造のレイアウトの第 8 例を説明する平面図である。 20

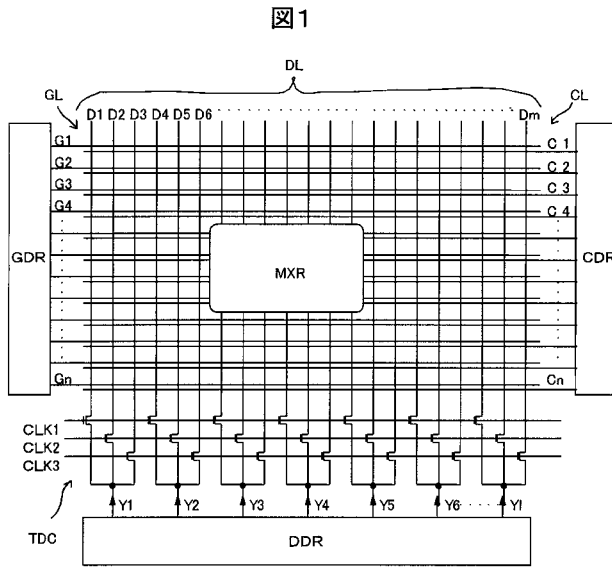
【図 17】本発明による付加容量を形成した画素構造のレイアウトの第 9 例を説明する平面図である。

【符号の説明】

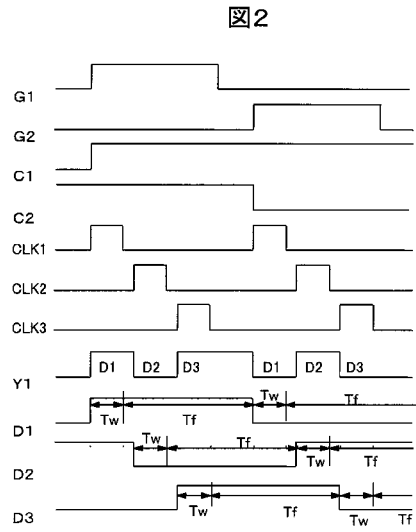
【0068】

GL (G 1 , G 2 , G n) ゲート線、DL (D 1 , D 2 , D m) ドレイン線、CL (C 1 , C 2 , C n) コモン線、TFT 薄膜トランジスタ、MXR 表示領域、GDR ゲート線走査回路、DDR 映像信号線出力回路、CDR コモン線駆動回路、Y 1 , Y 2 , Y 1 映像信号線出力回路 DDR の出力線 (映像信号線出力)、TDC 時分割駆動回路、E (G 1) , E (G 2) , ゲート電圧源、E (C 1) , E (C 1) , コモン電圧源、(ST 1) , E (ST 2) , ストレージ電圧源、E (D 1) , E (D 2) , ドレイン電圧源、PX (1 , m) 画素。 30

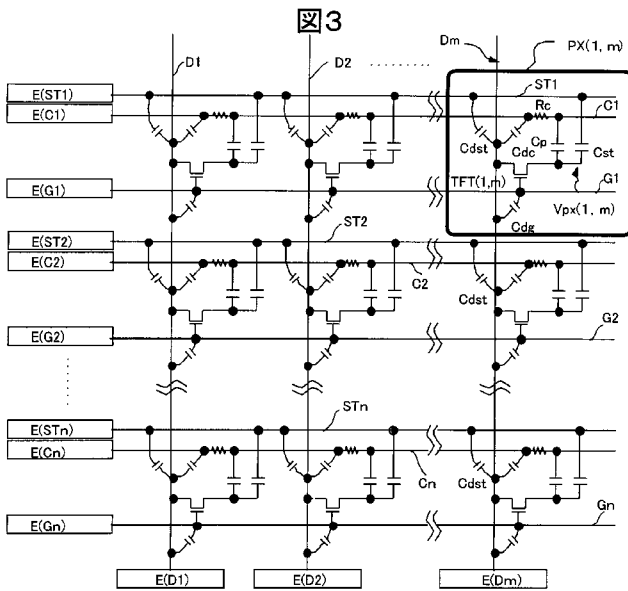
【 図 1 】



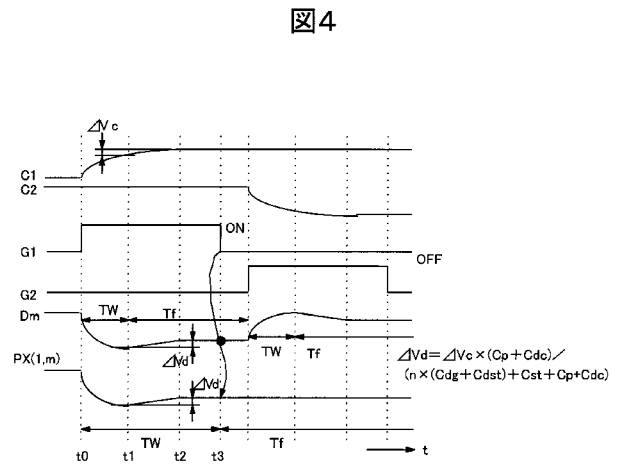
【 図 2 】



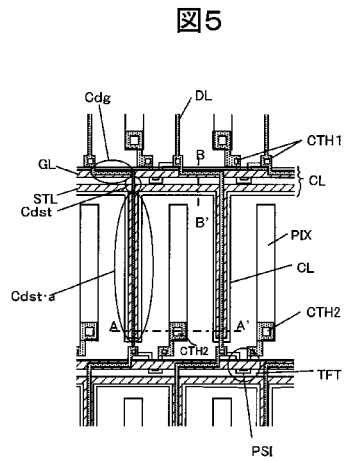
【 図 3 】



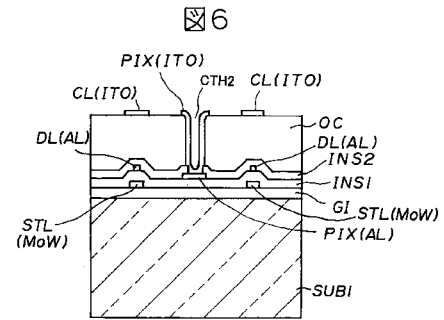
【 図 4 】



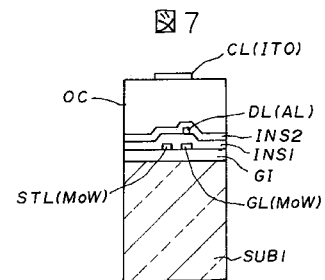
【 図 5 】



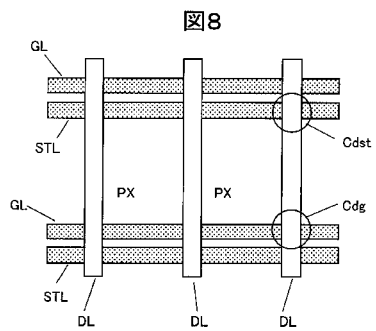
【 図 6 】



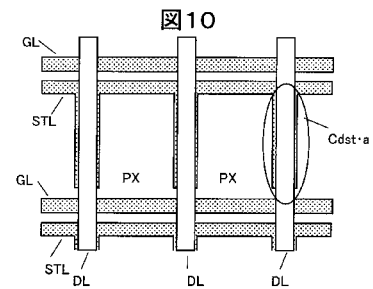
【 図 7 】



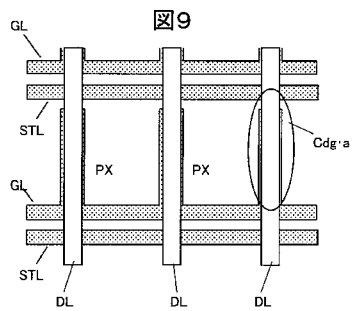
【 図 8 】



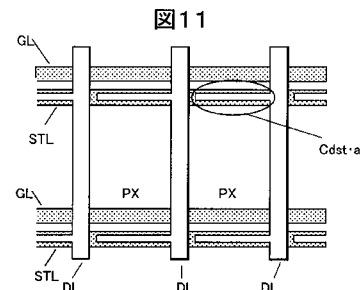
【 図 10 】



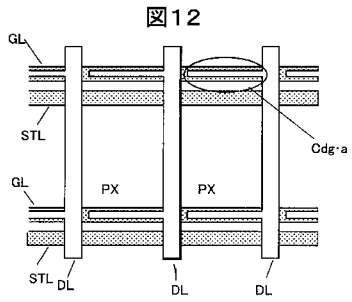
【 図 9 】



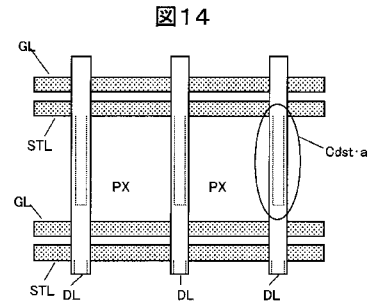
【 図 11 】



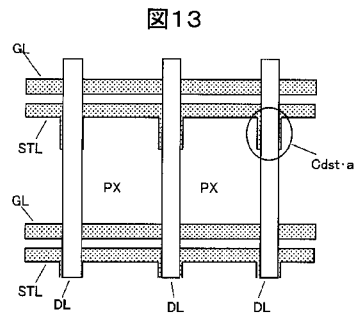
【図 1 2】



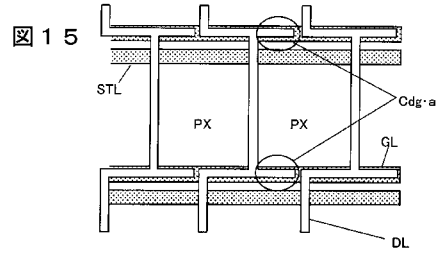
【図 1 4】



【図 1 3】

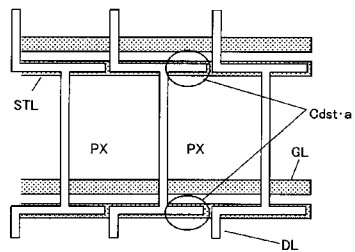


【図 1 5】



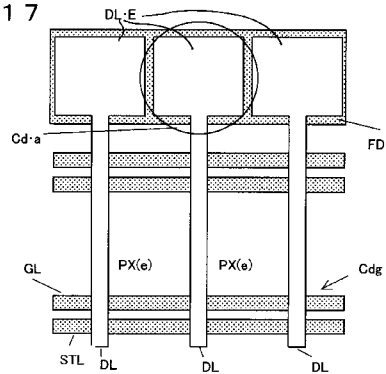
【図 1 6】

図 1 6



【図 1 7】

図 1 7



专利名称(译)	液晶表示装置		
公开(公告)号	JP2005189614A	公开(公告)日	2005-07-14
申请号	JP2003432389	申请日	2003-12-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	藤岡恭弘 平賀浩二 窪田岳彦		
发明人	藤岡 恭弘 平賀 浩二 窪田 岳彦		
IPC分类号	G02F1/1343 G02F1/133 G02F1/136 G02F1/1362 G02F1/1368 G09G3/20 G09G3/36 H01L29/786		
CPC分类号	G02F1/136213 G02F1/134363 G09G3/3614 G09G3/3648 G09G3/3688 G09G2310/0297 G09G2320/0233		
FI分类号	G02F1/1343 G02F1/133.505 G02F1/1368 G09G3/20.611.J G09G3/20.621.M G09G3/20.624.B G09G3/20.624.E G09G3/20.642.A G09G3/20.680.G G09G3/36		
F-TERM分类号	2H092/JA24 2H092/JA41 2H092/JB61 2H092/NA01 2H092/NA11 2H092/NA23 2H093/NC16 2H093/NC35 5C006/AC25 5C006/AF50 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF37 5C006/FA22 5C006/FA37 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/BB03 2H192/BB91 2H192/BC02 2H192/BC31 2H192/CC17 2H192/CC55 2H192/CC57 2H192/DA12 2H192/DA32 2H192/FA32 2H192/FB05 2H192/GD61 2H192/JA32		
代理人(译)	小野寺杨枝		
其他公开文献	JP4163611B2		
外部链接	Espacenet		

摘要(译)

解决的问题：通过抑制有源矩阵型液晶显示装置中的像素电压的波动来获得高质量的显示。在像素矩阵部分中，即，显示区域MXR，栅极线GL（G1，G2，...，Gn）和漏极线DL（D1，D2，...，Dm）布置成相交。栅极线GL在一个方向上延伸，并且多个栅极线GL在与一个方向相交的另一方向（相似地，垂直方向）上平行地布置。多个排泄线DL在另一方向上延伸并且在一个方向上平行地布置。多个像素以与栅极线GL和漏极线DL的交点对应的矩阵布置，以形成显示区域MXR。每个像素具有薄膜晶体管（TFT），该像素的薄膜晶体管的栅极连接至栅极线GL，并由扫描信号驱动。[选择图]图9

