

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-119936

(P2004-119936A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/786	H O 1 L 29/78 6 1 8 E	2 H O 9 2
G O 2 F 1/1368	G O 2 F 1/1368	5 F O 5 2
H O 1 L 21/02	H O 1 L 21/02 C	5 F 1 1 0
H O 1 L 21/20	H O 1 L 21/20	
H O 1 L 21/265	H O 1 L 29/78 6 1 8 G	
	審査請求 有 請求項の数 12 O L (全 22 頁) 最終頁に続く	

(21) 出願番号 特願2002-285035 (P2002-285035)
 (22) 出願日 平成14年9月30日 (2002.9.30)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100088487
 弁理士 松山 允之
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 日置 毅
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内
 (72) 発明者 秋山 政彦
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内

最終頁に続く

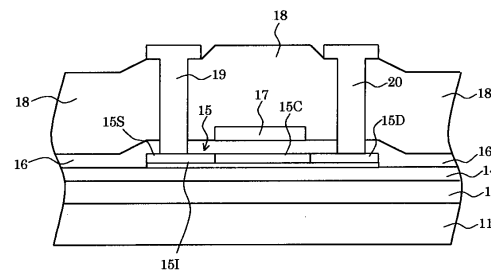
(54) 【発明の名称】 薄膜トランジスタ、液晶表示装置及びこれらの製造方法

(57) 【要約】

【課題】 従来とは異なる発想に基づくプロセスを採用することにより、半導体層の形成の過程で不可避免的に生ずる欠陥領域を処理した薄膜トランジスタ、液晶表示装置及びこれらの製造方法を提供することを目的とする。

【解決手段】 支持基板(110)上に素子構造の一部または全部を形成した後、その支持基板を除去して異なる支持基板に接着するという転写プロセスを用いた場合、その支持基板を除去した直後に薄膜トランジスタ形成時の裏面が露出することを利用し、半導体層(15)の裏面側から高抵抗化や改質処理を行うことにより、半導体層の遷移領域(15A)を選択的に処理した薄膜トランジスタ、液晶表示装置及びこれらの製造方法を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、
前記基板の上に設けられ、結晶性のチャンネル領域と、前記チャンネル領域の両側に設けられたソース領域及びドレイン領域とを有する半導体層と、
前記半導体層の上に設けられた層間絶縁層と、
前記層間絶縁層の上に設けられ前記ソース領域に接続された第 1 の電極と、
前記層間絶縁層の上に設けられ前記ドレイン領域に接続された第 2 の電極と、
を備え、
前記半導体層は、前記チャンネル領域の下に、前記基板の側から第 1 の不純物が導入されてなる下地領域をさらに有し、
前記下地領域は、前記チャンネル領域の結晶粒界に沿って上方に延出した部分を有することを特徴とする薄膜トランジスタ。

【請求項 2】

基板と、
前記基板の上に設けられた接着層と、
前記接着層の上に設けられ、結晶性のチャンネル領域と、前記チャンネル領域の両側に設けられたソース領域及びドレイン領域とを有する半導体層と、
前記半導体層の上に設けられた層間絶縁層と、
前記層間絶縁層を介して前記ソース領域に接続された第 1 の電極と、
前記層間絶縁層を介して前記ドレイン領域に接続された第 2 の電極と、
を備え、
前記半導体層は、前記チャンネル領域の下に、第 1 の不純物を相対的に高い濃度で含有する下地領域をさらに有し、
前記下地領域は、前記チャンネル領域の結晶粒界に沿って上方に延出した部分を有することを特徴とする薄膜トランジスタ。

【請求項 3】

前記下地領域は、前記チャンネル領域、前記ソース領域及び前記ドレイン領域のいずれよりも高い電気抵抗率を有することを特徴とする請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 4】

前記第 1 の不純物は酸素（O）、窒素（N）、フッ素（F）及び炭素（C）よりなる群から選択された少なくとも 1 つの元素であることを特徴とする請求項 3 に記載の薄膜トランジスタ。

【請求項 5】

前記半導体層は、シリコン（Si）を主要な成分として含有し、
前記第 1 の不純物は、亜鉛（Zn）、鉄（Fe）またはマンガン（Mn）の少なくともいずれかであることを特徴とする請求項 3 に記載の薄膜トランジスタ。

【請求項 6】

前記下地領域は、前記ソース領域及び前記ドレイン領域とは逆の導電性を有することを特徴とする請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 7】

対向して設けられた第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板の間に挟持された液晶層と、
前記第 1 の基板の内側主面上に設けられた共通電極と、
前記第 2 の基板の内側主面上に設けられ、チャンネル領域と、前記チャンネル領域の両側に設けられたソース領域及びドレイン領域を有する半導体層と、
前記半導体層の上に設けられた層間絶縁層と、
前記層間絶縁層を介して前記ソース領域に接続された第 1 の電極と、
前記層間絶縁層を介して前記ドレイン領域に接続された第 2 の電極と、

を備え、

前記半導体層は、前記基板の側から第1の不純物が導入されてなる下地領域をさらに有することを特徴とする液晶表示装置。

【請求項8】

対向して設けられた第1及び第2の基板と、

前記第1及び第2の基板の間に挟持された液晶層と、

前記第1の基板の内側主面上に設けられた共通電極と、

前記第2の基板の内側主面上に設けられた接着層と、

前記接着層の上に設けられ、チャンネル領域と、前記チャンネル領域の両側に設けられたソース領域及びドレイン領域を有する半導体層と、

前記半導体層の上に設けられた層間絶縁層と、

前記層間絶縁層を介して前記ソース領域に接続された第1の電極と、

前記層間絶縁層を介して前記ドレイン領域に接続された第2の電極と、

を備え、

前記半導体層は、第1の不純物を相対的に高い濃度で含有し前記基板の側に設けられた下地領域をさらに有することを特徴とする液晶表示装置。

【請求項9】

支持基板の上に半導体層を形成した後に前記支持基板を除去し、前記除去した側から前記半導体層に第1の不純物を導入する工程を備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項10】

第1の基板の上に、絶縁膜を形成する工程と、

前記絶縁膜の上に、半導体層を形成する工程と、

前記半導体層の上に層間絶縁層を形成する工程と、

前記層間絶縁層の上に第2の基板を接着する第1の接着工程と、

前記第1の接着工程の後に、前記第1の基板を除去して前記絶縁膜を露出させる工程と、

前記絶縁膜の露出面から前記半導体層に第1の不純物を導入する工程と、

この不純物を導入した前記露出面に接着層を介して第3の基板を接着する第2の接着工程と、

前記第2の接着工程の後に、前記第2の基板を剥離する工程と、

を備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項11】

支持基板の上に半導体層を形成した後に前記支持基板を除去し、前記除去した側から前記半導体層に第1の不純物を導入する工程と、

前記半導体層の前記除去した側を第1の基板に接着する工程と、

第2の基板上に共通電極を形成する工程と、

前記第1の基板と前記第2の基板とを対向させこれらの間に液晶を封入して封止する工程と、

を備えたことを特徴とする液晶表示装置の製造方法。

【請求項12】

第1の基板の上に、絶縁膜を形成する工程と、

前記絶縁膜の上に、半導体層を形成する工程と、

前記半導体層の上に層間絶縁層を形成する工程と、

前記層間絶縁層の上に第2の基板を接着する第1の接着工程と、

前記第1の接着工程の後に、前記第1の基板を除去して前記絶縁膜を露出させる工程と、

前記絶縁膜の露出面から前記半導体層に第1の不純物を導入する工程と、

この不純物を導入した前記露出面に接着層を介して第3の基板を接着する第2の接着工程と、

前記第2の接着工程の後に、前記第2の基板を剥離する工程と、

第4の基板上に共通電極を形成する工程と、

10

20

30

40

50

前記第 3 の基板と前記第 4 の基板とを対向させこれらの間に液晶を封入して封止する工程と、
を備えたことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ、液晶表示装置及びこれらの製造方法に関し、特に、ポリシリコン（多結晶シリコン）や非晶質シリコンなどを用いた薄膜トランジスタ、これら薄膜トランジスタ備えたアクティブマトリックス型の液晶表示装置及びこれらの製造方法に関する。

10

【0002】

【従来の技術】

現在広く普及しつつあるアクティブマトリックス型の液晶表示装置は、素子形成プロセスの基板として用いる無アルカリガラス基板などの支持基板を、そのまま液晶表示装置の一部として用いている。

【0003】

例えば、薄膜トランジスタのシリコン層の下側に金属からなる遮光層を設け、そのバイアス電圧を制御することによりトランジスタの電流能力を一定に保とうとする液晶表示装置が提案されている（例えば、特許文献 1 参照）。

【0004】

20

また、薄膜トランジスタのシリコン層の下側にバックゲイト電極を設け、トランジスタのしきい値を制御可能とした半導体装置も提案されている（例えば、特許文献 2 参照）。

【0005】

【特許文献 1】

特開 2000-164873 公報

【0006】

【特許文献 2】

特開 2001-51292 公報

【0007】

チャンネルを形成する半導体層にポリシリコンを用いた薄膜トランジスタを形成する場合に 30
は、各機能膜の形成時の処理温度などを考慮して、以下の順序で形成されることになる。

【0008】

まず、支持基板上にガラスの微量成分が溶出しないようにバリア層を形成し、その上に非晶質シリコン膜を形成する。その後、非晶質シリコン層を多結晶化するために、エキシマレーザを用いた局所短時間加熱を行い、固相または液相成長により結晶化させた後、多結晶シリコン層の形状加工を行っている。

【0009】

そして、その上にゲート絶縁膜となる薄膜を堆積させた後、ゲート電極及びゲート配線を形成する金属膜を成膜し形状加工する。さらに、半導体層に接合面を形成するために、イオンドーピング法によりゲート電極をマスクとしてイオンの注入を行った後、活性化のための熱処理等を行っている。その後、信号線等とゲート線との層間をとるための層間絶縁膜の成膜を行った後、半導体層へのコンタクトホールを形成し、金属膜を成膜後にソース及びドレイン電極となる形状加工を行って、薄膜トランジスタや配線等が形成されている。

40

【0010】

以上説明したように、現在用いられている薄膜トランジスタは、機能性膜の成膜と加工等を、基板に近い側の部分から順次繰り返すことにより形成されている。

【0011】

【発明が解決しようとする課題】

このように薄膜トランジスタを無アルカリガラス基板等の上に形成する場合、基板近傍側 50

から積み上げていくことになるので、下層側に位置する機能膜の材質や構造が、それより上層の要素に対して影響を及ぼすこととなる。

【0012】

例えば、ポリシリコンを用いた薄膜トランジスタの場合、無アルカリガラスなどの上に形成されたポリシリコン層は、膜質が必ずしも十分に良好ではなく、特に、ガラス基板とのヘテロ界面近傍においては、欠陥が多い領域が形成される。

【0013】

またこれを防ぐために、いわゆる「バッファ層」のようなものを設けたとしても、バッファ層と半導体層との間にはやはりヘテロ界面が形成される場合が多いために、その界面近傍の半導体層中には、欠陥の多い領域が形成されてしまう。

10

【0014】

すなわち、従来は、基板の上に半導体層をはじめとする各種の要素を積み上げることにより薄膜トランジスタを形成するという思想に基づいていた。この点は、前述した特許文献1及び2に関しても同様である。

【0015】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、従来とは異なる発想に基づくプロセスを採用することにより、半導体層の形成の過程で不可避免的に生ずる欠陥領域を処理した薄膜トランジスタ、液晶表示装置及びこれらの製造方法を提供することにある。

【0016】

20

【課題を解決するための手段】

本発明においては、薄膜トランジスタあるいは液晶表示装置の形成方法として、支持基板上に素子構造の一部または全部を形成した後、その支持基板を除去して異なる支持基板に接着するという転写プロセスを用いた場合、その支持基板を除去した直後に薄膜トランジスタ形成時の裏面が露出することを利用し、半導体層の裏面側から高抵抗化や改質処理を行うことにより、半導体層の遷移領域を選択的に処理する。

【0017】

すなわち、転写プロセスにおいて、支持基板を除去し素子構造の裏面が露出したときに、露出した面から酸化処理やドーピングなどを行うことによって、支持基板からの積層順位に関わらず、半導体層の裏面側のみを選択的に処理することが可能になる。このとき、半導体層の裏面側の遷移領域は、欠陥が多く含むために、不純物元素との反応性が高く、選択的な処理が容易である。

30

【0018】

具体的には、本発明の第1の薄膜トランジスタは、基板と、前記基板の上に設けられ、結晶性のチャネル領域と、前記チャネル領域の両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記半導体層の上に設けられた層間絶縁層と、前記層間絶縁層の上に設けられ前記ソース領域に接続された第1の電極と、前記層間絶縁層の上に設けられ前記ドレイン領域に接続された第2の電極と、を備え、

【0019】

前記半導体層は、前記チャネル領域の下に、前記基板の側から第1の不純物が導入される下地領域をさらに有し、前記下地領域は、前記チャネル領域の結晶粒界に沿って上方に延出した部分を有することを特徴とする。

40

【0020】

また、本発明の第2の薄膜トランジスタは、基板と、前記基板の上に設けられた接着層と、前記接着層の上に設けられ、結晶性のチャネル領域と、前記チャネル領域の両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記半導体層の上に設けられた層間絶縁層と、前記層間絶縁層を介して前記ソース領域に接続された第1の電極と、前記層間絶縁層を介して前記ドレイン領域に接続された第2の電極と、を備え、

【0021】

前記半導体層は、前記チャネル領域の下に、第1の不純物を相対的に高い濃度で含有する

50

下地領域をさらに有し、前記下地領域は、前記チャネル領域の結晶粒界に沿って上方に延出した部分を有することを特徴とする。

【0022】

これら第1及び第2の薄膜トランジスタにおいて、前記下地領域は、前記チャネル領域、前記ソース領域及び前記ドレイン領域のいずれよりも高い電気抵抗率を有するものとすることができる。

【0023】

また、前記第1の不純物は酸素（O）、窒素（N）、フッ素（F）及び炭素（C）よりなる群から選択された少なくとも1つの元素であるものとすることができる。

【0024】

また、前記半導体層は、シリコン（Si）を主要な成分として含有し、前記第1の不純物は、亜鉛（Zn）、鉄（Fe）またはマンガン（Mn）の少なくともいずれかであるものとすることができる。

【0025】

また、前記下地領域は、前記ソース領域及び前記ドレイン領域とは逆の導電性を有するものとすることができる。

【0026】

一方、本発明の第1の液晶表示装置は、対向して設けられた第1及び第2の基板と、前記第1及び第2の基板の間に挟持された液晶層と、前記第1の基板の内側主面上に設けられた共通電極と、前記第2の基板の内側主面上に設けられ、チャネル領域と、前記チャネル領域の両側に設けられたソース領域及びドレイン領域を有する半導体層と、前記半導体層の上に設けられた層間絶縁層と、前記層間絶縁層を介して前記ソース領域に接続された第1の電極と、前記層間絶縁層を介して前記ドレイン領域に接続された第2の電極と、を備え、

【0027】

前記半導体層は、前記基板の側から第1の不純物が導入されてなる下地領域をさらに有することを特徴とする。

【0028】

また、本発明の第2の液晶表示装置は、対向して設けられた第1及び第2の基板と、前記第1及び第2の基板の間に挟持された液晶層と、前記第1の基板の内側主面上に設けられた共通電極と、前記第2の基板の内側主面上に設けられた接着層と、前記接着層の上に設けられ、チャネル領域と、前記チャネル領域の両側に設けられたソース領域及びドレイン領域を有する半導体層と、前記半導体層の上に設けられた層間絶縁層と、前記層間絶縁層を介して前記ソース領域に接続された第1の電極と、前記層間絶縁層を介して前記ドレイン領域に接続された第2の電極と、を備え、

【0029】

前記半導体層は、第1の不純物を相対的に高い濃度で含有し前記基板の側に設けられた下地領域をさらに有することを特徴とする。

【0030】

一方、本発明の第1の薄膜トランジスタの製造方法は、支持基板の上に半導体層を形成した後、前記支持基板を除去し、前記除去した側から前記半導体層に第1の不純物を導入する工程を備えたことを特徴とする。

【0031】

また、本発明の第2の薄膜トランジスタの製造方法は、第1の基板の上に、絶縁膜を形成する工程と、前記絶縁膜の上に、半導体層を形成する工程と、前記半導体層の上に層間絶縁層を形成する工程と、前記層間絶縁層の上に第2の基板を接着する第1の接着工程と、前記第1の接着工程の後に、前記第1の基板を除去して前記絶縁膜を露出させる工程と、前記絶縁膜の露出面から前記半導体層に第1の不純物を導入する工程と、この不純物を導入した前記露出面に接着層を介して第3の基板を接着する第2の接着工程と、前記第2の接着工程の後に、前記第2の基板を剥離する工程と、を備えたことを特徴とする。

10

20

30

40

50

【0032】

また、本発明の第1の液晶表示装置の製造方法は、支持基板の上に半導体層を形成した後に前記支持基板を除去し、前記除去した側から前記半導体層に第1の不純物を導入する工程と、前記半導体層の前記除去した側を第1の基板に接着する工程と、第2の基板上に共通電極を形成する工程と、前記第1の基板と前記第2の基板とを対向させこれらの間に液晶を封入して封止する工程と、を備えたことを特徴とする。

また、本発明の第2の液晶表示装置の製造方法は、第1の基板の上に、絶縁膜を形成する工程と、前記絶縁膜の上に、半導体層を形成する工程と、前記半導体層の上に層間絶縁層を形成する工程と、前記層間絶縁層の上に第2の基板を接着する第1の接着工程と、前記第1の接着工程の後に、前記第1の基板を除去して前記絶縁膜を露出させる工程と、前記絶縁膜の露出面から前記半導体層に第1の不純物を導入する工程と、この不純物を導入した前記露出面に接着層を介して第3の基板を接着する第2の接着工程と、前記第2の接着工程の後に、前記第2の基板を剥離する工程と、第4の基板上に共通電極を形成する工程と、前記第3の基板と前記第4の基板とを対向させこれらの間に液晶を封入して封止する工程と、を備えたことを特徴とする。

10

【0033】

なお、本願明細書において「非結晶性」とは、いわゆる完全な非晶質状態を含み、さらにその他に、例えば、微結晶あるいはマイクロクリスタルなどの微細な結晶粒や短範囲規則構造(short range order)などを含むものも包含する。

【0034】

なお、本願明細書において「結晶性」とは、多結晶状態と、単一の結晶粒で構成されている状態と、の両方を包含するものとする。

20

【0035】

【発明の実施の形態】

以下、図面を参照しつつ、本発明の実施の形態について詳細に説明する。

【0036】

(第1の実施形態)

【0037】

まず、本発明の第1の実施の形態として、基板の上に設けられた薄膜トランジスタであって、その半導体層の裏面側すなわち基板側から高抵抗化処理された下地領域が設けられた薄膜トランジスタについて説明する。

30

【0038】

図1は、本発明の第1の実施の形態にかかる薄膜トランジスタの要部断面構造を表す模式図である。すなわち、本実施形態の薄膜トランジスタは、基板11の上に接着層12、分離層14、半導体層15、ゲート絶縁膜16、ゲート電極17、層間絶縁膜18、ソース電極19、ドレイン電極20などから構成されている。ここで、半導体層15は、シリコンやその他各種の半導体からなり、例えば、ポリシリコン(多結晶シリコン)により形成できる。

【0039】

図2は、本実施形態の薄膜トランジスタを用いた液晶表示装置の要部平面構造を例示する透視図である。すなわち、同図は、液晶表示装置のひとつの画素の部分为例示したものであり、横方向に配線されたゲート線32と縦方向に配線された信号線34の交差箇所の付近に薄膜トランジスタが配置されている。薄膜トランジスタのゲート電極17はゲート線32に接続され、ソース電極19は信号線34に接続されている。そして、薄膜トランジスタのドレイン電極20は、画素の大部分を占める画素電極22に接続されている。画素電極22の下には、これと略対向して蓄積容量電極(図示せず)が配置され、蓄積容量線36に接続されている。

40

【0040】

図3は、本実施形態の薄膜トランジスタのもうひとつの具体例の要部断面構造を表す模式図である。同図については、図1及び図2に関して前述したものと同様の要素については

50

同一の符号を付して詳細な説明は省略する。

【0041】

本具体例の薄膜トランジスタは、いわゆる「ダブルゲート構造」を有するものである。すなわち、ゲート絶縁膜16の上に設けられたトップゲート電極17と対向して、分離層14の下には、ボトムゲート電極13が設けられている。これらボトムゲート電極13及びトップゲート電極17の作用については、後に実施例を参照しつつ詳述する。

【0042】

図4は、図1乃至図3に例示した本実施形態の薄膜トランジスタの半導体層15の近傍を拡大した模式断面図である。

【0043】

本具体例の場合、半導体層15は、その表面側（すなわち基板11とは反対側）に、p型のチャネル領域15Cが設けられ、その両側に、n型のソース領域15Sとドレイン領域15Dが形成されている。チャネル領域15Cを構成する半導体は、キャリアを円滑に走行させるために結晶性であることが望ましい。すなわち、チャネル領域は多結晶または単一の結晶粒からなるものとすることが望ましい。一方、ソース領域15S及びドレイン領域15Dは、結晶性でもよく、非結晶性でもよい。

【0044】

そして、半導体層15の裏面側（すなわち基板11の側）には、下地領域15Iが形成されている。この下地領域15Iは、半導体層15に対してその裏面側から、イオン注入やプラズマ照射、電子線照射、あるいは所定のガス雰囲気下における熱処理を施すことにより不純物を導入して高抵抗化された領域である。

【0045】

図5は、このような裏面側からの処理が施されていない薄膜トランジスタを比較例として表した断面図である。同図については、図1乃至図4に関して前述したものに対応する要素には同一の符号を付して詳細な説明は省略する。

【0046】

すなわち、図5に例示した薄膜トランジスタの場合、半導体層15に対して、仮に、イオン注入やプラズマ照射などの処理プロセスにより改質処理を施すとしても、それらの処理は、通常は半導体層15の表面側（基板11とは反対側）から実施される。例えば、イオンドーピングなどを施す際に、半導体層15の表面側からドーピングして表面近傍に急峻な組成分布を形成するが如くであった。

【0047】

これに対して、本実施形態の薄膜トランジスタは、半導体層15の裏面側（基板11の側）からイオン注入などの処理を施して高抵抗化された下地領域15Iが形成されている。このようにすると、薄膜トランジスタの性能を大幅に改善することが可能となる。

【0048】

すなわち、一般に、異種材料からなる基板の上にポリシリコンなどの半導体層15を形成する場合、ヘテロ面上での堆積となるため、成長初期の基板側の界面の近傍では、半導体層15の膜質あるいは結晶状態は良好でない場合が多い。つまり、薄膜堆積または結晶成長の初期段階においては、欠陥を多量に含む遷移領域が形成されやすい。そして、このような欠陥を多く含む遷移領域は、一般に耐圧が低く、電流リークも多いなどの問題が生ずる場合が多い。

【0049】

例えば、ポリシリコンからなる半導体層を通常の方法により形成する場合、その膜厚は、薄膜トランジスタが必要とする特性と結晶成長方式とを考慮して設定される。すなわち、ポリシリコンの結晶状態は一般的に、支持基板近傍では非晶質状態も含めた結晶性の良好でない部分（遷移領域）があり、支持基板から離れるに従って次第に良好な結晶状態の部分が大きくなっていく。

【0050】

図6は、本発明者が観察したポリシリコン層の断面構造を表す模式図である。このサン

10

20

30

40

50

ルは、基板上にアモルファス（非晶質）シリコン層を堆積し、エキシマレーザを照射してアニールすることにより多結晶化したものである。また、観察方法としては、TEM（transmission electron microscopy：透過型電子顕微鏡）による断面観察法を採用した。

【0051】

図6から、ポリシリコン層は、基板との界面近傍に、欠陥を多量に含む遷移領域15A（ハッチを付した）を有することが分かる。遷移領域15Aの上には、結晶化して多結晶状態とされた結晶領域15Pが形成されている。

【0052】

このような遷移領域15Aは、基板とのヘテロ界面において薄膜堆積または、結晶の成長メカニズムにより生ずるものである。 10

【0053】

すなわち、アモルファスシリコンをアニールしてポリシリコンを形成する場合、結晶核（seed）を起点として基板とのヘテロ界面の近傍から結晶化が進行することが多いと考えられる。

【0054】

また、例えば、気相成長法により基板上にポリシリコンを形成する場合にも、まず、結晶成長の核となる部分が基板近傍に発生する。そして、結晶はこの基板近傍に発生した核を起点として、膜厚方向に大きくなりながら成長する。

【0055】

このため、これらの方法により得られたポリシリコン層は、一般に、「コラムナー（columnar）構造」と呼ばれる成長構造を有する。 20

【0056】

図7（a）は、コラムナー構造を概念的に表す断面図である。すなわち、基板Sの上に形成されたポリシリコン層15は、遷移領域15Aと結晶領域15Pとを有する。結晶領域15Pは、基板Sの側から結晶成長が進行することにより粒径が拡大する結晶粒からなる。そして、遷移領域15Aは、これら結晶粒の下に、「歯ぐき状」に形成されている。

【0057】

このように、コラムナー構造においては、基板近傍の核が成長を開始する部分に、非晶質状態を含めた結晶性の劣る遷移領域15Aが形成されることが多い。特に、薄膜トランジスタに用いるポリシリコンの場合、無アルカリガラス基板などのシリコンと格子整合性が悪い支持基板上では、基板近傍から良好な膜質のポリシリコン膜は形成しにくい。 30

【0058】

一方、薄膜トランジスタを形成する場合、トランジスタのオフ時のソースとドレイン間のリーク電流を抑えるためには、ポリシリコン層の膜厚は薄い方が望ましい。

【0059】

つまり、良好な結晶性を得るためにはある程度の「厚み」が必要であるが、トランジスタの特性面からは半導体層の薄膜化が望ましいことになる。

【0060】

これに対して、本実施形態においては、ポリシリコン成膜時には適度な膜厚まで成長させた後に、裏面側の結晶性の劣る部分を高抵抗化することにより特性の向上を実現する。 40

【0061】

すなわち、図7（b）に例示したように、半導体層15の裏面側から酸素イオンなどを注入することにより、図7（c）に表した如く、欠陥の多い遷移領域15Aを選択的に酸化させ高抵抗化する。欠陥の少ない結晶領域15Pと比較して、欠陥が多い遷移領域15Aの部分は、イオン透過性が高く、また酸素などとの反応性も高いために、このような選択的な酸化処理ができる。その結果として、高抵抗化された下地領域15Iが形成される。

【0062】

半導体層15がコラムナー構造を有する場合、下地領域15Iは、前記結晶性の半導体の結晶粒界に沿って上方に延出した部分を有し、いわゆる「歯ぐき状」に形成されるという 50

特徴を有する。

【0063】

一方、本実施形態においては、高抵抗化するための手段として、酸素イオンの導入以外にも、酸素ラジカルの照射や酸素プラズマ雰囲気への暴露も用いることが可能である。

【0064】

さらに、高抵抗化するためには、酸素以外にも、例えば、プロトンなどのイオンを注入したり、あるいは、窒素、フッ素、炭素などの各種の元素を導入して窒化物、フッ化物、炭化物を形成してもよい。

【0065】

また、半導体層の禁制帯に深い準位 (deep level) を形成するような不純物を導入することによっても、半導体層を高抵抗化することが可能である。例えば、シリコン (Si) の場合、III族あるいはV族以外の元素には、深い準位を形成するものが多い。例えば、亜鉛 (Zn)、鉄 (Fe)、マンガン (Mn) などは、シリコンの禁止帯の中央付近に深い準位を形成するため、これら元素を導入することにより、シリコンを高抵抗化することが可能である。 10

【0066】

そして、これらいずれの場合も、本発明においては、半導体層の裏面側すなわち支持基板の側からこれら元素の導入処理を施すことにより、遷移領域のみを選択的に高抵抗化することが確実且つ容易となる。

【0067】

以下、本実施形態の薄膜トランジスタの製造方法の具体例として、図3の薄膜トランジスタの製造方法について説明する。 20

【0068】

図8及び図9は、本実施形態の液晶表示装置の製造方法の要部を例示する工程断面図である。

【0069】

まず、図8(a)に表したように、第1の支持基板110の上に分離層14から層間絶縁膜18に至る積層構造を形成する。

【0070】

具体的には、十分に洗浄した無アルカリガラスからなる支持基板110の上に、例えばトリメチルアルミニウムなどを原料として用いたプラズマ励起有機金属化学気相堆積法 (PEMOCVD法) などを用いて、耐フッ酸性に優れたアルミナ膜からなる分離層14を堆積する。このとき、アルミナ膜の堆積のためには、基板温度を500℃以上にする必要がある。これは、有機金属錯体の熱分解を促進する必要があること、耐フッ酸性に優れた諸構造をもつアルミナ膜を形成するためには、基板近傍での反応やマイグレーション促進のための熱エネルギーが必要であるからである。 30

【0071】

なお、このアルミナからなる分離層14は、液晶表示装置の製造時における無アルカリガラス支持基板110からの微量成分等の溶出を抑えること、及び後に無アルカリガラス支持基板110を除去する際に、無アルカリガラス支持基板110と薄膜トランジスタ等の素子や配線部を確実に分離する役割を有する。 40

【0072】

また、本実施例においては、分離層14としてアルミナを用いたが、分離層14の材料はこれに限定されるものではない。例えば、分離層14を、アクティブマトリクス素子支持層と、ガラス基板支持層の2層構造としてもよい。すなわち、分離層14を、異なる機能を有する複数の層からなる積層構造としてもよい。

【0073】

次に、例えばプラズマ励起化学気相堆積法 (PECVD法) などを用いてアモルファス状のシリコン膜を成長させ、KrFなどを用いたエキシマレーザーを照射して瞬間的に溶融後結晶化させて多結晶化することによりポリシリコンからなる半導体層15を形成する。 50

【0074】

そして、例えば、フッ素系ガスによる反応性イオンエッチング法（RIE法）を用いた異方性エッチング法により、多結晶シリコン層15の素子分離を行い、島状構造を形成する。

【0075】

次に、ゲート絶縁膜16となるシリコン酸化膜やシリコン窒化膜を成膜する。そして、例えばスパッタリング法などを用いて、ゲート絶縁膜16の上にモリブデン（Mo）、タングステン（W）、タンタル（Ta）、またはこれらの合金などの金属膜を堆積させる。そして、この金属膜上に図示しないフォトリソグロフィー法を用いてレジストパターンを形成し、例えば、溶剤に含侵させて選択的にレジストパターンのない部分の金属膜を除去することにより、ゲート電極17及びゲート線群の形状を加工する。 10

【0076】

次に、半導体層15に接合面を形成するために、薄膜トランジスタの不純物導入を行う。この不純物としては、例えばリン（P）を用いることができる。このとき、ゲート電極17をマスクとして、イオンドーピング法によりイオン濃度が例えば 10^{22} cm^{-3} 程度になるように導入することができる。

【0077】

そして、例えば常圧化学気相堆積法（APCVD法）により層間絶縁膜18となるシリコン酸化膜やシリコン窒化膜を成膜する。なお、この層間絶縁膜18は、次に説明する転写プロセスにおいては、素子や配線部の保護層としても作用する。 20

【0078】

次に、図8（b）に表したように、第2の支持基板130を接着する。具体的には、層間絶縁膜18の表面に、例えば紫外線光を照射すると接着力が弱まるような耐フッ酸性に優れた接着剤を隙間なく塗布して仮着層120を形成する。そして、この仮着層120の表面に、第2の支持基板130を接着する。第2の支持基板130としては、耐フッ酸性に優れたフッ素系樹脂シートなどを用いることができる。またこの場合、フッ素系樹脂シートの接着面側を、仮着層120の有機材料との接着性を良好にするために適宜コートしてもよい。

【0079】

そして、第1の支持基板110を除去する。具体的には、無アルカリガラスからなる第1の支持基板110を、その裏面側から研磨剤を用いて、0.1mm程度の厚みとなるまで、研磨剤の荒さを調整しながら研磨する。さらに、フッ酸系の溶剤に含侵させて、第1の支持基板110の残部の無アルカリガラスを溶解させる。このとき、ガラス支持基板110が薄くなった後には、例えばアンモニウムなどを加えたフッ酸系溶液とし、エッチングレート进行调整することが望ましい。 30

【0080】

この基板エッチングの工程においては、アルミナからなる分離層14は耐フッ酸性が高いため、分離層14が露出した面でエッチングを停止することができる。

【0081】

次に、図8（c）に表したように、基板110を除去して露出したアルミナ分離層14の裏面側から半導体層15に対して、高抵抗化のための処理を施す。 40

【0082】

具体的には、例えば、前述した如く酸素（O）をイオンドーピングすることができる。この時に、酸素イオンが分離層14を通過して半導体層の遷移領域15Aに到達よう程度のエネルギーでドーピングするとよい。すると、半導体層15の遷移領域が選択的に酸化され、図8（d）に表したように、高抵抗化された下地領域15Iが形成される。遷移領域15Aの酸化を促進するために加熱してもよく、また、電子線やラジカルなどの照射を用いても良い。

【0083】

次に、図 9 (a) に表したように、ボトムゲート電極 13 を形成する。具体的には、分離層 14 の裏面側に、モリブデン (Mo)、タンタル (Ta)、タングステン (W)、アルミニウム (Al)、銅 (Cu)、銀 (Ag)、ニッケル (Ni) などの金属、またはそれらの合金あるいは積層膜などを、例えばスパッタリング法などを用いて堆積させた後、ゲート電極 17 の形成時と同様にフォトリソグラフィングプロセスを用いてパターニングすることにより、ボトムゲート電極 13 を形成する。

【0084】

ここで、アルミナなどからなる分離層 14 とゲート用の絶縁膜 16 からなる積層膜は、蓄積容量部を形成する絶縁膜として、そのまま利用することができる。さらに、従来のプロセスによる場合、基板により近い配線の材料が、化学的に安定な高融点金属に限定されるが、本実施形態においては、蓄積容量電極及びその配線として、アルミニウム (Al)、銅 (Cu)、銀 (Ag)、ニッケル (Ni) などの低い融点の金属も用いることが可能である。 10

【0085】

次に、図 9 (b) に表したように、基板 11 を貼り付ける。具体的には、ボトムゲート電極 13 を形成した裏面側に、密着性に優れた接着剤などを用いて接着層 12 を全面に形成する。そして、この接着層 12 の表面に、真空ラミネート技術などを用いて、例えば 0.3 mm 程度の無アルカリガラス基板を基板 11 として接着する。

【0086】

ここで、本発明において接着層 12 として用いることができるものとしては、例えば、紫外線硬化型の樹脂を始めとした各種の樹脂類、溶剤を用いた接着剤、2 液混合型の接着剤、ゴム類、水ガラスやセメント類などの塗布して、経時硬化または加熱硬化可能な無機材料などの各種の材料を挙げることができる。すなわち、ある程度の接着性があり、物理的あるいは化学的に所定の安定性を有するものであればよい。 20

【0087】

また、基板 11 としては、無アルカリガラス基板の他にも、例えばプラスチックや樹脂などからなる基板なども用いることが可能である。例えば、本発明者は、0.25 mm 程度のポリエチレンテレフタレート樹脂フィルムでも形成可能なことを確認している。

【0088】

その後、図 9 (b) に表したように、第 2 の支持基板 130 の側から紫外線光 140 を照射し、仮着層 120 の接着力を弱める処理を施す。そして、樹脂シートからなる支持基板 130 をゆっくりと剥していき、図 9 (c) に表したように、層間絶縁膜 18 を露出させる。 30

【0089】

このとき、層間絶縁膜 18 の上には、仮着層 120 の成分残りが発生するため、これを、例えば、イソプロパノールなどの洗浄剤による有機洗浄法を用いて除去して、層間絶縁膜 18 の洗浄面を露出させる。このとき、接着層 12 については、この有機洗浄に耐えられることが必要となる。

【0090】

しかる後に、図 9 (d) に表したように、ソース電極 19 とドレイン電極 20 を形成する。具体的には、層間絶縁膜 18 及びゲート用の絶縁膜 16 を介して半導体層 15 とのコンタクトを行うためのスルーホールを形成する。スルーホールの形成は、フォトリソグラフィングプロセスを用いて行うことができる。そして、モリブデン (Mo)、タンタル (Ta)、タングステン (W)、アルミニウム (Al)、ニッケル (Ni) などの金属、またはそれらの合金や積層膜などを、例えばスパッタリング法などを用いて堆積させた後、ゲート電極 17 の形成時と同様にフォトリソグラフィングプロセスを用いて、ソース電極 19 と信号線群 34 及びドレイン電極 20 の形成を行う。 40

【0091】

なお、以上の製造方法の説明は、液晶表示装置の薄膜トランジスタの部分のみに限定したが、画素電極 22 などの製造方法については、当業者が公知技術を参酌しつつ適宜実施す 50

ることができる。

【0092】

図10は、本具体例の薄膜トランジスタと比較例の薄膜トランジスタの電流・電圧特性を例示したグラフ図である。すなわち、同図の横軸はゲート・ソース間の電圧、縦軸はソース・ドレイン間の電流をそれぞれ表す。

【0093】

また、比較例の薄膜トランジスタは、以上説明した本実施形態の具体例とほぼ同様の方法で作成したが、半導体層15の裏面からの酸素イオン注入を行わなかったものである。

【0094】

酸素イオン注入により高抵抗化された下地領域15Iを設けた本発明の薄膜トランジスタは、比較例と比べて、オン(on)電流とオフ(off)電流ともに低下しているが、特にオフ電流の低減効果が顕著である。これは、半導体層の裏面からの酸素イオン注入により、基板近傍の遷移領域が酸化されて高抵抗化したためであり、電流リーク成分を顕著に低減できたことを意味すると考えられる。 10

【0095】

また、オン(on)領域についても、従来例と同等以上の電流値が得られている。さらに、閾値についても、従来例と比較して印加電圧に対して急峻な電流値変化をもつ特性が得られている。

【0096】

これらは、本発明の構造を採用することにより、チャネル部を構成するポリシリコン層良好な結晶状態を有しているためである。すなわち、ポリシリコン層を従来例よりも厚膜で形成することができるため、結晶粒径を大きくすることができ、かつ、各結晶粒内も転位や格子欠陥が比較的少ない表面近傍部分のみを使用できるためである。 20

【0097】

以上説明したように、本実施形態によれば、支持基板110の上に半導体層15を形成した後、支持基板110を除去して半導体層15の裏面側からイオンドーピングなどの処理により、遷移領域を選択的に高抵抗化できる。このようにすると、半導体層の堆積または成長の初期段階の遷移領域を効果的に不活性化させ、その上に形成されている欠陥の少ない結晶領域のみを薄膜トランジスタの活性領域として用いることができる。その結果として、薄膜トランジスタの高耐圧化、低リーク化などを実現でき、また同時に、薄膜トランジスタの活性層の膜厚を薄くすることによる性能の向上も実現できる。 30

【0098】

なお、以上説明した具体例においては、TFETを構成する半導体層15の全体を多結晶化してポリシリコンを形成した。しかし、本発明はこれには限定されず、半導体層15のうちのチャネル領域15Cのみが結晶質であってもよい。すなわち、ソース領域15S及びドレイン領域15Dは、結晶質でもよいが、結晶質と非結晶質とを有すものでもよく、非結晶質からなるものでもよい。

【0099】

(第2の実施の形態)

【0100】

次に、本発明の第2の実施の形態として、基板の上に形成された薄膜トランジスタであって、その半導体層に対して基板側からイオンドーピングなどの改質処理がなされている薄膜トランジスタ及び液晶表示装置について説明する。 40

【0101】

図11は、本発明の第2の実施の形態にかかる薄膜トランジスタの要部断面構造を表す模式図である。同図については、図1乃至図10に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。

【0102】

すなわち、本実施形態の薄膜トランジスタも、基板11の上に接着層12、分離層14を介して形成された半導体層15を有する。この半導体層15も、シリコンやその他各種の 50

半導体からなり、例えば、ポリシリコンまたはポリシリコンとアモルファスシリコンとの組み合わせにより形成できる。

【0103】

図12は、本実施形態にかかる薄膜トランジスタのもうひとつの具体例の要部断面構造を表す模式図である。同図についても、図1乃至図10に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。本具体例の薄膜トランジスタは、図3に表したものと同様に、いわゆる「ダブルゲート構造」を有するものである。すなわち、ゲート絶縁膜16の上に設けられたトップゲート電極17と対向して、分離層14の下には、ボトムゲート電極13が設けられている。これらボトムゲート電極13及びトップゲート電極17の作用については、後に実施例を参照しつつ詳述する。

10

【0104】

図13は、図11及び図12に表したトランジスタの半導体層15の近傍を拡大した模式断面図である。

【0105】

本実施形態においても、半導体層15は、その表面側（すなわち基板11とは反対側）に、p型のチャネル領域15Cが設けられ、その両側に、n型のソース領域15Sとドレイン領域15Dが形成されている。一方、半導体層15の裏面側（すなわち基板11の側）には、不純物が導入された下地領域15Tが形成されている。

【0106】

この下地領域15Tは、半導体層15に対してその裏面側から、イオン注入などの本発明により、p型あるいはn型の不純物が選択的に導入された領域である。このように、半導体層15の裏面側（基板11の側）からイオンドーピングなどの改質処理が施すことにより、薄膜トランジスタの性能を大幅に改善することが可能となる。

20

【0107】

例えば、図13に表した具体例の場合、半導体層15の裏面側からp型不純物を導入することによりp型の下地領域15Tが形成されている。このようにすると、n型のソース・ドレイン領域15S、15Dとp型の下地領域15Tとの間でpn接合が形成されるため、ソース・ドレイン間のリークを抑制できる。

【0108】

すなわち、図6及び図7に関して前述したように、異種材料からなる基板の上にポリシリコンなどの半導体層15を形成する場合、ヘテロ面上での堆積となるため、基板側の界面の近傍では半導体層15の膜質あるいは結晶状態は良好でない場合が多い。つまり、薄膜堆積または結晶成長の初期段階においては、欠陥を多量に含む遷移領域15Aが形成されやすい。そして、このような欠陥を多く含む遷移領域は、一般に耐圧が低く、電流リークも多いなどの問題が生ずる場合が多い。

30

これに対して、本実施例では遷移領域をp型化してチャネル形成領域として用いないため、第1実施例と同様にオフ（off）リークを抑えることができる。

【0109】

さらに、ボロンドープの際、ボロンは粒界や結晶の粒界との界面から優先的に拡散していく。このため、粒界及び粒界近傍から高濃度にボロンドープされた状態にすることができる。通常、粒界や粒界近傍部は結晶粒内と比較して移動度が下がることになるが、本実施例では、これら移動度が下がる部分が選択的に高濃度にボロンドープされてキャリア数を増やすことができる。その結果として、オン（on）電流を大きくとることができるようになる。

40

【0110】

次に、本実施形態の薄膜トランジスタの製造方法として、図12に表した「ダブルゲート構造」のトランジスタの製造方法を例に挙げて説明する。

【0111】

図14及び図15は、本実施形態の液晶表示装置の製造方法の要部を表す工程断面図である。これらの図面については、図8及び図9に関して前述したものと同様の要素には同一

50

の符号を付して詳細な説明は省略する。

【0112】

その概要を説明すると、まず、図14(a)に表したように、第1の支持基板110の上に分離層14から層間絶縁膜18に至る積層構造を形成する。

【0113】

次に、図14(b)に表したように、第2の支持基板130を接着し、さらに支持基板110を除去する。

【0114】

しかる後に、図14(c)に表したように、基板110を除去して露出したアルミナ分離層14の裏面側から半導体層15に対して、イオンドーピングなどの改質処理を施す。具体的には、例えば、ボロン(B)をイオンドーピングすることができる。すると、図14(d)に表したように、p型の下地領域15Tが形成される。

【0115】

次に、図15(a)に表したように、ボトムゲート電極13を形成する。

【0116】

次に、図15(b)に表したように、基板11を貼り付け、第2の支持基板130の側から紫外線光140を照射して、仮着層120の接着力を弱める処理を施す。そして、樹脂シートからなる支持基板130をゆっくりと剥していき、図15(c)に表したように、層間絶縁膜18を露出させる。

【0117】

しかる後に、図15(d)に表したように、ソース電極19とドレイン電極20を形成する。

【0118】

以上説明したように、本実施形態によれば、支持基板110の上に半導体層15を形成した後に、支持基板110を除去して半導体層15の裏面側からイオンドーピングなどの改質処理を施すことができる。このようにすると、半導体層の堆積または成長の初期段階の遷移領域を効果的に改質することができる。その結果として、薄膜トランジスタの高耐圧化、低リーク化などを実現でき、性能を顕著に改善することが可能となる。

【0119】

(第3の実施の形態)

【0120】

次に、本発明の第3の実施の形態として、前述した第1乃至第2の薄膜トランジスタを用いた液晶表示装置について説明する。

【0121】

図16は、本実施形態にかかる液晶表示装置の画素部の回路図である。

【0122】

すなわち、ここでは、図3及び図12に表した「ダブルゲート構造」の薄膜トランジスタを用いた場合の液晶表示装置について説明する。

【0123】

本具体例の場合、第1乃至第2実施形態の薄膜トランジスタのトップゲート電極17が接続されているトップゲート線群32と、ボトムゲート電極13が接続されているボトムゲート線群33とが、マトリクス状に配線されている。このように、トップゲート線群32とボトムゲート線群33とをマトリクス状に配線した場合、これらゲート線のそれぞれを選択することにより、マトリクス状に配置された画素のうちの任意のものを指定することができる。すなわち、トップゲート線群32のうちのいずれかと、ボトムゲート線群33のうちのいずれかに、それぞれ所定のバイアス電圧を印加することにより、これら選択されたゲート線32、33に接続されている薄膜トランジスタのみをオンさせることができる。このためには、これらゲート線のいずれか一方のみでは、トランジスタがオンせず、トップゲートとボトムゲートとに同時にバイアスが印加された時のみにトランジスタがオンとなるように、トップゲートとボトムゲートのバイアスを決定すればよい。

【0124】

図17は、本実施形態にかかる液晶表示装置の全体構成を表す概念図である。本実施形態においては、任意画素駆動に対応するために、トップゲート線群32とバックゲート線群33とがマトリクス状に配線されている。すなわち、選択されたトップゲート線32と選択されたバックゲート線33との交差部の画素のみがオンされて、信号線からの電位供給ができることになる。

【0125】

この動作においては、トップゲート線32とバックゲート線33、または信号線34とバックゲート線33とが容量結合し、それぞれの配線電位に影響を与えることが懸念される。さらに、層間短絡による問題も懸念される。特に、両ゲート線32、33には、信号線34と比較して高い電位を印加する必要があるため、層間絶縁膜が重要になる。

10

【0126】

本発明の構造及び製造方法を採用すれば、半導体層の基板側の遷移層を高抵抗化あるいは改質することにより、薄膜トランジスタのリーク電流を抑制し、耐圧を上げることができる。また、薄膜トランジスタの活性層となる半導体層の膜厚を実質的に薄くすることにより性能を向上させることもできる。

【0127】

またさらに、図1あるいは図12に表した具体例の場合、トップゲート線32とバックゲート線33との間の層間絶縁は、トップゲートのゲート絶縁膜16とバックゲートのゲート絶縁膜（分離層）14の2重層とすることができるので、リークや絶縁不良を効果的に抑止でき、同時に寄生容量も低減できる。

20

【0128】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明は、上述した各具体例に限定されるものではない。

【0129】

例えば、本発明の薄膜トランジスタは、前述した具体例には限定されず、その各要素の形状、材料、寸法、導電型などに関しては、当業者が適宜設計変更したものも、本発明の特徴を有する限り本発明の範囲に包含される。

【0130】

例えば、本発明の薄膜トランジスタにおいて用いる半導体層15は、ポリシリコンには限定されず、チャンネル領域が単一粒で形成されたシリコンでもよい。チャンネル領域を単一粒により形成する方法としては、例えば、アモルファスあるいは多結晶状のシリコン膜を堆積して、それをレーザなどにより再結晶化させる手法を用いることが可能である。このようにして得られた単一結晶粒を有するチャンネル領域の場合でも、支持基板との界面近傍には、欠陥の多い遷移領域が形成されている場合が多い。従って、本発明の実施の形態に従って、半導体層の裏面側から高抵抗化あるいは改質の処理を施すことにより、薄膜トランジスタの性能を改善することができる。

30

【0131】

また一方、本発明において用いる半導体層は、アモルファスシリコンすなわち非結晶性のシリコンにより形成することも可能である。すなわち、アモルファスシリコン層の場合も、支持基板との界面近傍には、欠陥の多い遷移領域が形成されている場合が多い。従って、本発明の実施の形態に従って、半導体層の裏面側から高抵抗化あるいは改質の処理を施すことにより、薄膜トランジスタの性能を改善することができる。

40

【0132】

また、本発明の薄膜トランジスタを適用しうる対象としては、前述の如く液晶表示装置以外にも各種の自発光タイプの表示装置やマトリクス駆動が必要なデバイス全般、その他の各種のスイッチング動作が必要な装置を挙げることができる。

【0133】

また、表示装置の画素の配置関係や画素数、あるいは色要素の種類や数についても、当業者が適宜選択することができる。

50

【0134】

すなわち、本発明は各具体例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが可能であり、これらすべては本発明の範囲に包含される。

【0135】

【発明の効果】

以上詳述したように、本発明によれば、従来とは異なる発想に基づくプロセスを採用することにより、半導体層の形成の過程で不可避免的に生ずる欠陥領域を処理した薄膜トランジスタ、液晶表示装置及びこれらの製造方法を提供することができ産業上のメリットは多大である。

【図面の簡単な説明】

10

【図1】本発明の第1の実施の形態にかかる薄膜トランジスタの要部断面構造を表す模式図である。

【図2】第1実施形態の薄膜トランジスタを用いた液晶表示装置の要部平面構造を例示する透視図である。

【図3】本発明の第1の実施の形態にかかる薄膜トランジスタのもうひとつの具体例の要部断面構造を表す模式図である。

【図4】本発明の具体例の薄膜トランジスタの半導体層15の近傍を拡大した模式断面図である。

【図5】裏面側からの処理が施されていない薄膜トランジスタを比較例として表した断面図である。

20

【図6】本発明者が観察したポリシリコン層の断面構造を表す模式図である。

【図7】(a)は、コラムナー構造を概念的に表す断面図であり、(b)は、半導体層15の裏面側から酸素イオンなどを注入する様子を表した模式図であり、(c)は、欠陥の多い遷移領域15Aを選択的に酸化させ高抵抗化した状態を表す模式図である。

【図8】本発明の第1実施形態の液晶表示装置の製造方法の要部を例示する工程断面図である。

【図9】本発明の第1実施形態の液晶表示装置の製造方法の要部を例示する工程断面図である。

【図10】本発明の具体例の薄膜トランジスタと比較例の薄膜トランジスタの電流・電圧特性を例示したグラフ図である。

30

【図11】本発明の第2の実施の形態にかかる薄膜トランジスタの要部断面構造を表す模式図である。

【図12】本発明の第2の実施の形態にかかる薄膜トランジスタのもうひとつの具体例の要部断面構造を表す模式図である。

【図13】図11及び図12の薄膜トランジスタの半導体層15の近傍を拡大した模式断面図である。

【図14】第2実施形態の液晶表示装置の製造方法の要部を表す工程断面図である。

【図15】第2実施形態の液晶表示装置の製造方法の要部を表す工程断面図である。

【図16】本発明の第3実施形態にかかる液晶表示装置の画素部の回路図である。

【図17】本発明の第3実施形態にかかる液晶表示装置の全体構成を表す概念図である。

40

【符号の説明】

- 11 基板
- 12 接着層
- 13 ボトムゲート電極
- 14 分離層
- 15 半導体層
- 15A 遷移領域
- 15T 下地領域
- 15C チャンネル領域
- 15D ドレイン領域

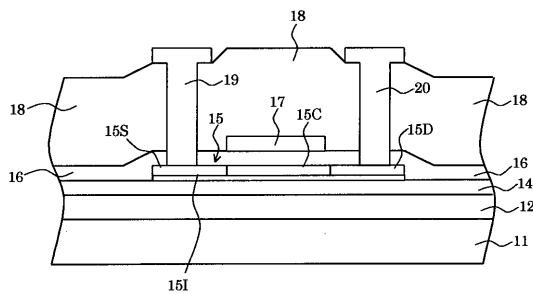
50

- 1 5 I 下地領域
- 1 5 P 結晶領域
- 1 5 S ソース領域
- 1 5 T 下地領域
- 1 6 ゲート絶縁膜
- 1 7 ゲート電極
- 1 8 層間絶縁膜
- 1 9 ソース電極
- 2 0 ドレイン電極
- 2 2 画素電極
- 3 2 ゲート線
- 3 2 トップゲート線
- 3 3 バックゲート線
- 3 3 ボトムゲート線群
- 3 4 信号線
- 3 6 蓄積容量線
- 1 1 0 支持基板
- 1 2 0 仮着層
- 1 3 0 支持基板
- 1 4 0 紫外線光

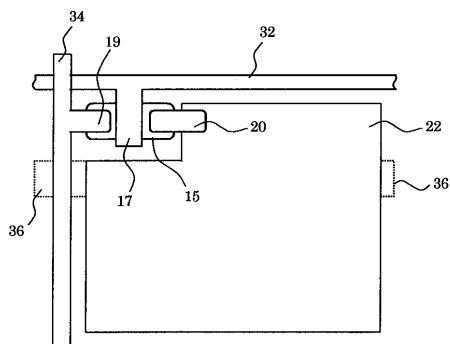
10

20

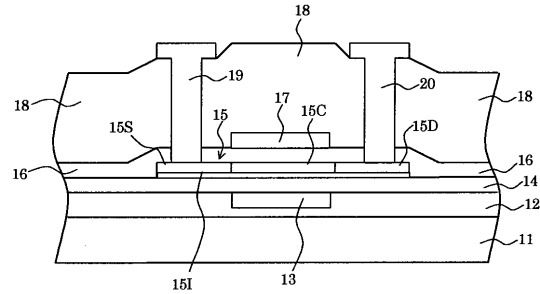
【図 1】



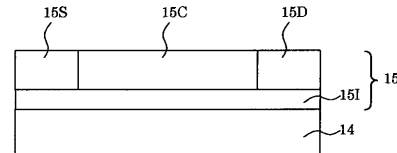
【図 2】



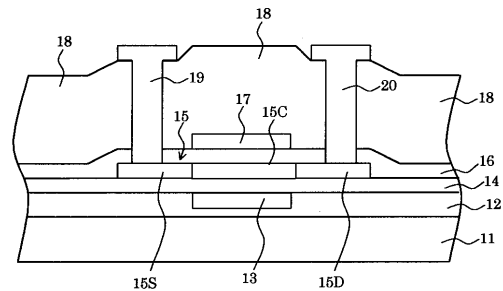
【図 3】



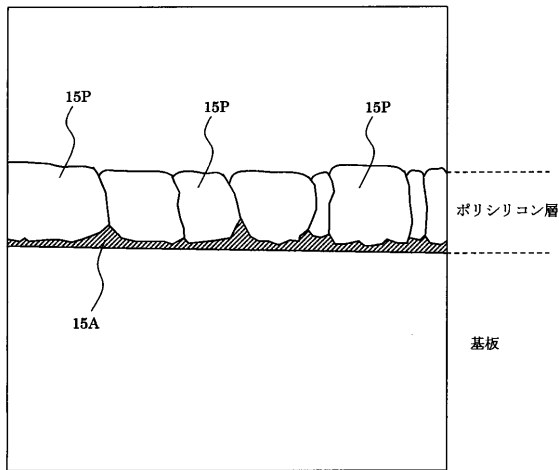
【図 4】



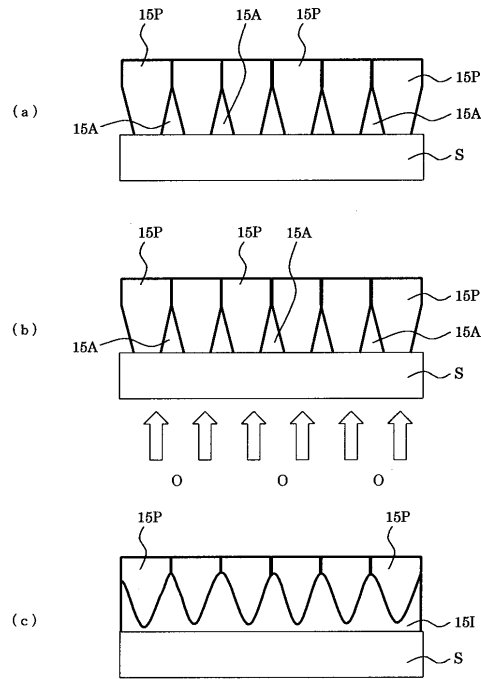
【図 5】



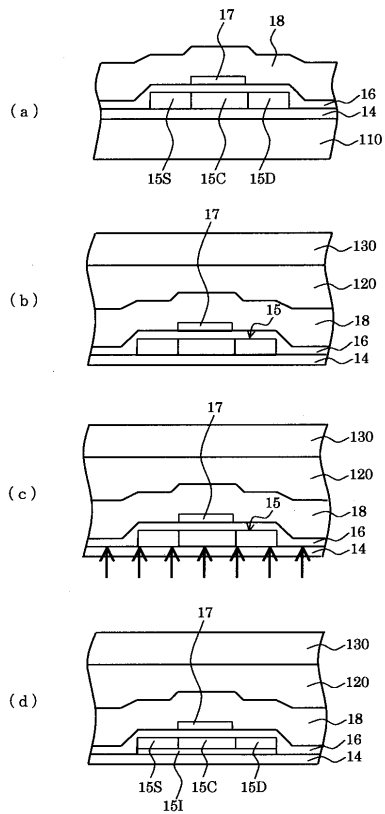
【図 6】



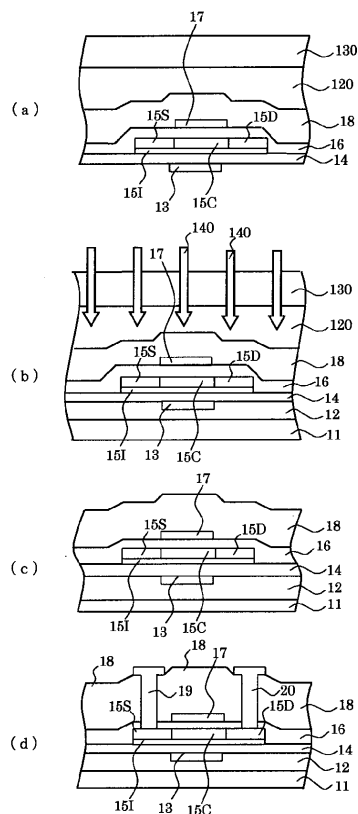
【図 7】



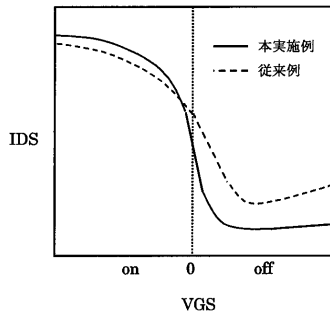
【図 8】



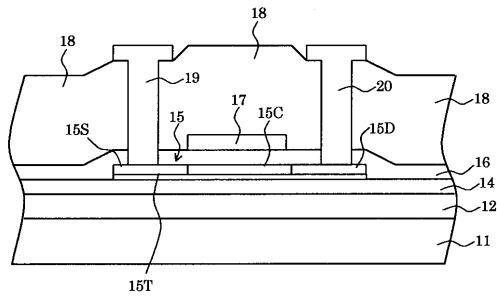
【図 9】



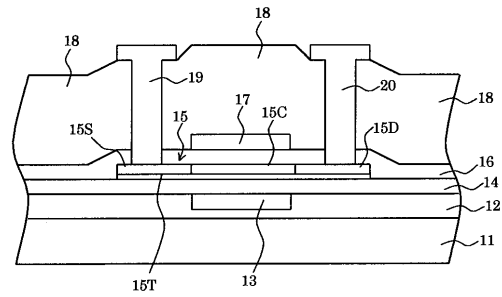
【図 10】



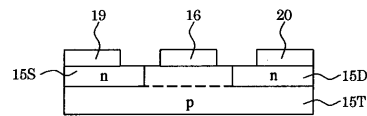
【図 11】



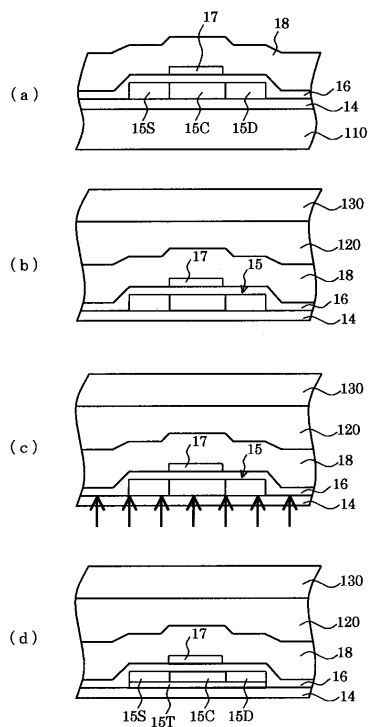
【図 12】



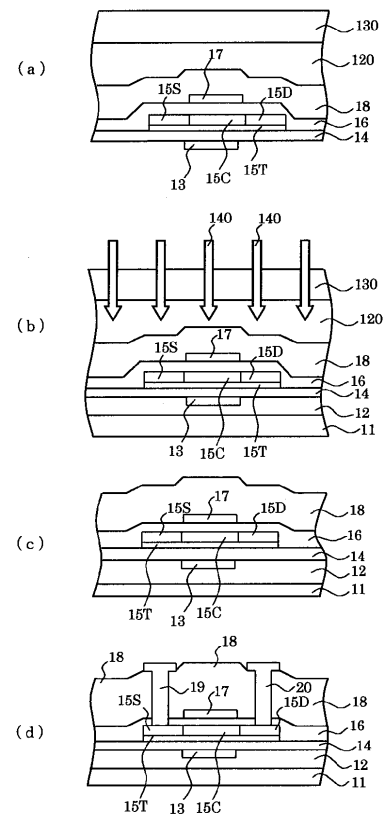
【図 13】



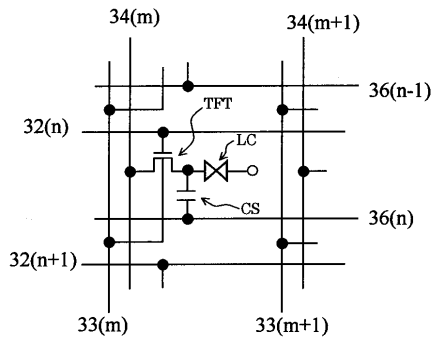
【図 14】



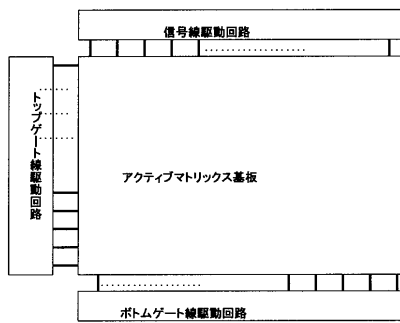
【図 15】



【図 1 6】



【図 1 7】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/336	H O 1 L 29/78	6 2 7 D
	H O 1 L 29/78	6 2 6 C
	H O 1 L 21/265	J
	H O 1 L 29/78	6 1 7 N

(72)発明者 中島 充雄
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 原 雄二郎
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 小野塚 豊
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

Fターム(参考) 2H092 GA29 JA25 JA26 JA46 JB69 KA04 KA10 KB13 MA05 MA08
MA13 MA17 MA27 MA29 MA30 MA31 NA21 NA22 NA24 PA01
5F052 AA02 BB07 DA02 DB03 HA06 JA02 JA03 JA04 KB04
5F110 AA06 AA30 BB01 CC02 DD01 DD02 DD11 EE02 EE03 EE04
EE30 EE44 FF02 FF03 GG02 GG13 GG15 GG22 GG32 GG33
GG51 GG58 HJ01 HJ04 HJ12 HL02 HL03 HL04 HL23 NN02
NN23 NN24 NN35 NN72 NN73 PP03 QQ11 QQ16

专利名称(译)	薄膜晶体管，液晶显示装置及其制造方法		
公开(公告)号	JP2004119936A	公开(公告)日	2004-04-15
申请号	JP2002285035	申请日	2002-09-30
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	日置毅 秋山政彦 中島充雄 原雄二郎 小野塚豊		
发明人	日置 毅 秋山 政彦 中島 充雄 原 雄二郎 小野塚 豊		
IPC分类号	G02F1/1368 H01L21/02 H01L21/20 H01L21/265 H01L21/336 H01L29/786		
FI分类号	H01L29/78.618.E G02F1/1368 H01L21/02.C H01L21/20 H01L29/78.618.G H01L29/78.627.D H01L29/78.626.C H01L21/265.J H01L29/78.617.N		
F-TERM分类号	2H092/GA29 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB69 2H092/KA04 2H092/KA10 2H092/KB13 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA27 2H092/MA29 2H092/MA30 2H092/MA31 2H092/NA21 2H092/NA22 2H092/NA24 2H092/PA01 5F052/AA02 5F052/BB07 5F052/DA02 5F052/DB03 5F052/HA06 5F052/JA02 5F052/JA03 5F052/JA04 5F052/KB04 5F110/AA06 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD01 5F110/DD02 5F110/DD11 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE30 5F110/EE44 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG22 5F110/GG32 5F110/GG33 5F110/GG51 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL23 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/NN73 5F110/PP03 5F110/QQ11 5F110/QQ16 2H192/AA24 2H192/CB02 2H192/CB08 2H192/CB34 2H192/CB42 2H192/CB56 2H192/CB83 2H192/DA12 2H192/DA62 2H192/DA72 2H192/GA42 2H192/HA24 2H192/HA80 2H192/HA84 2H192/HA88 5F110/GG39 5F152/BB02 5F152/BB03 5F152/CC02 5F152/CC04 5F152/CD16 5F152/CE04 5F152/CE05 5F152/CE14 5F152/FF03 5F152/FF28 5F152/LL04 5F152/LL16 5F152/LP01 5F152/LP08 5F152/LP09 5F152/MM04 5F152/NN14 5F152/NN20 5F152/NP12 5F152/NQ03		
代理人(译)	Hyugatera正彦		
其他公开文献	JP3761168B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种薄膜晶体管，液晶显示装置及其制造方法，其中通过采用基于不同于传统构思的思想的工艺来处理在形成半导体层的工艺中不可避免地产生的缺陷区域。 要做。 当使用其中一部分或全部元件结构形成在支撑基板（110）上并且然后移除支撑基板然后结合到另一支撑基板的转移工艺时，移除支撑基板。 之后，立即利用在薄膜晶体管的形成过程中使背面露出的事实，通过从半导体层（15）的背面侧进行高电阻或改性处理来选择性地处理半导体层的过渡区域（15A）。 提供一种薄膜晶体管，液晶显示装置及其制造方法。 [选型图]图1

