

(19)日本国特許庁 (J P)

公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 330435

(P2003 - 330435A)

(43)公開日 平成15年11月19日(2003.11.19)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	570	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	612	G 0 9 G 3/20	612 U 5 C 0 5 8
	621		621 F 5 C 0 8 0
	631		631 D

審査請求 未請求 請求項の数 17 O L (全 14数) 最終頁に続く

(21)出願番号 特願2003 - 49042(P2003 - 49042)

(22)出願日 平成15年2月26日(2003.2.26)

(31)優先権主張番号 2002 - 027105

(32)優先日 平成14年5月16日(2002.5.16)

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李 昇 祐

大韓民国ソウル市衿川区禿山1洞293 - 10番

地禿山現代アパート102棟1008号

(74)代理人 100094145

弁理士 小野 由己男 (外 1 名)

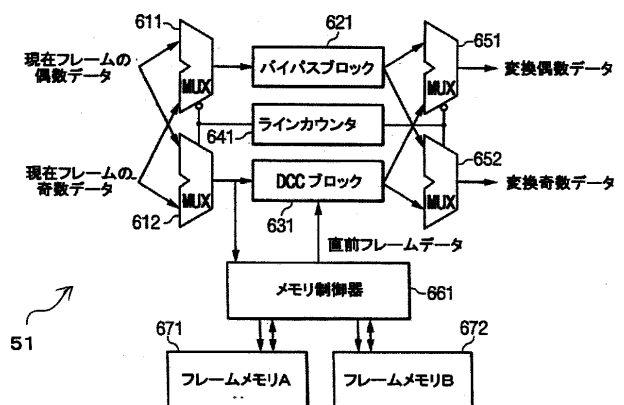
最終頁に続く

(54)【発明の名称】 液晶表示装置及びその駆動方法

(57)【要約】

【課題】 フレームメモリ及びクロック周波数を増加させない。

【解決手段】 液晶画面を構成する画素のうち半分の画素にDCC法を適用する。a)現在フレームの偶数データ及び奇数データを同時に受け入れ、偶数データと奇数データをDCC適用の可否によって分配するマルチプレクサ611、612、b)マルチプレクサ611の出力端に連結されたバイパスブロック621、c)マルチプレクサ612の出力端に連結されたDCCブロック631、d)バイパスブロック621及びDCCブロック631の出力を同時に受け入れ、バイパスブロック621及びDCCブロック631の出力を変換奇数データ及び変換偶数データに合成するマルチプレクサ651、652、e)マルチプレクサ612の出力を受け入れ、かつDCCブロック631に直前フレームデータを提供するメモリ制御器661、f)DCC法が適用される現在フレームデータと直前フレームデータを記憶するフレームメモリ671、672、g)各マルチプレクサを制御するラインカウンタ641を有する。



【特許請求の範囲】

【請求項 1】複数のゲートライン及び複数のデータラインと、
前記ゲートラインと前記データラインとが交差する領域に形成された画素を有する液晶パネルと、
前記液晶パネルのゲートラインを順次走査するための信号を印加するゲート駆動部と、
画像データに応じて前記液晶パネルの各画素に印加するための階調電圧を選択して出力するソース駆動部と、
DCC 処理部、タイミング再分配ブロック及び制御信号生成ブロックを有するタイミング制御部とを備え、
前記 DCC 処理部は、外部のグラフィックソースから入力される画像データのうちの一部データに対してだけ動的キャパシタンス補償 (DCC: dynamic capacitance compensation、以下 DCC という) を適用し、
前記タイミング再分配ブロックは、前記 DCC 処理部で DCC 変換されたデータが前記ソース駆動部で処理可能となるように、データフォーマットを変換し、
前記制御信号生成ブロックは、画面表示動作に必要な制御信号を生成する、
液晶表示装置。

【請求項 2】前記 DCC 処理部は、前記画像データによって表現される液晶画面の奇数行では奇数データに対してだけ DCC を適用し、偶数行では偶数データに対してだけ DCC を適用する、請求項 1 に記載の液晶表示装置。

【請求項 3】前記 DCC 処理部は前記画像データによって表現される液晶画面の奇数行では偶数データに対してだけ DCC を適用し、偶数行では奇数データに対してだけ DCC を適用する、請求項 1 に記載の液晶表示装置。

【請求項 4】前記 DCC 処理部は、
DCC 法を適用するデータが入力されれば、現在フレームデータと直前フレームデータを比較してルックアップテーブルから対応する変換データを出力する DCC ブロックと、
前記 DCC 法が適用される間に、入力データを遅延させるバイパスブロックと、
画像データの奇数データと偶数データを各々受け入れ、これらデータの行位置情報に基づき、前記奇数データと偶数データとを前記 DCC ブロック及び前記バイパスブロックに分配する分配手段と、
前記 DCC ブロックとバイパスブロックとで処理されたデータを各々受け入れ、これらデータの行位置情報によって前記 DCC ブロックまたは前記バイパスブロックの出力を選択して変換偶数データと変換奇数データとを出力する合成手段と、
前記画像データが示す液晶画面の行の数をカウントして、前記分配手段と前記合成手段に行位置情報を提供するラインカウンタと、
現在フレームデータと直前フレームデータを各々蓄積す

るための 2 つのフレームメモリと、
前記分配手段によって前記 DCC ブロックに提供されるデータを現在フレームデータとして前記フレームメモリのうちのいずれか一方に蓄積し、前記フレームメモリのうちの他方に蓄積されている直前フレームデータを前記 DCC ブロックに供給するメモリ制御器と、
をさらに備える、請求項 2 に記載の液晶表示装置。

【請求項 5】前記分配手段は、前記偶数データと奇数データを同時に受け入れて前記ラインカウンタの出力によってその中の一方を選択するように構成された 2 つのマルチプレクサで構成され、
前記合成手段は、前記 DCC ブロックと前記バイパスブロックの出力を同時に受け入れて前記ラインカウンタの出力によってその中の一方を選択するように構成された 2 つのマルチプレクサで構成される、
請求項 4 に記載の液晶表示装置。

【請求項 6】前記 DCC 処理部は、前記画像データによって表現される任意の行の連続する 2 つの画素の中で 1 つに対してだけ DCC 法を適用し、前記 DCC 法が適用される画素の位置は連続する 2 つの画素単位で偶数データと奇数データが交互に選択されるようにし、少なくとも 1 行単位で前記選択順序が変わるようにすることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 7】前記 DCC 処理部は、
DCC 法を適用するデータが入力されれば、現在フレームデータと直前フレームデータとを比較して DCC 変換を行う DCC ブロックと、
前記 DCC ブロックで DCC 変換が行われる間に、入力データを遅延させるバイパスブロックと、
画像データの奇数データと偶数データとを各々受け入れ、これらデータの行/画素位置情報によって連続する 2 つの画素の奇数データと偶数データとを前記 DCC ブロック及び前記バイパスブロックに分配し、連続する 2 つの画素からなる奇数データまたは偶数データが 2 つの画素単位で交互に前記 DCC ブロックに分配されるようにする分配手段と、
前記 DCC ブロックとバイパスブロックとで処理されたデータを各々受け入れ、これらデータの行/画素位置情報によって前記 DCC ブロックまたは前記バイパスブロックの出力を選択して変換偶数データと変換奇数データとを出力する合成手段と、
前記画像データが示す液晶画面の行及び画素数をカウントして、前記分配手段と前記合成手段に行/画素位置情報を提供するためのライン/画素カウンタと、
現在フレームデータと直前フレームデータとを各々蓄積するための 2 つのフレームメモリと、
前記分配手段によって前記 DCC ブロックに提供されるデータを現在フレームデータとして前記フレームメモリのうちのいずれか一方に蓄積し、前記フレームメモリのうちの他方に蓄積されている直前フレームデータを前記

DCCブロックに伝送するメモリ制御器と、
をさらに備える、請求項6に記載の液晶表示装置。

【請求項8】前記ライン/画素カウンタは、前記入力される偶数データと奇数データとが示す液晶画面の少なくとも1行以上のライン単位で行をカウントする、請求項7に記載の液晶表示装置。

【請求項9】前記分配手段は、前記偶数データと奇数データとを同時に受け入れ、前記ライン/画素カウンタの出力に基づき、連続する2つの画素からなる偶数データまたは奇数データのうちの一方を選択するように構成された2つのマルチプレクサで構成され、
前記合成手段は、前記DCCブロックと前記バイパスブロックの出力を同時に各々受け入れ、前記ライン/画素カウンタの出力に基づき、前記出力の一方を選択するように構成された2つのマルチプレクサで構成されている、
請求項7に記載の液晶表示装置。

【請求項10】前記DCC処理部は、前記画像データによって表現される液晶画面の連続する2つの画素単位でDCC適用とDCC非適用が交互に繰り返されるようにし、少なくとも1行以上の単位で前記DCC適用とDCC非適用の順序が変わるようにする、請求項1に記載の液晶表示装置。

【請求項11】前記DCC処理部は、連続する2つの画素のデータに対してDCC法を適用する場合、ある1つの画素に対してDCC法を適用する間に他の画素を遅延させ、その次の連続する2つの画素に対してDCC法を適用せずバイパスさせ、この期間内に前記遅延された他の画素に対してDCC法を適用する、請求項10に記載の液晶表示装置。

【請求項12】前記DCC処理部は、
DCC法を適用するデータが入力されれば、現在フレームデータと直前フレームデータとを比較してDCC変換を行うDCCブロックと、
前記DCCブロックでDCC変換が行われる間に、入力データを遅延させるバイパスブロックと、
画像データの奇数データと偶数データとを各々受け入れ、これらデータの行/画素位置情報に基づいて連続する2つの画素単位で前記DCCブロック及び前記バイパスブロックに分配する分配手段と、
前記DCCブロックとバイパスブロックとで処理されたデータを各々受け入れ、これらデータの行/画素位置情報によって前記DCCブロックまたは前記バイパスブロックの出力を選択して変換偶数データと変換奇数データとを出力する合成手段と、
前記画像データが示す液晶画面の行及び画素数をカウントし、前記分配手段と前記合成手段とに行/画素位置情報を提供する第1ライン/画素カウンタと、
前記分配手段とDCCブロックとの間に位置し、前記分配手段から出力される連続する2つの画素のデータのう

ちの1つを所定時間遅延させる第1遅延器と、
行/画素位置情報によって、前記分配手段から出力される2つの画素のデータのうちの他の1つと前記第1遅延器の出力を順次を選択して前記DCCブロックに出力する第1マルチプレクサと、
前記DCCブロックと前記合成手段の間に位置し、連続する2つの画素のデータの中で時間遅延なく前記DCCブロックに入力されたデータを所定時間遅延させる第2遅延器と、

行/画素位置情報によって、前記DCCブロックから出力されるデータのうち前記第2遅延器に供給するデータを選択する第2マルチプレクサと、
前記画像データが示す液晶画面の行及び画素数をカウントし、連続する2つの画素の順序に関する行/画素位置情報を前記第1及び第2マルチプレクサに提供する第2ライン/画素カウンタと、
現在フレームデータと直前フレームデータとを各々蓄積するための2つのフレームメモリと、
前記分配手段によって前記DCCブロックに提供されるデータを現在フレームデータとして前記フレームメモリのうちのいずれか一方に蓄積し、前記フレームメモリのうちの他の一方に蓄積されている直前フレームデータを前記DCCブロックに伝送するメモリ制御器と、
をさらに含む、請求項11に記載の液晶表示装置。

【請求項13】前記第1ライン/画素カウンタは、前記入力される偶数データと奇数データとが表す液晶画面の少なくとも1行以上のライン単位で行をカウントする、請求項12に記載の液晶表示装置。

【請求項14】前記分配手段は、前記偶数データと奇数データとを同時に受け入れ、前記第1ライン/画素カウンタの出力に基づいて連続する2つの画素を前記バイパスブロックまたは前記DCCブロックに出力するように構成されたマルチプレクサで構成され、
前記合成手段は、前記DCCブロックと前記バイパスブロックからの出力を同時に受け入れ、前記第1ライン/画素カウンタの出力に基づいて前記2つの出力のうちの1つを選択するマルチプレクサで構成されている、
請求項12に記載の液晶表示装置。

【請求項15】外部のグラフィックソースから画像データを受信し、前記画像データによって表現される液晶画面の奇数行では奇数データに対してだけDCCを適用し、偶数行では偶数データに対してだけDCCを適用する液晶表示装置の駆動方法であって、
前記画像データの奇数データと偶数データとを各々受け入れ、これらデータの行位置情報に基づいて前記奇数データと偶数データとに対するDCC適用の可否を決定して分配する第1段階と、
前記第1段階でDCCを適用すると決定されたデータが入力されれば、現在フレームデータと直前フレームデータとを比較してルックアップテーブルから対応する変換

データを出力する DCC 変換を行う第 2 段階と、
前記第 2 段階で DCC が適用される間に、DCC を適用
しないと決定されたデータを所定時間遅延させる第 3 段
階と、

前記第 2 段階で DCC が適用された出力データと前記第
3 段階で遅延されたデータとを受け入れ、これらデータ
の行位置情報に基づいて、前記 DCC 適用データと遅延
されたデータとを、変換偶数データと変換奇数データと
して合成する第 4 段階と、

を含む液晶表示装置の駆動方法。

【請求項 16】外部のグラフィックソースから画像デー
タを受信し、前記画像データによって表現される液晶画
面の任意の行の連続する 2 つの画素の中で 1 つに対して
だけ DCC 法が適用されるようにし、前記 DCC 法が適
用される画素の位置は 2 つの画素単位で偶数データと奇
数データとが交互に選択されるようにし、少なくとも 1
行単位で前記選択順序が変わるようにした液晶表示装置
の駆動方法であって、

前記画像データの奇数データと偶数データとを各々受け
入れ、これらデータの行/画素位置情報に基づいて連続
する 2 つの画素の奇数データと偶数データとに対する D
CC 適用の可否を決定して分配し、連続する 2 つの画素
からなる奇数データまたは偶数データが連続する 2 つの
画素単位で交互に選択されるようにして前記 DCC を適
用する第 1 段階と、

前記第 1 段階で DCC を適用すると決定されたデータが
入力されれば、現在フレームデータと直前フレームデー
タとを比較してルックアップテーブルから対応する変換
データを出力する DCC 変換を行う第 2 段階と、

前記第 2 段階で DCC が適用される間に、DCC を適用
しないと決定されたデータを所定時間遅延させる第 3 段
階と、

前記第 2 段階で DCC が適用された出力データと前記第
3 段階で遅延されたデータとを受け入れ、これらデータ
の行/画素位置情報に基づいて、前記 DCC 適用データ
と遅延されたデータとを、変換偶数データと変換奇数デ
ータとして合成させる第 4 段階と、

を含む液晶表示装置の駆動方法。

【請求項 17】外部のグラフィックソースから画像デー
タを受信し、前記画像データによって表現される液晶画
面の連続する 2 つの画素単位で DCC 適用と非適用が交
互に繰り返されるようにし、少なくとも 1 行以上の単位
で前記 DCC 適用と DCC 非適用の順序が変わるように
する液晶表示装置の駆動方法であって、

前記画像データの奇数データと偶数データとを各々受け
入れて、これらデータの行/画素位置情報に基づいて連
続する 2 つの画素単位で DCC の適用の可否を決定して
分配する第 1 段階と、

前記第 1 段階で DCC を適用すると決定されたデータが
入力されれば、連続する 2 つの画素のデータの中で 1 つ

*のデータは所定時間遅延されるようにすることによって
2 つの画素のデータに対して順次に DCC が適用される
ようにし、DCC が適用される場合には現在フレームデ
ータと直前フレームデータとを比較してルックアップテ
ーブルから対応する変換データを出力する DCC 変換を
行う第 2 段階と、

前記第 2 段階で DCC が適用される間に、DCC を適用
しないと決定されたデータを所定時間遅延させる第 3 段
階と、

10 前記第 2 段階で DCC が適用されたデータの中で時間遅
延なく DCC 処理されたデータを所定時間遅延させる第
4 段階と、

前記第 2 段階及び第 4 段階で DCC が適用された出力デ
ータと前記第 3 段階で遅延されたデータとを受け入れ
て、これらデータの行/画素位置情報に基づいて、前記
DCC 適用データと DCC 非適用データとを、変換偶数
データと変換奇数データとして合成する第 5 段階と、
を含む液晶表示装置の駆動方法。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は液晶表示装置に関
し、さらに詳しくは動的キャパシタンス補償 (DCC: dyna
mic capacitance compensation) 方法の適用により、解
像度が向上したデュアル入力モード液晶表示装置に関す
る。

【0002】

【従来の技術】最近、パソコンやテレビなどの軽量化及
び薄形化によって表示装置分野にも軽量化及び薄形化が
要求されている。このような要求を充足させるために陰
極線管 (CRT: cathode-ray tube) の代りに液晶表示装置
(LCD: liquid crystal display) のようなフラットパネ
ル表示装置 (flat panel display) が開発されて様々な
分野において実用化されている。

【0003】液晶表示装置では、二枚の基板の間に注入
されている異方性誘電率を有する液晶物質に電界を印加
し、この電界の強さを時間と基板上の位置に応じて調節
することにより基板を透過する光の量を制御し、所望の
画像 (image) に対する表示を行う。

【0004】このような液晶表示装置は、現在ノートブ
ックコンピュータだけでなく、デスクトップ (desktop)
p) コンピュータでもその使用が拡大している。現在の
コンピュータユーザらは、発展したマルチメディア環境
でコンピュータを利用して動映像を視聴しようとする欲
求を持っている。このような要求を充足させるために
は、液晶表示装置の応答速度向上が必要である。

【0005】液晶表示装置の応答速度を向上させるため
の方法として、動的キャパシタンス補償 (以下、"DCC"
とする) 方法が知られている。次に前記 DCC 法に
ついて詳細に説明する。

【0006】前記 DCC 法は、任意の画素に対する直前

フレームの階調値と現在フレームでの階調値を比較し、その差よりも更に大きな値が直前フレームの階調値に加えられるように RGB データの処理を行うことである。一般に、1 フレームの持続時間は 16 . 7 m s e c である。任意の画素で液晶物質両端に電圧が加えられる時、液晶物質が応答するのには時間がかかる。したがって、意図する階調値が表現されるためには時間遅延が必然的である。前記 D C C 法は元来の階調値よりさらに大きな値が画素に印加されるようにして、このような時間遅延を最少化するための技術である。

【0007】図1には従来のシングル入力モード液晶表示装置で D C C 法が実現された例が示されている。図1に示されたハードウェアは D C C 処理部であって、液晶表示装置のタイミング制御部に内蔵されている。

【0008】図1に示す D C C 処理部の構成はデータ処理ブロックの一部であって、液晶表示装置のタイミング制御部内に位置する。ここで、シングル入力モードとは 1 クロック当り 1 つのデータを伝送する伝送モードを言う。また、デュアル入力モードとは 1 クロック当り 2 つのデータを伝送するもので、シングル入力モードよりクロック周波数を 1 / 2 に減少させることができる長所がある。したがって、前記デュアル入力モード伝送方式は 1 クロック毎に偶数及び奇数画像データを同時に伝送する。なお、図1の場合には、画像データがフレームデータであり、クロックがフレーム同期信号であって、NTSC 方式の TV では各々フィールドデータと垂直同期信号に対応させることが可能である。またデュアル入力モードとしては、前記のように、クロックとともに奇数画像データと偶数画像データが同時に並列回線により入力される方式の他に、時分割で 1 回線により直列入力する方式も考えられる。

【0009】図1の D C C 処理部は D C C ブロック 1、メモリ制御器 1 2 及び 2 つのフレームメモリ A 1 3、フレームメモリ B 1 4 で構成される。

【0010】前記 D C C ブロック 1 1 には外部のグラフィックソース（図示せず）から現在フレームデータが入力されるとともに、メモリ制御器 1 2 から直前フレームデータが入力される。この直前フレームデータはフレームメモリ B 1 4 に蓄積されていたものである。D C C ブロック 1 1 は、現在フレームデータと直前フレームデータとを比較し、その比較結果によって内蔵されているルックアップテーブル（LUT: look-up table）に記憶されている D C C 変換データ群から 1 つを選択して出力する。ルックアップテーブルには、現在フレームデータ及び直前フレームデータに対する最適の D C C データが予め設定されている。一方、入力される現在フレームデータは、メモリ制御器 1 2 を介してフレームメモリ A 1 3 にも記憶される。上述のように、従来のシングル入力モード液晶表示装置に D C C 法を適用する場合には、現在フレームデータと直前フレームデータとを蓄積するため

の 2 つのフレームメモリ A、B が必要である。通常、解像度の低い V G A (Video Graphics Array)、W X G A 解像度ではシングル入力モードの液晶表示装置でも実現できるが、S X G A (Super eXtended Graphics Array; 1280×1024ピクセル)解像度以上の場合には、液晶パネルのデータラインの数が大幅に増加するため、データ処理に必要なクロック周波数が高くなりすぎる。したがって、このような場合にはデュアル入力モード伝送方式を採択しなければならない。

10 【0011】図2にはデュアル入力モード液晶表示装置に従来型 D C C 法を適用した例が示されている。図2に示されたハードウェアは D C C 処理部であって、液晶表示装置のタイミング制御部に内蔵されている。

【0012】図2によると、D C C 処理部は、偶数画像データと奇数画像データを各々独立して並列処理するために、2 つの同形式ブロックで構成され、各ブロックの構成は図1の D C C 処理部と同一である。つまり、現在フレーム偶数画像データを処理するために、D C C ブロック 2 1、メモリ制御器 2 2、フレームメモリ C 2 3 及びフレームメモリ D 2 4 が使用され、現在フレーム奇数画像データを処理するために、D C C ブロック 3 1、メモリ制御器 3 2、フレームメモリ A 3 3 及びフレームメモリ B 3 4 が使用される。

【0013】前記図2に示すように、デュアル入力モード液晶表示装置に従来型 D C C 法を適用する場合には、4 つのフレームメモリ A ~ D が必要である。そのため、フレームメモリを増加させなければならないという問題点がある。データを処理するのに必要な、このようなフレームメモリが増加する問題点を解決するために、高解像度の液晶表示装置でもシングル入力モードが採択される場合、タイミング制御部内部でデータを処理するクロック周波数を増加させる方法が考えられる。しかし、この方法では、データ処理時に高周波数による電磁気障害（EMI）の問題が発生し、また、EMI の抑制のためにタイミング制御部とフレームメモリとの間にフィルター素子を追加構成しなければならない。このような場合タイミング制御部を実装するための印刷回路基板面積が増加して製品の原価上昇を招く。

【0014】

40 【発明が解決しようとする課題】本発明は先に説明した技術的背景から導出されたものであって、データ処理のためのクロック周波数を増加させずに、従来のシングル入力モードの液晶表示装置と同数のフレームメモリを使用するデュアル入力モードの液晶表示装置を提供することにその目的がある。

【0015】

【課題を解決するための手段】前記目的を達成するための本発明の液晶表示装置は、高解像度のデュアル入力モード液晶表示装置に D C C 法を適用する場合には、液晶画面を構成する画素のうち所定の方法によって決められた

半分の画素に対して DCC 法を適用する。具体的には、本発明の液晶表示装置は、

- ・複数のゲートライン及び複数のデータラインと、
- ・前記ゲートラインと前記データラインとの交差により形成される各領域に形成された画素を有する液晶パネルと、
- ・前記ゲートラインを順次に走査するための信号を印加するゲート駆動部と、
- ・外部のグラフィックソースから入力される画像データに応じ、前記各画素に印加するための階調電圧を選択して前記データラインに出力するソース駆動部と、
- ・タイミング制御部と、を含む。前記タイミング制御部は、
- ・前記画像データのうちの一部のデータに対してだけ DCC 法を適用する DCC 処理部と、
- ・前記 DCC 処理部で DCC 変換されたデータが前記ソース駆動部で処理可能なようにデータフォーマットを変換するタイミング再分配ブロックと、
- ・画面表示動作に必要な制御信号を生成する制御信号生成ブロックと、を有している。

【0016】前記のように構成される本発明の液晶表示装置では液晶画面の一部、より具体的には、適切に選定された約半数の画素に対してだけ DCC 法が適用されるようにして、フレームメモリを 2 個だけ使用してデュアル入力モードの解像度を有する液晶表示装置に DCC 法を円滑に適用することができる。ここで、前記の約半数とは全画素数が奇数の場合の半数、又は全画素数の内の有効画面の画素数の半数を含む

【0017】また、タイミング制御部のフレームメモリでデータを処理するのに必要なクロック信号の周波数がタイミング制御部に入力されるクロック信号の周波数と同一であっても構わないので、たとえば入力クロックのタイミングを調整しただけのクロックで処理しても、電磁波障害を増加させる要因を発生させない。

【0018】本発明の特徴によると、液晶画面の半分の画素に対して DCC 法を適用するための様々なパターンが提供される。

【0019】これまで説明してきた本発明の目的、技術的構成及びその効果は下記の実施例に関する説明からより明白になる。

【0020】

【発明の実施の形態】以下、添付図面を参照して本発明の好ましい実施例を詳細に説明する。

【0021】図 3 には本発明を適用する液晶表示装置の全体構成が示されている。

【0022】図 3 に示されているように、液晶表示装置は、液晶パネル 1、ゲート駆動部 2、ソース駆動部 3、電圧発生部 4 及びタイミング制御部 5 を含む。

【0023】図 3 には詳細構造が示されていないが、液晶パネル 1 は複数のゲートラインとこれに交差する複数

のデータライン、各ゲートラインと各データラインとが交差する各領域に形成された画素で構成される。ゲートラインが順次走査されるたびに、画面表示のためのアナログ電圧（階調電圧という）がデータラインを経て対応する画素に印加される。

【0024】タイミング制御部 5 は、DCC 処理部 51、タイミング再分配ブロック 52 及び制御信号生成ブロック 53 を含んで構成される。タイミング制御部 5 には、外部のグラフィックソースから、RGB データ、データイネーブル信号（DE）、同期信号（SYNC）及びクロック信号（CLK）が入力される。RGB データは、タイミング制御部 5 の DCC 処理部 51 に入力されて DCC 変換が行われる。その次に、DCC 変換されたデータは、タイミング再分配ブロック 52 に入力され、ソース駆動部 3 に合うようにデータフォーマットが変換される。タイミング再分配ブロック 52 で処理されたデータは、ソース駆動部 3 に提供される。一方、制御信号生成ブロック 53 ではデータイネーブル信号（DE）、同期信号（SYNC）及びクロック信号（CLK）を利用して表示動作を制御するための多様な制御信号が生成され、これら制御信号は液晶表示装置の各構成要素に伝送される。

【0025】電圧発生部 4 は、ゲートラインを走査するためのゲートオン/オフ電圧を生成してゲート駆動部 2 に出力する。また電圧発生部 4 は、基準アナログ電圧をソース駆動部 3 内部の階調電圧発生部（図示せず）に出力する。ソース駆動部 3 は、タイミング制御部 5 から伝送された RGB データに応じてそれに見合う階調電圧を生成し、液晶パネル 1 に印加する。

【0026】本発明は、液晶表示装置のタイミング制御部 5 に DCC 法を適用することにおいて、液晶画面の全画素に対して DCC 法を適用することなく、予め決められた約半数の画素に対してだけ DCC 法を適用する。本発明の第 1 ～ 第 4 実施例は DCC 法を適用する画素のパターン（画素の組み合わせ）をどのように構成するかによって区分される。

【0027】[第 1 実施例] まず、図 4 ～ 図 6 を参照して本発明の第 1 実施例を説明する。

【0028】図 4 には、本発明の第 1 実施例を説明するための画素処理・非処理パターンが示されている。図 5 には、本発明による DCC 適用時及び DCC 非適用時の、また、その平均値としての輝度レベルを表示した曲線が示されており、図 6 には本発明の第 1 実施例を実現するための液晶表示装置の DCC 処理部に対する構成が詳細に示されている。

【0029】図 4 によれば、本発明の第 1 実施例は 1 × 1 (= 1 列 × 1 行) パターンを単位として適用パターンと非適用パターンを混在させる新規な DCC 法を適用する技術である。具体的には、奇数行では奇数番目画素のデータだけ DCC 法を適用し、偶数行では偶数番目画素のデータだけ DCC を適用する技術である。したがっ

て、RGBデータの奇数データと偶数データが同時にタイミング制御部に入力されるデュアル入力モードである場合にも、前記奇数データと偶数データのうちの一方に対してだけDCC法を適用することが可能になる。

【0030】したがって、本実施例は次のような長所を有する。

【0031】第一に、タイミング制御部5で奇数データと偶数データのうちの一方に対してだけDCC法が適用されるので、デュアル入力モードの液晶表示装置にDCC法が適用されても、シングル入力モード液晶表示装置の場合と同様に2つのフレームメモリだけでDCCを実現することができる。

【0032】第二に、タイミング制御部5のフレームメモリでRGBデータを伝送するのに使用されるクロック周波数と、液晶表示装置のメインクロック周波数とを一致させて使用できる。

【0033】第三に、全てのRGBデータの中で約半分の画像データにだけDCC法を適用するので、フレームメモリに記憶するデータも約半分に減少し、必要なメモリ容量が約半分に減少する。

【0034】一方、図5に示すように、本発明では全ての画像データに対してDCC法を適用することなく、約半分の画像データに対してだけDCC法を適用するので、DCC適用時及び非適用時の平均応答速度によって画面を表示する。

【0035】したがって、シングル入力モードの解像度を有する液晶表示装置でDCC法が適用される時のルックアップテーブル値よりさらに大きな値を適切に選択することによって、前記平均輝度曲線の目標レベルが調整できる。つまり、従来のシングル入力モードの解像度を有する液晶表示装置では、全ての画素に対してDCC法を適用して図5の平均輝度曲線と同じ曲線を得ていたが、本発明では全ての画像データの約半分に対してだけDCC法を適用しても、DCC適用の時のルックアップテーブル値を適切に選択することによって、同様の結果が得られる。

【0036】次に、図6を参照し、本発明の第1実施例を実現するための液晶表示装置のDCC処理部51について説明する。先に図4について説明したように、本発明の第1実施例では奇数行では奇数データに対してだけDCC法が適用され、偶数行では偶数データに対してだけDCC法が適用される。

【0037】図6に示されているように、本発明の第1実施例によるDCC処理部5は、下記a)～g)を含んで構成される。

a) 現在フレームの偶数データ及び奇数データを同時に受け入れ、偶数データと奇数データをDCC適用の可否によって分配する分配手段として作用する2つのマルチプレクサ611、612、

b) マルチプレクサ611の出力端に連結されたバイパ

スブロック621、

c) マルチプレクサ612の出力端に連結されたDCCブロック631、

d) バイパスブロック621及びDCCブロック631の出力を同時に受け入れ、バイパスブロック621及びDCCブロック631の出力を変換奇数データ及び変換偶数データに合成する合成手段として作用する2つのマルチプレクサ651、652、

e) マルチプレクサ612の出力を受け入れ、かつDCCブロック631に直前フレームデータを提供するメモリ制御器661、

f) メモリ制御器661によってアクセス可能なように連結されてDCC法が適用される現在フレームデータと直前フレームデータを各々記憶するフレームメモリA671、フレームメモリB672、

g) 各マルチプレクサ611、612、651、652を制御するためのラインカウンタ641。

【0038】動作が始まれば、RGBデータがタイミング制御部5に入力されて本発明の第1実施例によるDCC処理部51に到達する。RGBデータは、現在フレームの偶数データ及び奇数データで構成される。ここで、第1実施例における偶数データとは、液晶画面を構成する各行の偶数番目画素を表示するためのデータであり、奇数データとは各行の奇数番目画素を表示するためのデータである。

【0039】現在偶数データ及び奇数データは、それぞれマルチプレクサ611、612に同時に入力される。前記マルチプレクサ611、612は、現在フレームの行位置情報を提供するラインカウンタ641の出力に応じ、偶数データと奇数データのうちのいずれかを各々選択する。現在フレームの行位置情報とは、フレームデータが偶数行に位置しているか奇数行に位置するかに対する情報である。先に説明したように、本発明の第1実施例では奇数行の奇数データ及び偶数行の偶数データに対してだけDCC法が適用される。したがって、現在フレームデータが奇数行である場合、奇数データがDCCブロック631に入力され、偶数データがバイパスブロック621に入力される。逆に、現在フレームデータが偶数行である場合、奇数データがバイパスブロック621に入力され、偶数データがDCCブロック631に入力されなければならない。マルチプレクサ611は、現在フレームデータの中でバイパスブロック621に入力するデータを選択する。マルチプレクサ612は、現在フレームデータの中でDCCブロック631に入力するデータを選択する。

【0040】バイパスブロック621では、DCCブロック631でDCC法が行われる間、一時的にデータが遅延させられる。マルチプレクサ612から出力されたデータは、DCCブロック631に入力される一方、メモリ制御器661を通じてフレームメモリA671に蓄

積される。また、メモリ制御器 661 の制御によってフレームメモリ B 672 に蓄積されていた直前フレームの DCC 適用データは、DCC ブロック 631 に送られる。一方、フレームメモリ A 671 に蓄積されていた現在フレームの DCC 適用データは、メモリ制御器 661 によってフレームごとにフレームメモリ B 672 に移される。DCC ブロック 631 では現在フレームデータと直前フレームデータとを受け取り、この両入力に対する DCC 法が行われる。DCC 変換値は現在フレームデータと直前フレームデータとによって液晶の反応速度を最

大化させるために予め設定された値である。
 【0041】パイパスブロック 621 と DCC ブロック 631 に各々連結されたマルチプレクサ 651 は、DCC 適用されたデータとパイパスされたデータとを偶数データと奇数データに再び整列するためのものである。図 4 の画素構成で第 1 行を例として説明すれば、現在フレームの奇数データは DCC ブロック 631 によって DCC 適用され、現在フレームの偶数データはパイパスブロック 621 によって所定時間遅延させられる。したがって、マルチプレクサ 651 は、DCC ブロック 631 とパイパスブロック 621 の出力を受け取り、パイパスブロック 621 の出力を選択した後、変換偶数データとして提供する。マルチプレクサ 652 は、前記 DCC ブロック 631 とパイパスブロック 621 の出力を受け取り、DCC ブロック 631 の出力を選択した後、変換奇数データとして提供する。各マルチプレクサ 651、652 の選択動作は、ラインカウンタ 641 から出力される現在フレームの行位置情報によって制御される。もし、図 4 の画素パターンで第 2 行のデータが入力される場合には、偶数データが DCC ブロック 631 によって

DCC 処理され、奇数データはパイパスブロック 621 によって所定時間遅延させられる。したがって、マルチプレクサ 651 は、DCC ブロック 631 の出力を選択して変換偶数データとして提供し、マルチプレクサ 652 はパイパスブロック 621 の出力を選択して変換奇数データとして提供する。
 【0042】結果的に、第 1 実施例による DCC 処理部では、全ての画像データの約半分に対してだけ DCC 法を適用することによって、SXGA 級以上の解像度を実現しなければならないデュアル入力モード液晶表示装置に 2 つのフレームメモリを用いて DCC 法を適用することができる。第 1 実施例による DCC 処理部 51 ではシングル入力モードでのクロック周波数と同じクロック周波数を使用するので、電磁波障害の増加を抑制することができる。このような技術的特徴は、マルチプレクサ、ラインカウンタ及びパイパスブロックを簡単に構成することによって実現できる。

【0043】[第 2 実施例] 次に、図 7 及び図 8 を参照し、本発明の第 2 実施例による DCC 処理部について説明する。

【0044】図 7 (a)、(b) には本発明の第 2 実施例を示す画素パターンが各々示されている。図 8 には、本発明の第 2 実施例を実現するための液晶表示装置の DCC 処理部 51 の構成が詳細に示されている。

【0045】本発明の第 2 実施例では、図 7 (a) を参照すれば、 2×1 (=2 列 * 1 行) パターン方式で DCC を適用する。具体的に、第 1 行では 2 つの画素を単位として数え、偶数番目データに対してだけ DCC を適用し、第 2 行では 2 つの画素を単位として数え、奇数番目データに対してだけ DCC を適用する。もちろん、このような適用基準とは反対の基準でも適用できることは自明である。また、連続する 2 つの画素の中で 1 つに対してだけ DCC 法を適用する。本発明の第 2 実施例では、連続する 2 つの画素単位で偶数データまたは奇数データが交互に選択され、行が変われば前記選択順序も変わる。全体画面を観察すれば、1 つの画面を構成する全ての画素の半分に対して DCC 法が適用されることが分かる。

【0046】図 7 (b) の画素パターンでは 2×2 (=2 列 * 2 行) パターンで DCC を適用する技術を示している。いくつの行単位でこのような規則を適用するかということは簡単な設計変更を通じて当業者が容易に変更できる。

【0047】図 8 に示す DCC 処理部 51 は、本発明による第 2 実施例を実現したものである。

【0048】図 8 を参照すれば、本発明の第 2 実施例による DCC 処理部 51 は、ラインカウンタの代りにライン/画素カウンタ 841 を設けているという点で第 1 実施例による DCC 処理部 51 と異なる。つまり、ライン/画素カウンタ 841 は、入力される現在フレームデータの行と画素の位置を検出し、ライン/画素カウンタ 841 の出力によってマルチプレクサ 811、812、851、852 の選択動作が制御される。

【0049】図 7 (a) に示す画素パターンに対して、例えば、ライン/画素カウンタ 841 は各行をカウントするとともに、同一行の連続する 2 つの画素単位でカウントする。マルチプレクサ 811、812 は、ライン/画素カウンタ 841 のカウント情報に基づいて連続する 2 画素の奇数データと偶数データを交互に選択し、連続する 2 画素をパイパスブロック 821 または DCC ブロック 831 に分配する。より具体的には、図 7 (a) の奇数行の 2 画素がライン/画素カウンタ 841 によってカウントされれば、奇数データであればマルチプレクサ 811 によって選択されてパイパスブロック 821 に伝送され、偶数データであればマルチプレクサ 812 により選択されて DCC ブロック 831 に伝送される。偶数行の 2 画素では、奇数データであればマルチプレクサ 812 により選択されて DCC ブロック 831 に伝送され、偶数データであればマルチプレクサ 811 によって選択されてパイパスブロック 821 に伝送される。出力

側では、2つのマルチプレクサ851、852がライン/画素カウンタ841のカウンタ情報によってバイパスブロック821とDCCブロック831の出力を選択してフレームデータを再構成する。図7(a)の画素パターンに対して、上記のように、奇数行の2画素の奇数データはバイパスブロック821で処理され、偶数データはDCCブロック831で処理される。したがって、マルチプレクサ851はこのようなライン/画素カウンタ情報によってDCCブロック831の出力を選択し、変換偶数データを提供する。また、マルチプレクサ852は、バイパスブロック821の出力を選択し、変換奇数データを提供する。偶数行の場合は、マルチプレクサ851がバイパスブロック821の出力を選択し、マルチプレクサ852がDCCブロック831の出力を選択する。

【0050】図7(b)の画素パターンは図7(a)の画素パターンに対して2行単位でDCC法を適用すれば実現できる。したがって、図8のDCC処理部でライン/画素カウンタ841が2行単位でカウントを行い、これにより各マルチプレクサ811、812、851、852の選択動作が制御される。表現を変えると、画素の組み合わせパターンの列と行を考えて、パターン列とパターン行を、第1実施例の画素列と画素行の様に扱えばよい。

【0051】図8に示されたDCC処理部51の残りの構成要素はその機能と連結関係が第1実施例のDCC処理部51の構成要素と同一である。

【0052】先に説明した第2実施例は、全体画面のうちの半分の画素に対してDCC法が適用できる種々の例を提供するという点に特徴がある。このような第2実施例に係る液体表示装置は、前記第1実施例と同様の作用効果を奏する。

【0053】[第3実施例]次に、図9～図12を参照し、本発明の第3実施例によるDCC処理部を説明する。

【0054】図9(a)、(b)は、本発明の第3実施例を説明するための画素パターンをそれぞれ示す。図10は、本発明の第3実施例でのデータ入出力関係を示す。図11は、本発明の第3実施例でのデータ処理の流れの一例を示す。図12は、本発明の第3実施例によるDCC処理部の詳細な構成を示す。

【0055】本発明の第3実施例では、連続する2つの画素単位でDCC適用とDCC非適用が交互に繰り返されるということが特徴がある。上述したように、本発明はSXGA級以上の高解像度が要求されるデュアル入力モード液晶表示装置に関し、連続する2つの画素単位で前記方法を適用するためには同時に入力される偶数データと奇数データ全てに対してDCC法が適用されなければならない。幸いに、連続する2つの画素単位でDCC適用と非適用が繰り返されるので、最初2つの画素に

してDCC法が適用される場合には、その次の2つの画素に対してはDCC法が適用されない。したがって、本発明の第3実施例ではDCC法を適用しなければならない2つの画素のうちの1つは時間的に遅延させて、次の2つの画素(DCC非適用)に対するデータが入力される時、前記遅延させられた画素のデータに対してDCC法が行なわれるようにする。

【0056】図9(a)の画素パターンは、2つの画素単位でDCC適用と非適用が交互に繰り返されると共に、1行単位でDCC適用と非適用の順序が変更されることを示す。つまり、1行では最初2つの画素に対してDCC法が適用されるが、その次の行では最初2つの画素に対してDCC法が適用されない。図9(b)の画素パターンは上記のDCC適用と非適用の順序変更が2行単位で行われることを示す。

【0057】図10は図9(a)の第1行の入力データ及び出力データの関係を示している。図10で数字は画素の位置を示す。図10を参照すれば、入力データの中で1、2、5、6番目データに対してはDCC法が適用されなければならない。図10の出力データを得るためのデータ処理過程が図11に示されている。図11では、DCC法を適用するのに2クロックが使用されると仮定している。

【0058】図11によれば、同時に入力される1、2番目画素のデータに対しては全てDCC法が適用されなければならない。まず、1番目の画素のデータに対してDCC法が適用されて、2番目画素のデータは1クロック遅延させられた後、DCC法が適用される。このことは、その次の2つの画素、つまり3、4番目の画素のデータに対してはDCC法が適用されないので可能である。5、6番目の画素のデータには、前記1、2番目画素のデータに対する処理過程が繰り返される。

【0059】図12には、第3実施例によるDCC処理部51の構成が詳細に示されている。

【0060】図12に示されているように、第3実施例によるDCC処理部51は基本的にバイパスブロック931、DCCブロック934、メモリ制御器961及び2つのフレームメモリA971、フレームメモリB972を含む。

【0061】入力側には、偶数データと奇数データを2画素単位でDCCブロック934またはバイパスブロック931に分配するためのマルチプレクサ911が設けられている。ライン/画素カウンタ912は、前記マルチプレクサ911が2画素単位で選択できるように2画素単位の行/画素カウンタ情報を提供する。同様に、出力側には、バイパスブロック931とDCCブロック934の出力を変換偶数データと変換奇数データとして再構成するためのマルチプレクサ951が設けられている。ライン/画素カウンタ952は、マルチプレクサ951の選択動作を制御するために2画素単位の行/画素

カウント情報を提供する。図9(a)の画素パターンでは1行単位でDCC適用と非適用の順序変更が行われ、図9(b)の画素パターンでは2行単位で前記順序変更が行われる。1行または2行単位で順序変更をすることはライン/画素カウンタ912、952の内部設定を変更することによって容易に実現できる。ライン/画素カウンタ912とライン/画素カウンタ952とは共通に使用することも可能である。

【0062】一方、マルチプレクサ911の出力は、DCCブロック934に入力される前に、マルチプレクサ933を通る。マルチプレクサ911の2つの出力のうちの1つは、遅延器921によって1クロック遅延された後にマルチプレクサ933に入力され、他の1つは直ちにマルチプレクサ933に入力される。マルチプレクサ933は、ライン/画素カウンタ932から提供される行/画素カウント情報に基づき、遅延されていない入力を先に選択してDCCブロック934に出力し、その次に1クロック遅延された入力を選択してDCCブロック934に出力する。ライン/画素カウンタ932は、DCC法が適用される2つの画素の中でどれに対して先にDCC法を適用するかを決定するための行/画素カウント情報を提供する。同様に、DCCブロック934の出力端では、先にDCC法が適用された画素のデータが遅延器941によって1クロック遅延させられる。したがって、マルチプレクサ935は、先にDCC法が適用された画素を選択し、遅延器941に出力する。先に説明した以外の他の構成要素は、第1実施例で説明したものと同じ構成を有し、その動作も同様である。第3実施例に係る液晶表示装置は、前述した第1実施例と同様の作用効果を奏する。

【0063】[第4実施例]次に、図13を参照して本発明の第4実施例を説明する。

【0064】図13(a)、(b)は、本発明の第4実施例を示す画素パターンを示す。前記第4実施例の画素パターンは、前記第2実施例と第3実施例の画素パターンを混合したものである。前記第4実施例に示されたような画素パターンに対してDCC法を適用するためのDCC処理部51は、前記図11に示す第3実施例によるDCC処理部51の内部ハードウェアを多少変更すれば容易に得られる。

【0065】前記図13(a)を参照すれば、縦方向にDCC法が適用される画素の間に3つ以上のDCC非適用画素が存在することが見受けられる。DCC適用画素の間にDCC非適用画素があまり多くなれば、集まっているDCC非適用画素が帯の形状で表示されるおそれがある。したがって、DCC非適用画素の数を4つ以下に制限することが視認性維持のために有用である。第4実施例にかかる液晶表示装置は、前述した第1実施例と同様の作用効果を奏する。

【0066】

【発明の効果】以上説明したように、全ての画像データのおおむね半分に対してだけDCC法を適用することにより、2つのフレームメモリだけを使用してSXGA級以上の高解像度が要求されるデュアル入力モード液晶表示装置にDCC法を円滑に適用することができる。また、シングル入力モードの液晶表示装置で使用されるクロック周波数と同一のクロック周波数をデュアル入力モードの液晶表示装置で使用できるので、EMIを改善するためにタイミング制御部とフレームメモリの間に他の構成要素を追加する必要がない。また、前記技術的特徴はマルチプレクサ、ラインカウンタ及びバイパスブロックを構成することによって簡単に実現できる。

【図面の簡単な説明】

【図1】従来のシングル入力モード液晶表示装置でDCC法が実現された例を示した図面。

【図2】従来のデュアル入力モード液晶表示装置でDCC法が実現された例を示した図面。

【図3】本発明による液晶表示装置の全体構成を示した図面。

【図4】本発明の第1実施例を説明するための画素処理・非処理パターンを示した図面。

【図5】本発明の原理を説明するための輝度曲線を示した図面。

【図6】本発明の第1実施例を実現するための液晶表示装置DCC処理部の構成を詳細に示した図面。

【図7】(a)、(b)本発明の第2実施例を説明するための画素処理・非処理パターンを示した図面。

【図8】本発明の第2実施例を実現するための液晶表示装置DCC処理部の構成を詳細に示した図面。

【図9】(a)、(b)本発明の第3実施例を説明するための画素処理・非処理パターンを示した図面。

【図10】本発明の第3実施例でのデータ入出力関係を示した図面。

【図11】本発明の第3実施例でのデータ処理流れを示した図面。

【図12】本発明の第3実施例を実現するための液晶表示装置DCC処理部の構成を詳細に示した図面。

【図13】(a)、(b)本発明の第4実施例を説明するための画素処理・非処理パターンを示した図面。

【符号の説明】

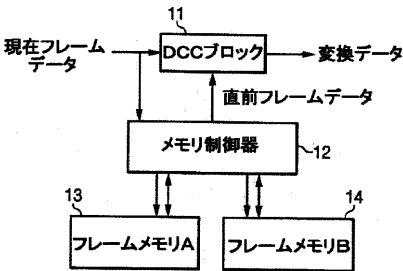
1	液晶パネル
2	ゲート駆動部
3	ソース駆動部
4	電圧発生部
5	タイミング制御部
11、21、31	DCCブロック
12、22、32	メモリ制御器
13、14、23、24、33、34	フレームメモリ

50 51 DCC処理部

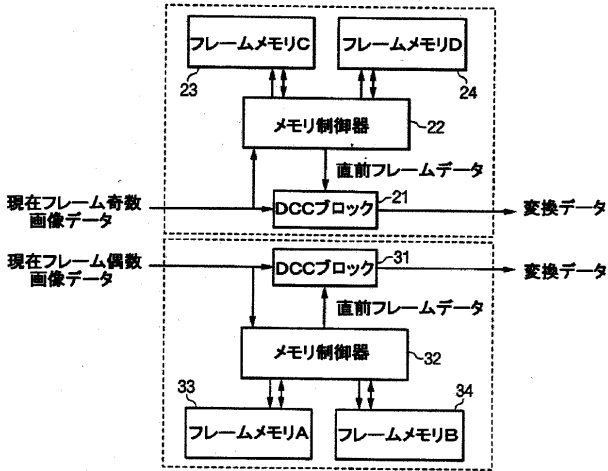
- 5 2 タイミング再分配ブロック
- 5 3 制御信号生成ブロック
- 6 1 1、6 1 2、6 5 1、6 5 2 マルチプレクサ
- 6 2 1 バイパスブロック
- 6 3 1 DCCブロック

- * 6 4 1 ラインカウンタ
- 6 6 1 メモリ制御器
- 6 7 1、6 7 2 フレームメモリ

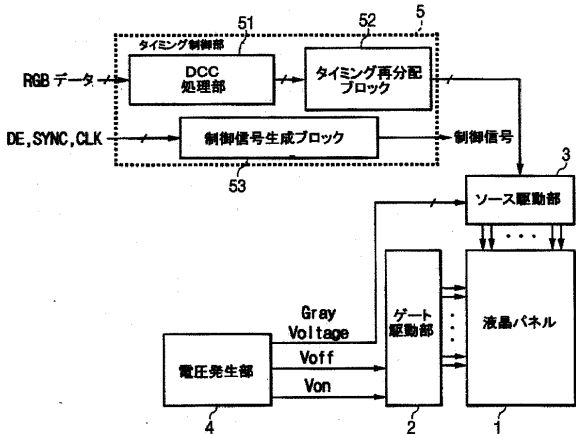
【図 1】



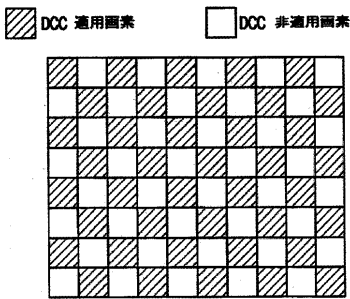
【図 2】



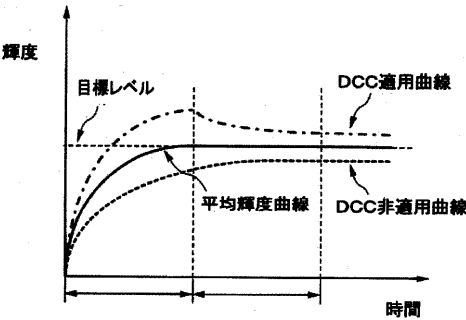
【図 3】



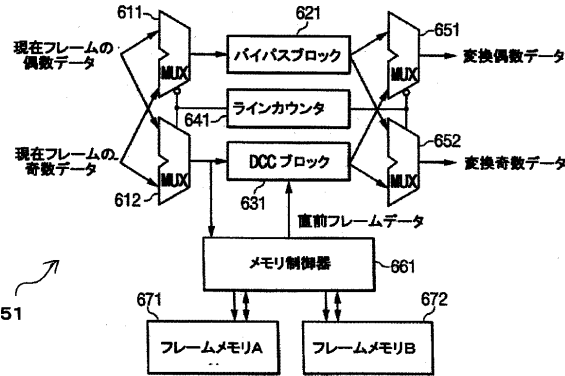
【図 4】



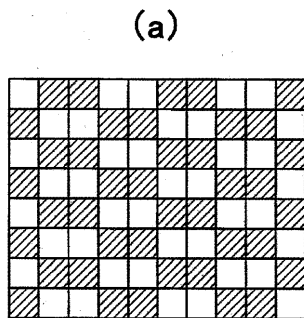
【図 5】



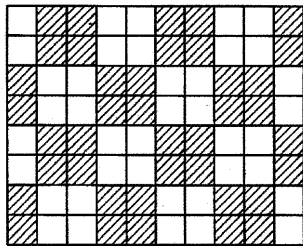
【図 6】



【図7】

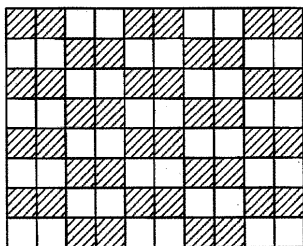


(b)

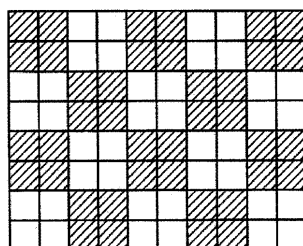


【図9】

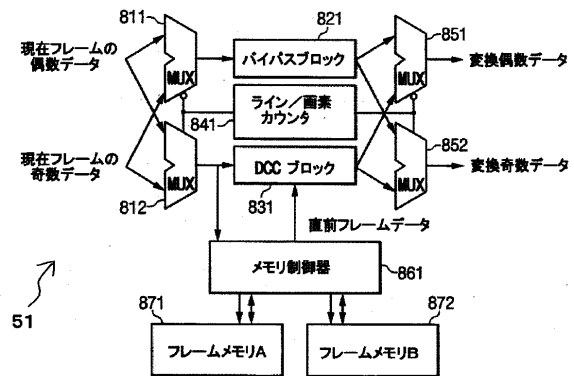
(a)



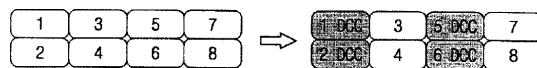
(b)



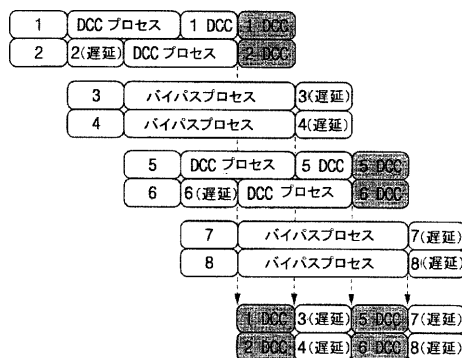
【図8】



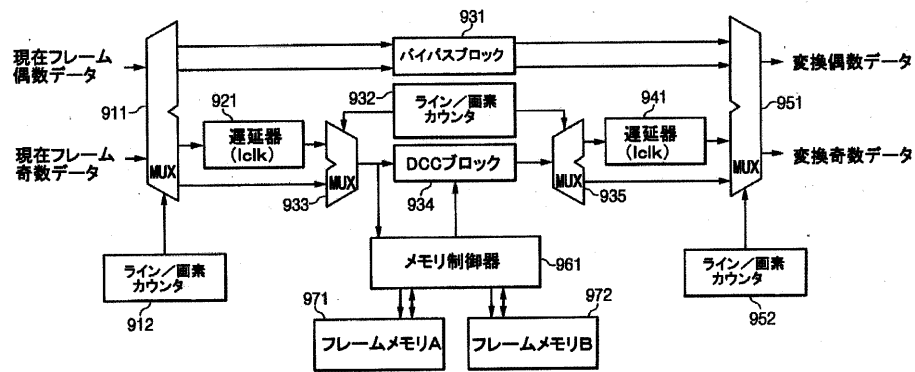
【図10】



【図11】

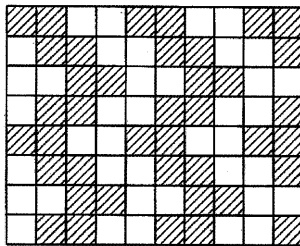


【図12】

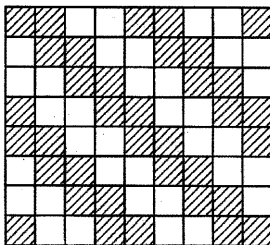


【図13】

(a)



(b)



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

H 0 4 N 5/66

識別記号

1 0 2

F I

G 0 9 G 3/20

H 0 4 N 5/66

テ-マコ-ド^{*}(参考)

6 3 1 R

1 0 2 B

F ターム(参考) 2H093 NA06 NA43 NA51 NB07 NB11
NC13 NC15 NC16 NC21 NC29
ND01 ND06 ND33 ND49 ND54
NH18
5C006 AC21 AF01 AF06 AF13 AF42
AF43 AF44 AF45 AF46 BB15
BC16 BF02 BF14 BF22 BF24
FA14 FA32 FA44 FA48
5C058 AA06 BA01 BB13 BB14 BB21
BB25
5C080 AA10 BB05 DD08 DD22 EE19
EE29 FF11 FF12 GG09 GG12
GG17 JJ01 JJ02

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2003330435A	公开(公告)日	2003-11-19
申请号	JP2003049042	申请日	2003-02-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李昇祐		
发明人	李 昇 祐		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/3648 G09G2310/0297 G09G2320/0252 G09G2340/16 G09G2352/00		
FI分类号	G09G3/36 G02F1/133.570 G09G3/20.612.U G09G3/20.621.F G09G3/20.631.D G09G3/20.631.R H04N5/66.102.B		
F-TERM分类号	2H093/NA06 2H093/NA43 2H093/NA51 2H093/NB07 2H093/NB11 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC21 2H093/NC29 2H093/ND01 2H093/ND06 2H093/ND33 2H093/ND49 2H093/ND54 2H093/NH18 5C006/AC21 5C006/AF01 5C006/AF06 5C006/AF13 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF45 5C006/AF46 5C006/BB15 5C006/BC16 5C006/BF02 5C006/BF14 5C006/BF22 5C006/BF24 5C006/FA14 5C006/FA32 5C006/FA44 5C006/FA48 5C058/AA06 5C058/BA01 5C058/BB13 5C058/BB14 5C058/BB21 5C058/BB25 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD22 5C080/EE19 5C080/EE29 5C080/FF11 5C080/FF12 5C080/GG09 5C080/GG12 5C080/GG17 5C080/JJ01 5C080/JJ02 2H193/ZB42 2H193/ZD21 2H193/ZE01		
优先权	1020020027105 2002-05-16 KR		
其他公开文献	JP4294973B2		
外部链接	Espacenet		

摘要(译)

帧存储器时钟频率不会增加。DCC方法被应用于形成液晶屏幕的一半像素。a) 多路复用器611和612，它们同时接收当前帧的偶数和奇数数据，并根据是否应用DCC分配偶数和奇数数据b) 连接到多路复用器611输出端的多块621，c) 多路复用器612 DCC模块631，连接到输出端。存储器控制器661，其接收多路复用器612的输出并将先前的帧数据提供给DCC块631，f) 帧存储器671、672，g)，其存储当前帧数据和应用了DCC方法的先前的帧数据。控制每个多路复用器的行 它有一个计数器641。

