

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 282881

(P2003 - 282881A)

(43)公開日 平成15年10月3日(2003.10.3)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 29/78	5 F 1 1 0
H 0 1 L 21/336			617 K
			618
			626 C
			626 A
		審査請求 未請求 請求項の数 6	O L (全 8 数)

(21)出願番号 特願2002 - 81773(P2002 - 81773)

(22)出願日 平成14年3月22日(2002.3.22)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 渋谷 司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100075557

弁理士 西教 圭一郎

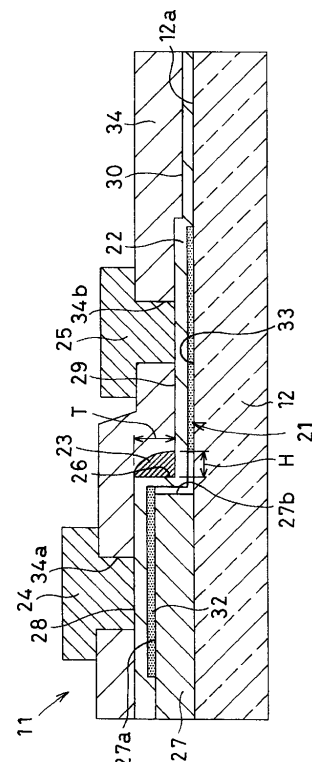
最終頁に続く

(54)【発明の名称】 薄膜トランジスタおよびその製造方法ならびに液晶表示装置

(57)【要約】

【課題】 高速化および高性能化を図り、表示品位を高くすることができる薄膜トランジスタおよびその製造方法ならびに液晶表示装置を提供する。

【解決手段】 ゲート絶縁膜22は、TFT基板12の厚み方向一方から他方向きに向かう段部26を含み、段部26に、ゲート電極部23がサイドウォール状に付設されているので、トランジスタ特性に大きく寄与するゲート電極部23の線幅は、実質的に段部26に沿ったゲート電極部23の膜厚Tに、サイドウォール幅すなわちTFT基板12の長さ方向に沿ったゲート電極部23の幅寸法Hを加えた値となる。それ故、TFT基板12の厚み方向からみたゲート電極部23の線幅を、従来の薄膜トランジスタのゲート電極の線幅よりも微細化し得る。



【特許請求の範囲】

【請求項 1】 基板に半導体膜を介して形成されるゲート絶縁膜であって、基板の厚み方向一方から他方向きに向かう段部を含むゲート絶縁膜と、ゲート絶縁膜の段部にサイドウォール状に少なくとも付設されるゲート電極部と、ゲート電極部を基点として、ソース電極とドレイン電極とが互いに離反して配設される前記ソース電極およびドレイン電極とを備えることを特徴とする薄膜トランジスタ。

【請求項 2】 基板に半導体膜を介して形成されるゲート絶縁膜であって、第 1 平坦部と、この第 1 平坦部に段部を介して連続してかつ略平行に配設される第 2 平坦部とを含むゲート絶縁膜と、段部にサイドウォール状に少なくとも付設されるゲート電極部と、第 1 および第 2 平坦部にそれぞれ設けられるソース電極およびドレイン電極とを有することを特徴とする薄膜トランジスタ。

【請求項 3】 ゲート電極部は、ドライエッチングによるエッチバックによって、段部にサイドウォール状に形成されることを特徴とする請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 4】 基板に段差部分を形成する工程と、段差部分を跨ぐように基板に半導体領域を形成する工程と、基板に半導体膜を介して、かつ、段差部分の形状に沿った部分を少なくとも含んでゲート絶縁膜を形成する工程と、ゲート絶縁膜のうち、前記段差部分の形状に沿った部分にゲート電極部をサイドウォール状に形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項 5】 前記ゲート電極部を形成する工程において、ゲート電極部は、ドライエッチングによるエッチバックによって、段差部分の形状に沿った部分にサイドウォール状に形成されることを特徴とする請求項 4 に記載の薄膜トランジスタの製造方法。

【請求項 6】 請求項 1 ～ 5 に記載の薄膜トランジスタを画素部または駆動回路部の少なくとも一方に用いる液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタおよびその製造方法ならびに液晶表示装置に関し、たとえば液晶フラットパネルディスプレイなどの表示装置に好適に用いられる薄膜トランジスタおよびその製造方法ならびに液晶表示装置に関する。本発明において、用語「略平行」は「平行」を含む。

【0002】

【従来の技術】近年、液晶ディスプレイなどの表示装置

に用いられる駆動回路をディスプレイと同一基板上に作りこむ、いわゆるドライバモノリシック型の液晶ディスプレイの製造が行われており、さらに付加機能を有するより高性能な回路を作りこむ、いわゆるシステムオンパネルの構想が高まっている。そのために、従来のものより高速かつ高性能な薄膜トランジスタを製造する技術が必要である。

【0003】図 7 は、従来の一般的な薄膜トランジスタ 1 の製造工程を段階的に示す断面図である。この薄膜トランジスタ 1 を作製する際には、図 7 (a) に示すように、ガラス基板 2 上に順次ベースコート膜 3、半導体層 4、ゲート絶縁膜 5 を形成していき、このゲート絶縁膜 5 上にゲート電極 6 を形成する。なお、半導体層 4 およびゲート電極 6 に所望のパターンを形成する際には、化学気相成長法またはスパッタ法によって膜を堆積し、フォトリソグラフィによってレジストなどの有機膜に所望のパターンを形成する。次に、ウェットエッチングまたはドライエッチングによって不要領域の膜を除去する。その後、図 7 (b) に示すように、イオンドーピング法などによって半導体膜 4 に高濃度の不純物を注入してソース領域 4a とドレイン領域 4b とを形成し、層間絶縁膜 7 を堆積し、コンタクトホール 7a、7b を形成し、ソース電極 8 およびドレイン電極 9 をそれぞれ形成する。

【0004】ところで、薄膜トランジスタの性能は様々なパラメータによって決定される。具体的にこれらパラメータは、半導体膜の結晶の状態、ゲート絶縁膜の膜厚、ゲート電極の線幅などがあり、それらの中で特にゲート電極の線幅を微細化することによって、トランジスタの高速化、高性能化とともに画素電極のトランジスタサイズを縮小し、画素の開口率を向上し、より明るいディスプレイを実現することが望まれている。

【0005】

【発明が解決しようとする課題】このような従来の技術においては、液晶ディスプレイなどの大形絶縁性基板上にゲート電極のパターンを形成する場合、そのゲート電極 6 の線幅の解像度は、露光装置の性能によって決定される。現状、半導体の製造プロセスにおいて、線幅の解像度は約 0.3 μm の値を実現しているのに対し、液晶ディスプレイの製造プロセスにおいて、線幅の解像度は約 1.5 μm の値しか得られていないため、画素電極のトランジスタサイズの縮小を図ることができず、画素の開口率を向上することができない。それ故、薄膜トランジスタの高速、高性能化の妨げとなっている。

【0006】したがって本発明の目的は、高速化および高性能化を図り、表示品位を高くすることができる薄膜トランジスタおよびその製造方法ならびに液晶表示装置を提供することである。

【0007】

【課題を解決するための手段】本発明は、基板に半導体

膜を介して形成されるゲート絶縁膜であって、基板の厚み方向一方から他方向きに向かう段部を含むゲート絶縁膜と、ゲート絶縁膜の段部にサイドウォール状に少なくとも付設されるゲート電極部と、ゲート電極部を基点として、ソース電極とドレイン電極とが互いに離反して配設される前記ソース電極およびドレイン電極とを備えることを特徴とする薄膜トランジスタである。

【0008】本発明に従えば、ソース電極とドレイン電極とは、ゲート電極部を基点として互いに離反して配設されており、ゲート絶縁膜は、基板の厚み方向一方から他方向きに向かう段部を含み、この段部に、ゲート電極部がサイドウォール状に付設されているので、トランジスタの特性に大きく寄与するゲート電極部の線幅は、実質的に、段部に沿ったゲート電極部の膜厚に、サイドウォール幅すなわち基板の長さ方向に沿ってゲート絶縁膜に当接するゲート電極部の幅寸法を加えた値となる。それ故、サイドウォール幅つまり基板の厚み方向からみたゲート電極部の線幅を、従来の薄膜トランジスタのゲート電極の線幅よりも微細化することが可能となる。したがって、ソース電極、ドレイン電極間の距離を、従来の薄膜トランジスタよりも短縮することができ、素子の移動速度を高めて、より高速かつ高性能な薄膜トランジスタを作製することができる。また、ゲート電極部の微細化が可能となることによって、基板の厚み方向からみたトランジスタサイズを従来のものよりも縮小することができ、画素の開口率を向上することができる。

【0009】また本発明は、基板に半導体膜を介して形成されるゲート絶縁膜であって、第1平坦部と、この第1平坦部に段部を介して連続してかつ略平行に配設される第2平坦部とを含むゲート絶縁膜と、段部にサイドウォール状に少なくとも付設されるゲート電極部と、第1および第2平坦部にそれぞれ設けられるソース電極およびドレイン電極とを有することを特徴とする薄膜トランジスタである。

【0010】本発明に従えば、ゲート絶縁膜は基板に半導体膜を介して形成され、ゲート絶縁膜は第1平坦部と段部と第2平坦部とを含んでいる。段部にはゲート電極部がサイドウォール状に付設され、第1および第2平坦部には、ソース電極およびドレイン電極がそれぞれ設けられるので、トランジスタの特性に大きく寄与するゲート電極部の線幅は、実質的に、段部に沿ったゲート電極部の膜厚に、サイドウォール幅すなわち基板の長さ方向に沿ってゲート絶縁膜に当接するゲート電極部の幅寸法を加えた値となる。それ故、サイドウォール幅つまり基板の厚み方向からみたゲート電極部の線幅を、従来の薄膜トランジスタのゲート電極の線幅よりも微細化することが可能となる。したがって、ソース電極、ドレイン電極間の距離を、従来の薄膜トランジスタよりも短縮することができ、素子の移動速度を高めて、より高速かつ高性能な薄膜トランジスタを作製することができる。ま

た、ゲート電極部の微細化が可能となることによって、基板の厚み方向からみたトランジスタサイズを従来のものよりも縮小することができ、画素の開口率を向上することができる。

【0011】また本発明は、ゲート電極部は、ドライエッチングによるエッチバックによって、段部にサイドウォール状に形成されることを特徴とする。

【0012】本発明に従えば、ドライエッチングによるエッチバックによって、段部に、ゲート電極部を所望のサイドウォール状に形成することができ、それ故、ゲート電極部の微細化を簡単に実現することができる。

【0013】また本発明は、基板に段差部分を形成する工程と、段差部分を跨ぐように基板に半導体領域を形成する工程と、基板に半導体膜を介して、かつ、段差部分の形状に沿った部分を少なくとも含んでゲート絶縁膜を形成する工程と、ゲート絶縁膜のうち、前記段差部分の形状に沿った部分にゲート電極部をサイドウォール状に形成する工程とを有することを特徴とする薄膜トランジスタの製造方法である。

【0014】本発明に従えば、薄膜トランジスタを製造する際には、基板に段差部分を形成し、基板に半導体膜を介して、かつ、段差部分の形状に沿った部分を少なくとも含んでゲート絶縁膜を形成する。その後、ゲート絶縁膜のうち、段差部分の形状に沿った部分にゲート電極部をサイドウォール状に形成するので、トランジスタの特性に大きく寄与するゲート電極部の線幅は、実質的に、段部に沿ったゲート電極部の膜厚に、サイドウォール幅すなわち基板の長さ方向に沿ってゲート絶縁膜に当接するゲート電極部の幅寸法を加えた値となる。それ故、サイドウォール幅つまり基板の厚み方向からみたゲート電極部の線幅を、従来の薄膜トランジスタのゲート電極の線幅よりも微細化することが可能となる。したがって、ソース電極、ドレイン電極間の距離を、従来の薄膜トランジスタよりも短縮することができ、素子の移動速度を高めて、より高速かつ高性能な薄膜トランジスタを作製することができる。また、ゲート電極部の微細化が可能となることによって、基板の厚み方向からみたトランジスタサイズを従来のものよりも縮小することができ、画素の開口率を向上することができる。

【0015】また本発明は、前記ゲート電極部を形成する工程において、ゲート電極部は、ドライエッチングによるエッチバックによって、段差部分の形状に沿った部分にサイドウォール状に形成されることを特徴とする。

【0016】本発明に従えば、ドライエッチングによるエッチバックによって、段差部分の形状に沿った部分に、ゲート電極をサイドウォール状に形成することができ、それ故、ゲート電極の微細化を簡単に実現することができる。

【0017】また本発明は、前記薄膜トランジスタを画素部または駆動回路部の少なくとも一方に用いる液晶表

示装置である。

【0018】本発明に従えば、高速化および高性能化を図り、表示品位を高くすることができる薄膜トランジスタを用いた液晶表示装置を実現することができる。

【0019】

【発明の実施の形態】図1は、本発明の実施形態に係る薄膜トランジスタ11の断面図（図3のA-A線断面図）であり、図2は、液晶表示装置10の概略斜視図であり、図3は、シングルゲート薄膜トランジスタ11の部分平面図である。液晶表示装置10は、薄膜トランジスタ11を能動素子とするアクティブマトリクス型カラー液晶表示パネルであり、テレビおよびビデオカメラ用のモニタあるいはノートパソコンのディスプレイとして好適に用いられるものである。液晶表示装置10は、絶縁性の薄膜トランジスタ基板12（以下、TFT基板12と呼ぶ）と、対向基板13と、図示外のシール材と、液晶とを備えている。TFT基板12および対向基板13は、シール材によって所定間隔を隔てて対向状に配設され、TFT基板12と対向基板13との間には、液晶が封入されている。各基板12、13はたとえば硼けい酸ガラスなどから矩形状に形成されている。

【0020】TFT基板12には、ゲート配線14とソース配線15とがマトリクス状に配設され、それらの交点付近部には、薄膜トランジスタ11および透明な画素電極16がそれぞれ接続されている。対向基板13には、共通電極17とカラーフィルター18とが配設されている。TFT基板12と対向基板13とを二枚の偏光板19、20で挟み白色光を入射させると、透過型の表示装置となる。カラーフィルター18は赤R、緑G、青Bの三原色から成り、各画素電極16に対応して配置される。

【0021】薄膜トランジスタ11（TFT：Thin Film Transistor）は、TFT基板12に半導体膜21を介して形成されたゲート絶縁膜22と、ゲート電極部23と、ソース電極24およびドレイン電極25とを有する。なお、図1には、TFT基板12の厚み方向一方が上方に、厚み方向他方が下方に示され、主走査方向および副走査方向の一方である画素電極16の並び方向一方が左方に、並び方向他方が右方に示される。図1におけるTFT基板12の上面部12aのうち左側約1/3部分には、後述する段部26を形成するためのベースコート膜としてたとえば二酸化シリコンなどの絶縁膜27が堆積されている。この絶縁膜27の上面部27aの大部分から右側面（段差部分ともいう）27b、TFT基板12の上面部12aのうち左右方向中央付近部および右半部にわたる部分には、半導体膜21であるポリシリコン膜が連続して積層されている。さらに、ポリシリコン膜全体と、その他の基板上部部12aおよび絶縁膜27の上面部27aとを覆うゲート絶縁膜22が形成されている。ゲート絶縁膜22としては、たとえば二酸化シ

リコンなどが適用されている。

【0022】ゲート絶縁膜22は、第1、第2、第3平坦部28、29、30と段部26とを含む。つまり、絶縁膜27上のポリシリコン膜および絶縁膜27上の左端部には、ゲート絶縁膜22のうち最も高段の第1平坦部28が形成され、この第1平坦部28の右端から、段差部分27bの形状に沿って直角かつ下方向きに所定小距離延びる段部26が形成されている。段部26の下端から右方に所定小距離延びる第2平坦部29が形成され、さらに、この第2平坦部29の右端に連続しかつ第2平坦部29よりもやや低段の第3平坦部30が形成されている。これら第1～第3平坦部28～30は略平行に配設されている。段部26およびこの段部26に連なる第2平坦部29の一端側部分には、ゲート電極部（サイドウォールともいう）23がサイドウォール状に形成されている。この際、薄膜トランジスタ11のゲート電極部23とゲート配線14とを電氣的に接続するため、ゲート配線14の一部が段部26の一部を覆うようにオーバーラップ部31を設けてレイアウトするようになっている（図3参照）。

【0023】半導体膜21には、第1平坦部28に略対応する位置にソース領域32が形成されるとともに、第2平坦部に略対応する位置にドレイン領域33が形成されている。これらゲート絶縁膜22およびゲート電極部23の上面部には、層間絶縁膜34が堆積されている。層間絶縁膜34において第1平坦部28に対応する位置には、ソース電極24が形成され、第2平坦部29に対応する位置には、ドレイン電極25が形成されている。ソース電極24とドレイン電極25とは、ソース配線15と透明な画素電極16とにそれぞれ電氣的に接続されている。また、ソース電極24とドレイン電極25とは、ゲート電極部23を基点として互いに離反して配設されている。

【0024】図4は、薄膜トランジスタ11の製造工程を段階的に示す断面図であり、図5は、薄膜トランジスタ11の製造工程のフローチャートである。ここで、Si（i=1, 2, 3, ...）はステップを示す。薄膜トランジスタ11を製造する際には、図4（a）および図5のステップ1に示すように、TFT基板12の上面部12aに、ベースコート膜としてたとえば二酸化シリコンなどの絶縁膜27を、化学気相成長法（CVD法：Chemical Vapor Deposition）またはスパッタ法によって約500nm堆積させる。なお、このベースコート膜の必要膜厚は、次工程で形成する段部26の大きさ、さらには後の工程で形成するゲート電極部23の幅Hなどのパラメータによって設計され決定される。次に、フォトリソグラフィによって段部26を形成する領域Sが開口されるようにレジストでパターンを形成し、ドライエッチングまたはウェットエッチングによって開口部の二酸化シリコンをエッチングして段差部分27bを形成する。

なお、図 4 (A) に示すように、TFT 基板 12A を直接エッチングする方法によって段差部分 35 を形成することも可能である。この場合には、絶縁膜 27 が不要となるので図 4 (a) の場合よりも部品点数を削減することができる。特に、絶縁膜を TFT 基板 12 の厚さ方向に積層するのではなく、基板自体を直接エッチングすることによって段差部分 35 を形成することができるので、薄膜トランジスタの基板の厚み方向の薄形化を図ることが可能となる。

【0025】次に図 4 (b) および図 5 のステップ 2, 3, 4 に示すように、たとえば熱による固相成長またはレーザ照射などの手法を用いて、段差部分 27b を跨ぐようにアモルファスシリコン膜を結晶化し、所望のポリシリコン膜 21 に変化させる。形成されたポリシリコン膜 21 はフォトリソグラフィとエッチングによってパターン形成される。この際、段差部分 27b の一部をゲート配線 14 の一部でもって覆うようにレイアウトする。所望のレイアウトとなるようにポリシリコン膜 21 をパターン形成した後、ゲート絶縁膜 22 としてたとえば二酸化シリコンなどを化学気相成長法またはスパッタ法によって約 100 nm 程度堆積させ、次にゲート電極部 23 であるゲート電極膜を約 500 nm 程度堆積する。ここで、ゲート電極膜 23 のパターンをフォトリソグラフィによって形成するが、配線となる領域のみをフォトリソグラフィで形成する。

【0026】ここで、図 6 は、ダブルゲート薄膜トランジスタ 11A の部分平面図である。ただし、図 2 と同一の部材には同一の符号を付し、その説明は適宜省略する。前記配線となる領域を形成する際、図 2、図 6 に示すように、薄膜トランジスタ 11, 11A とゲート配線 14 とを電気的に接続するため、ゲート配線 14 の一部が段部 26, 26A の一部を覆うようにオーバーラップ部 31, 31A を設けてレイアウトする。この状態でドライエッチングによるエッチバックによって、ゲート配線 14 を形成するとともに、段部 26 の側壁に膜残りが生じ、所望のサイドウォール状に形成される。このゲート電極膜 23 つまりサイドウォール 23 を形成する際には、段部 26 のテーパ度、ゲート絶縁膜 22 のカバレッジ、ゲート電極膜 22 のドライエッチングの条件などのパラメータの組合わせによって、所望のサイドウォール形状が得られるように適宜調整し、決定する。その後、図 4 (c) に示すように、イオンドーピング法などによってポリシリコン膜 21 に高濃度の不純物を注入して、ソース領域 32 とドレイン領域 33 とを形成し、層間絶縁膜 34 を堆積する。次に、コンタクトホール 34a, 34b を形成し、ソース電極 24 およびドレイン電極 25 をそれぞれ形成する。

【0027】以上説明した薄膜トランジスタ 11 (11A) の製造方法を用いると、形成されたサイドウォール 23 の膜厚 T と幅 H との合計値 $T + H$ が実質的なゲート

線幅として薄膜トランジスタ 11 (11A) を動作させるため、たとえばサイドウォール 23 の膜厚 T が $0.5 \mu\text{m}$ 、幅 H が $0.2 \mu\text{m}$ に形成されれば、実質的なゲート線幅は、 $0.5 \mu\text{m}$ に $0.2 \mu\text{m}$ を加えた $0.7 \mu\text{m}$ となり、前記従来のフォトリソグラフィで形成し得る最小線幅 $1.5 \mu\text{m}$ の半分以上の微細なゲート線幅の薄膜トランジスタ 11 (11A) を製造することが可能となる。したがって、ソース電極 24、ドレイン電極 25 間の距離を、従来の薄膜トランジスタよりも短縮することができ、素子の移動速度を高めて、より高速かつ高性能な薄膜トランジスタを作製することができる。

【0028】以上説明した薄膜トランジスタ 11 (11A) によれば、ソース電極 24 とドレイン電極 25 とは、ゲート電極部 23 を基点して互いに離反して配設されており、ゲート絶縁膜 22 は、TFT 基板 12 の厚み方向一方から他方向きに向かう段部 26 を含み、この段部 26 に、ゲート電極部 23 がサイドウォール状に付設されているので、トランジスタの特性に大きく寄与するゲート電極部 23 の線幅は、実質的に、段部 26 に沿ったゲート電極部 23 の膜厚 T に、サイドウォール幅すなわち TFT 基板 12 の長さ方向に沿ったゲート電極部 23 の幅寸法 H を加えた値となる。それ故、サイドウォール幅つまり TFT 基板 12 の厚み方向からみたゲート電極部 23 の線幅を、従来の薄膜トランジスタのゲート電極の線幅よりも微細化することが可能となる。したがって、ソース電極 24、ドレイン電極 25 間の距離を、従来の薄膜トランジスタよりも短縮することができ、素子の移動速度を高めて、より高速かつ高性能な薄膜トランジスタを作製することができる。また、ゲート電極部 23 の微細化が可能となることによって、TFT 基板 12 の厚み方向からみたトランジスタサイズを従来のものより縮小することができ、画素の開口率を向上することができる。それ故、従来のものよりも高精細で明るい液晶ディスプレイを実現することができる。また、ドライエッチングによるエッチバックによって、段部 26 に、ゲート電極部 23 を所望のサイドウォール状に形成することができ、それ故、ゲート電極部 23 の微細化を簡単に実現することができる。また、高速化および高性能化を図り、表示品位を高くすることができる薄膜トランジスタ 11 (11A) を用いた液晶表示装置を実現することができる。

【0029】本発明の実施の他の形態として、液晶表示装置を、モニタまたはノートパソコン用のディスプレイ以外の種々の家電製品のディスプレイに用いることができる。第 1 平坦部に対して第 2 平坦部を高段側に配置して、これら第 1 および第 2 平坦部の境界部分に形成される段部にゲート電極をサイドウォール状に付設することも可能である。この場合にもトランジスタの高速化、高性能化およびトランジスタの縮小化による開口率の向上を実現することができる。段部を、第 1 および第 2 平坦

部に対して段階的に変化する複数の段部分を含む形状にすることも可能である。また、第1および第2平坦部に対して段部をテーパ状に形成してもよい。実質的なゲート線幅は、必ずしも0.7 μmに限定されるものではない。その他、前記実施形態に、特許請求の範囲を逸脱しない範囲において種々の部分的変更を行う場合もある。

【0030】

【発明の効果】以上のように本発明によれば、ソース電極とドレイン電極とは、ゲート電極部を基点として互いに離反して配設されており、ゲート絶縁膜は、基板の厚み方向一方から他方向きに向かう段部を含み、この段部に、ゲート電極部がサイドウォール状に付設されているので、トランジスタの特性に大きく寄与するゲート電極部の線幅は、実質的に、段部に沿ったゲート電極部の膜厚に、サイドウォール幅すなわち基板の長さ方向に沿ったゲート電極部の幅寸法を加えた値となる。それ故、サイドウォール幅つまり基板の厚み方向からみたゲート電極部の線幅を、従来の薄膜トランジスタのゲート電極の線幅よりも微細化することが可能となる。したがって、ソース電極、ドレイン電極間の距離を、従来の薄膜トランジスタよりも短縮することができ、素子の移動速度を高めて、より高速かつ高性能な薄膜トランジスタを作製することができる。また、ゲート電極部の微細化が可能となることによって、基板の厚み方向からみたトランジスタサイズを従来のものよりも縮小することができ、画素の開口率を向上することができる。それ故、たとえば従来のものよりも高精細で明るい液晶ディスプレイを実現することが可能となる。

【0031】また本発明によれば、ゲート絶縁膜は基板に半導体膜を介して形成され、ゲート絶縁膜は第1平坦部と段部と第2平坦部とを含んでいる。段部にはゲート電極部がサイドウォール状に付設され、第1および第2平坦部には、ソース電極およびドレイン電極がそれぞれ設けられるので、トランジスタの特性に大きく寄与するゲート電極部の線幅は、実質的に、段部に沿ったゲート電極部の膜厚に、サイドウォール幅すなわち基板の長さ方向に沿ってゲート絶縁膜に当接するゲート電極部の幅寸法を加えた値となる。それ故、サイドウォール幅つまり基板の厚み方向からみたゲート電極部の線幅を、従来の薄膜トランジスタのゲート電極の線幅よりも微細化することが可能となる。したがって、ソース電極、ドレイン電極間の距離を、従来の薄膜トランジスタよりも短縮することができ、素子の移動速度を高めて、より高速かつ高性能な薄膜トランジスタを作製することができる。また、ゲート電極部の微細化が可能となることによって、基板の厚み方向からみたトランジスタサイズを従来のものよりも縮小することができ、画素の開口率を向上することができる。それ故、たとえば従来のものよりも高精細で明るい液晶ディスプレイを実現することが可能となる。

*【0032】また本発明によれば、ドライエッチングによるエッチバックによって、段部に、ゲート電極部を所望のサイドウォール状に形成することができ、それ故、ゲート電極部の微細化を簡単に実現することができる。

【0033】また本発明によれば、薄膜トランジスタを製造する際には、基板に段差部分を形成し、基板に半導体膜を介して、かつ、段差部分の形状に沿った部分を少なくともも含んでゲート絶縁膜を形成する。その後、ゲート絶縁膜のうち、段差部分の形状に沿った部分にゲート電極部をサイドウォール状に形成するので、トランジスタの特性に大きく寄与するゲート電極部の線幅は、実質的に、段部に沿ったゲート電極部の膜厚に、サイドウォール幅すなわち基板の長さ方向に沿ってゲート絶縁膜に当接するゲート電極部の幅寸法を加えた値となる。それ故、サイドウォール幅つまり基板の厚み方向からみたゲート電極部の線幅を、従来の薄膜トランジスタのゲート電極の線幅よりも微細化することが可能となる。したがって、ソース電極、ドレイン電極間の距離を、従来の薄膜トランジスタよりも短縮することができ、素子の移動速度を高めて、より高速かつ高性能な薄膜トランジスタを作製することができる。また、ゲート電極部の微細化が可能となることによって、基板の厚み方向からみたトランジスタサイズを従来のものよりも縮小することができ、画素の開口率を向上することができる。それ故、たとえば、従来のものよりも高精細で明るい液晶ディスプレイを実現することができる。

【0034】また本発明によれば、ドライエッチングによるエッチバックによって、段差部分の形状に沿った部分に、ゲート電極をサイドウォール状に形成することができ、それ故、ゲート電極の微細化を簡単に実現することができる。

【0035】また本発明によれば、高速化および高性能化を図り、表示品位を高くすることができる薄膜トランジスタを用いた液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る薄膜トランジスタの断面図である。

【図2】液晶表示装置の概略斜視図である。

【図3】シングルゲート薄膜トランジスタの部分平面図である。

【図4】薄膜トランジスタの製造工程を段階的に示す断面図である。

【図5】薄膜トランジスタの製造工程のフローチャートである。

【図6】ダブルゲート薄膜トランジスタの部分平面図である。

【図7】従来の薄膜トランジスタの製造工程を段階的に示す断面図である。

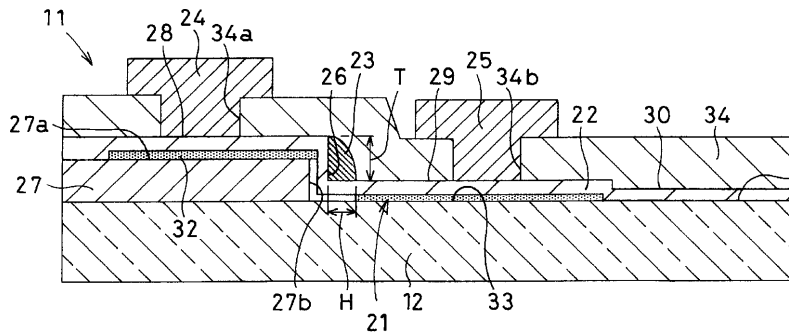
【符号の説明】

11 薄膜トランジスタ
 12 TFT基板
 16 画素電極
 21 半導体膜
 22 ゲート絶縁膜
 23 ゲート電極部

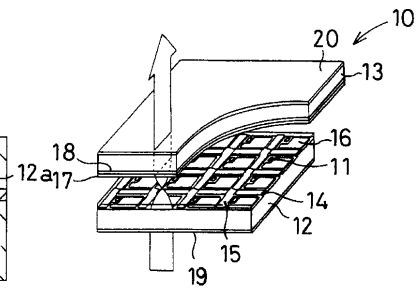
* 24 ソース電極
 25 ドレイン電極
 26 段部
 28 第1平坦部
 29 第2平坦部

*

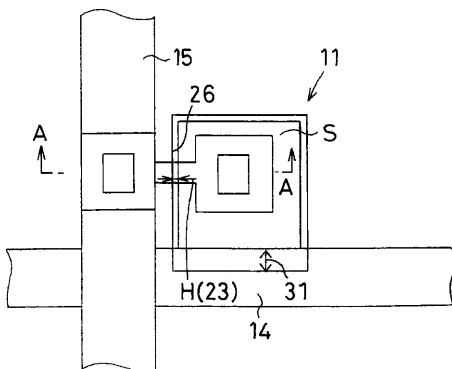
【図1】



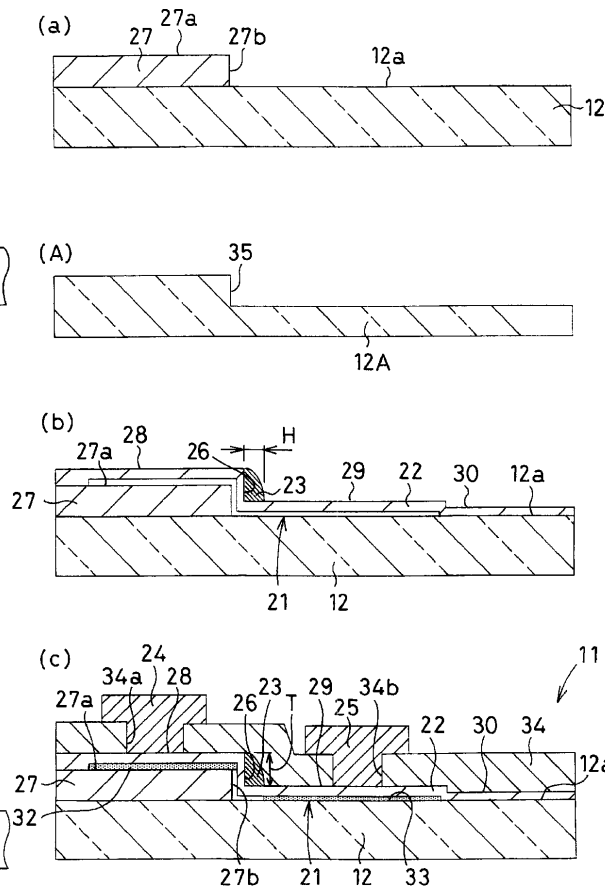
【図2】



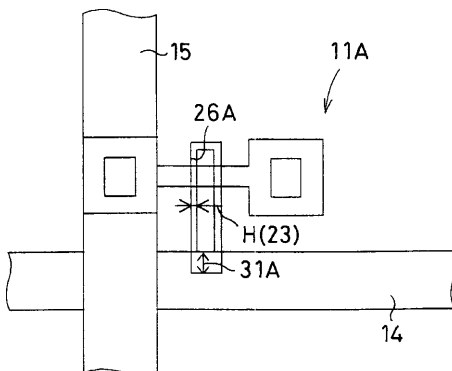
【図3】



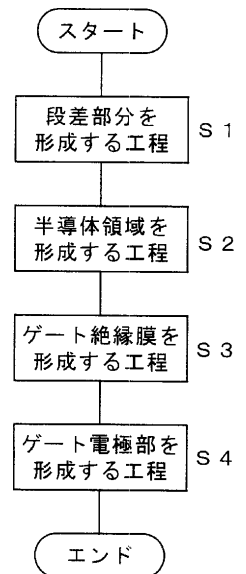
【図4】



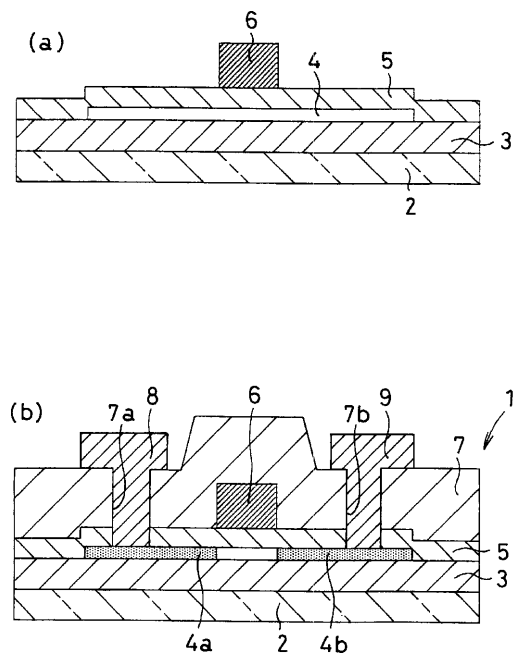
【図6】



【図5】



【図 7】



 フロントページの続き

F ターム(参考) 2H092 JA25 JA34 JA38 JB22 JB31
 KA04 KA12 MA13 MA18 NA07
 NA22 NA29
 5F110 AA01 AA04 BB02 CC02 CC09
 CC10 DD13 DD21 EE22 EE28
 FF02 FF12 FF28 FF29 GG02
 GG13 GG22 HJ12 HM02 HM12
 HM13 NN02 NN72 PP01 PP03

