

(19)日本国特許庁 ( J P )

(12) 公開特許公報 ( A ) (11)特許出願公開番号

特開2003 - 282441

(P2003 - 282441A)

(43)公開日 平成15年10月3日(2003.10.3)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-コ-ド ( 参考 )
H 0 1 L 21/20		H 0 1 L 21/20	2 H 0 9 2
G 0 2 F 1/1368		G 0 2 F 1/1368	5 F 0 5 2
H 0 1 L 21/336		H 0 1 L 29/78	5 F 1 1 0
29/786		627 G	
		612 B	

審査請求 未請求 請求項の数 25 O L ( 全 14数 )

(21)出願番号 特願2003 - 56372(P2003 - 56372)

(22)出願日 平成15年3月3日(2003.3.3)

(31)優先権主張番号 10/096,293

(32)優先日 平成14年3月11日(2002.3.11)

(33)優先権主張国 米国(US)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 アポストロス ポートサス

アメリカ合衆国 ワシントン 98664, バ

ンクーバー, エスイー 18ティーエイチ

ストリート 10909

(72)発明者 三谷 康弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100078282

弁理士 山本 秀策 ( 外 2 名 )

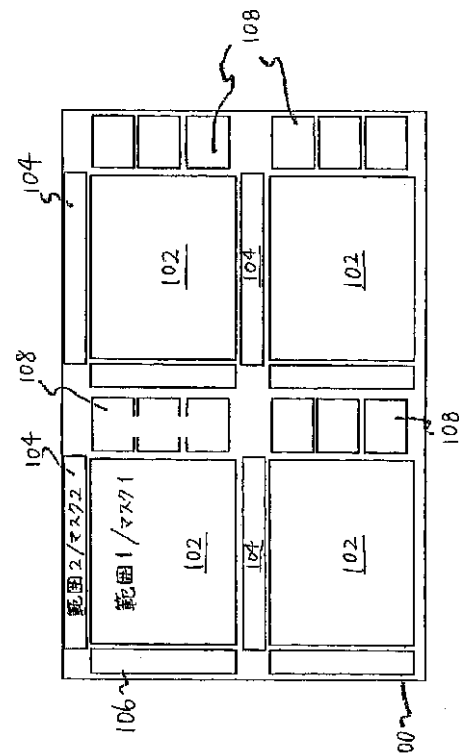
最終頁に続く

(54)【発明の名称】 半導体結晶層の製造方法および半導体基板、液晶ディスプレイパネル

(57)【要約】

【課題】 複数の結晶特性を有する半導体結晶層の製造方法および半導体基板、液晶ディスプレイパネルを提供すること

【解決手段】 複数の結晶特性を有する半導体結晶層の製造方法は、第1のパターンを有する第1のマスクを通してレーザービームを半導体基板の第1の領域に照射することにより該第1の領域をアニーリングする工程と、第1の領域のアニーリング工程により、第1の領域の半導体層において、第1の結晶状態に成長させる工程と、第2のパターンを有する第2のマスクを通してレーザービームを該半導体基板の第2の領域に照射することにより第2の領域をアニーリングする工程と、第2の領域のアニーリング工程により、第2の領域の半導体層において、第1の結晶状態とは異なる第2の結晶状態に成長させる工程とを包含する。



## 【特許請求の範囲】

【請求項1】 複数の結晶特性を有する半導体結晶層の製造方法であって、

第1のパターンを有する第1のマスクを通してレーザービームを半導体基板の第1の領域に照射することにより該第1の領域をアニーリングする工程と、

該第1の領域のアニーリング工程により、該第1の領域の半導体層において、第1の結晶状態に成長させる工程と、

第2のパターンを有する第2のマスクを通して該レーザービームを該半導体基板の第2の領域に照射することにより該第2の領域をアニーリングする工程と、

該第2の領域のアニーリング工程により、該第2の領域の半導体層において、該第1の結晶状態とは異なる第2の結晶状態に成長させる工程とを包含する半導体結晶層の製造方法。

【請求項2】 前記第1の領域をアニーリングする工程の前に、前記第1のマスクパターンを有する第1のマスクを選択する工程をさらに有し、前記第1の領域をアニーリングする工程の前に、前記第2のマスクパターンを有する第2のマスクを選択する工程をさらに有する、請求項1に記載の半導体結晶層の製造方法。

【請求項3】 前記第1の領域の半導体層において、前記第1の結晶状態に成長させる工程は、隣接する結晶ドメインの間に第1の格子不整合部を有する結晶化材料を作製する工程を含み、

第2の領域の前記半導体層において、前記第2の結晶状態に成長させる工程は、隣接する結晶ドメインの間に、該第1の格子不整合部より小さい第2の格子不整合部を有する結晶化材料を作製する工程を含む、請求項1または2に記載の半導体結晶層の製造方法。

【請求項4】 前記隣接する結晶ドメインの間に第1の格子不整合部を有する結晶化材料を作製する工程は、一領域当たりの第1の数の高傾角粒界を形成する工程を含み、

前記隣接する結晶ドメインの間に該第1の格子不整合部より小さい第2の格子不整合部を有する結晶化材料を作製する工程は、一領域当たりの第1の数の高傾角粒界を形成する工程を含む、請求項3に記載の半導体結晶層の製造方法。

【請求項5】 前記一領域当たりの第1の数の高傾角粒界を形成する工程は、結晶格子不整合角度が15度～90度の範囲内である、一領域当たりの第1の数の高傾角粒界を形成する工程を含み、

前記一領域当たりの第2の数の高傾角粒界を形成する工程は、結晶格子不整合角度が15度～90度の範囲内である、該一領域当たりの第1の数の高傾角粒界を形成する工程を含む、請求項4に記載の半導体結晶層の製造方法。

【請求項6】 前記一領域当たりの第1の数の高傾角粒

界を形成する工程は、第1の距離分隔てられている、隣接する高傾角粒界を形成する工程を含み、

前記一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を形成する工程は、該第1の距離より長い第2の距離分隔てられている隣接する高傾角粒界を形成する工程を含む、請求項4に記載の半導体結晶層の製造方法。

【請求項7】 前記第2の領域にチャンネル範囲を含む少なくとも一つのトランジスタを形成する工程と、

前記第1の領域にチャンネル範囲を含む少なくとも一つのトランジスタを形成する工程とをさらに包含する、請求項6に記載の半導体結晶層の製造方法。

【請求項8】 前記第2の領域にチャンネル範囲を含む少なくとも一つのトランジスタを形成する工程は、隣接する高傾角粒界の間に、前記第2の距離以下の長さのトランジスタチャンネル範囲を完全に形成する工程を含む、請求項7に記載の半導体結晶層の製造方法。

【請求項9】 前記第1の領域にチャンネル範囲を含む少なくとも一つのトランジスタを形成する工程は、少なくとも一つの高傾角粒界を含み、前記第1の距離より長い長さのトランジスタチャンネル範囲を形成する工程を含む、請求項8に記載の半導体結晶層の製造方法。

【請求項10】 複数のマスクを選択する工程と、前記レーザービームを各マスクを通して照射し、前記半導体基板の対応する領域をアニーリングする工程と、前記半導体層の各領域において、特定の結晶状態に成長させる工程とをさらに包含する、請求項1に記載の半導体結晶層の製造方法。

【請求項11】 前記レーザービームを前記第1のマスクを通して照射し、前記半導体基板の第1の領域をアニーリングする工程は、該第1のマスクを用いて、半導体層の複数の隣接しない範囲をレーザーアニーリングする工程を含み、

該レーザービームを前記第2のマスクを通して照射し、該半導体基板の第2の領域をアニーリングする工程は、該第2のマスクを用いて、該半導体層の複数の隣接しない範囲をレーザーアニーリングする工程を含む、請求項1に記載の半導体結晶層の製造方法。

【請求項12】 前記第1のマスクを用いて、前記半導体層の複数の隣接しない範囲をレーザーアニーリングする工程は、

各第1の領域範囲を、前記照射されたレーザービームに連続的に曝す工程と、

該各第1の領域範囲の隣接しない範囲を、連続的にアニーリングする工程とを含む、請求項11に記載の半導体結晶層の製造方法。

【請求項13】 前記半導体層にわたって、隣接する範囲の順序を確立する工程と、

前記レーザービームと、該確立された順序で該半導体層とをアラインメントさせる工程とをさらに包含し、

前記第 1 のマスクを用いて、前記半導体層の複数の隣接しない範囲をレーザーアニーリングする工程は、該レーザービームが第 1 の領域範囲とアラインメントされる場合、該第 1 のマスクを通して該レーザービームを照射する工程を含み、

前記第 2 のマスクを用いて、該半導体層の複数の隣接しない範囲をレーザーアニーリングする工程は、該レーザービームが第 2 の領域範囲とアラインメントされる場合、該第 2 のマスクを通して該レーザービームを照射する工程を含む、請求項 1 1 に記載の半導体結晶層の製造方法。

【請求項 1 4】 隣接する結晶ドメインの間に第 1 の格子不整合部を有する結晶化材料を含む半導体層を有する第 1 の領域と、

隣接する結晶ドメインの間に該第 1 の格子不整合部より小さい第 2 の格子不整合部を有する結晶化材料を含む半導体層を有する第 2 の領域と、  
を含む結晶特性を有する半導体基板。

【請求項 1 5】 結晶化材料を含む半導体層を有する複数の領域をさらに含み、各領域は、隣接する結晶ドメインの間にある程度の度合いの格子不整合部を有する、請求項 1 4 に記載の結晶特性を有する半導体基板。

【請求項 1 6】 前記第 1 の領域は、一領域当たりの第 1 の数の高傾角粒界を含み、

前記第 2 の領域は、該一領域当たりの第 1 の数より少ない、一領域当たりの第 2 の数の高傾角粒界を含む、請求項 1 4 に記載の結晶特性を有する半導体基板。

【請求項 1 7】 前記第 1 の領域は、結晶格子不整合角度が 15 度～90 度の範囲内である、一領域当たりの第 1 の数の高傾角粒界を含み、

前記第 2 の領域は、結晶格子不整合角度が 15 度～90 度の範囲内である、該一領域当たりの第 1 の数より少ない、一領域当たりの第 2 の数の高傾角粒界を含む、請求項 1 6 に記載の結晶特性を有する半導体基板。

【請求項 1 8】 前記第 1 の領域は、第 1 の距離分隔てられている、隣接する高傾角粒界を含み、

前記第 2 の領域は、該第 1 の距離より長い第 2 の距離分隔てられている、隣接する高傾角粒界を含む、請求項 1 6 に記載の結晶特性を有する半導体基板。

【請求項 1 9】 前記第 2 の領域に形成されたチャンネル範囲を含む少なくとも一つのトランジスタと、

前記第 1 の領域に形成されたチャンネル範囲を含む少なくとも一つのトランジスタと、をさらに含む、請求項 1 8 に記載の結晶特性を有する半導体基板。

【請求項 2 0】 前記第 2 の領域トランジスタチャンネル範囲の長さが、第 2 の距離以下であり、隣接する高傾角粒界の間に完全に形成される、請求項 1 9 に記載の結晶特性を有する半導体基板。

【請求項 2 1】 前記第 1 の領域トランジスタチャンネル範囲の長さが、第 1 の距離より長く、少なくとも一つの

\*高傾角粒界を含む、請求項 2 0 に記載の結晶特性を有する半導体基板。

【請求項 2 2】 前記半導体層はシリコンである、請求項 1 4 に記載の結晶特性を有する半導体基板。

【請求項 2 3】 複数の結晶特性のトランジスタを含む多結晶シリコン結晶特性を有する半導体基板であって、少なくとも一つのトランジスタが、少なくとも一つの高傾角粒界を含む、高傾角粒界の間の距離よりも長い長さのチャンネル範囲を有する、第 1 の領域と、

少なくとも一つのトランジスタが、隣接する高傾角粒界の間に完全に形成された、高傾角粒界の間の距離以下の長さのチャンネル範囲を有する、第 2 の領域とを含む多結晶シリコン結晶特性を有する半導体基板。

【請求項 2 4】 半導体結晶層を有する基板を用いて製造された液晶ディスプレイ (LCD) パネルであって、隣接する結晶ドメインの間に第 1 の格子不整合部を有する結晶化材料を含む第 1 の領域と、

隣接する結晶ドメインの間に該第 1 の格子不整合部より小さい第 2 の格子不整合部を有する結晶化材料を含む第 2 の領域とを含む液晶ディスプレイパネル。

【請求項 2 5】 半導体結晶層を有する基板を用いて製造された液晶ディスプレイ (LCD) パネルであって、隣接する結晶ドメインの間に、第 1 の格子不整合部を有する結晶化材料を含むピクセルアレイ基板領域と、

隣接する結晶ドメインの間に、該第 1 の格子不整合部より小さい第 2 の格子不整合部を有する結晶化材料を含むカラムドライバ基板領域と、

隣接する結晶ドメインの間に、該第 1 の格子不整合部より小さい第 3 の格子不整合部を有する結晶化材料を含む

ロウドライバ基板領域と、隣接する結晶ドメインの間に、該第 2 および第 3 の格子不整合部より小さい第 4 の格子不整合部を有する結晶化材料を含むオンボードメモリ基板領域とを含む液晶ディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、概して、半導体結晶層の製造方法、より具体的には、レーザーアニーリングプロセスを用いて、対応する複数のマスクによって、異なる結晶特性の複数の領域を有する半導体結晶層の製造方法およびその半導体結晶層を持つ半導体基板、さらにはその半導体結晶層を用いた液晶ディスプレイ (LCD) パネルに関する。

【0002】

【従来の技術】多結晶シリコン (ポリ Si) 材料が、アクティブマトリクス (AM) 基板のポリ Si 薄膜トランジスタ (TFT) のアクティブ層として用いられる。このような基板は、AM 液晶ディスプレイを製造するために用いられてもよいし、例えば、有機発光ダイオード (OLED) などの他のディスプレイ技術と組み合わせ

られてもよい。

【0003】ポリSi材料は、典型的には、初期に堆積されたアモルファスSi(a-Si)層の結晶化によって形成される。このプロセスは、固相結晶化(SPC)、すなわち、a-Si層を、炉の中で、適切な温度で、充分長い時間アニーリングすることによって達成され得る。あるいは、レーザーアニーリングが、相転移を達成するために用いられてもよい。

【0004】従来、全ての結晶化技術が、基板領域を通じて均一な特性のポリSi層を生産するように、所定の基板上に適用される。すなわち、基板領域上には、空間的な特性の違いがない。この最終結果が得られる理由のうち最も重要な理由は、現行の方法では、このような特性の差異化を達成することが不可能なことである。例えば、a-Si層が、炉の中で、または、高速熱アニーリングによってアニーリングされる場合、全ての層が同じ温度に曝され、同じ特性のポリSi材料が得られる。従来のレーザーアニーリングの場合、多少の差異化があり得るが、スループットの損失の点から、余り高くない性能利得の場合でも、価格が非常に高い。従って、従来のレーザーアニーリングについても、このような特性の差異化は、実際には、容易でない。

【0005】最近、技術が適用される方法における自由度および得られる層微細構造における自由度を非常に高くすることが可能な新たなレーザーアニーリング技術が開発されている。この技術は、非常に細いレーザービームを用いる、Si粒子の横方向成長に依存する。Si粒子の横方向成長は、レーザービームをビーム形成マスクを通して通過させ、マスクのイメージをアニーリングされている層に照射することによって生成される。この方法は、レーザー誘導横方向成長(LILA)と呼ばれる。

【0006】図1に、LC-ELAアニーリングプロセス(従来技術)における工程を示す。工程1に示すように、最初に、アモルファスシリコン層を、適切なマスクによって、狭い「ビームレット」のレイに形成されたレーザービームで照射する。ビームレットの形は、変動し得る。工程1~4で、各ビームレットは、幅が狭い、約3~5ミクロン( $\mu\text{m}$ )の直線のスリットとして形成される。図において、このスリットは、2本の太線で表される。スリットの幅は、この2本の線の間の距離である。この幅は、変動し得るが、最終的には、達成可能な横方向成長の長さ(LGL)、すなわち、照射された領域の端から、結晶が横方向に(内側に)成長し得る距離として定義される長さに依存する。典型的には、ビームレットの幅は、対応するLGLの二分の一の長さよりわずかに短くなるように設計される。

【0007】図1の一連の工程は、LC-ELAプロセスによる、長いポリシリコン粒子の成長を表す。照射繰り返しアプローチが用いられる。レーザービームレット

幅(2本の平行な太い黒線によって示される)は、層を照射し、横方向成長の長さ(L)の半分より短い距離(d)(すなわち、 $d < L/2$ )移動する。この照射繰り返しプロセスを用いることによって、結晶粒子を、初期照射の点から、照射工程が停止する点まで、連続的に成長させることが可能である。Lは、層の厚さと基板の温度との組合せに依存する。例えば、典型的なLの値は、50ナノメートル(nm)の厚さの層で、室温の場合、約1.2ミクロン( $\mu\text{m}$ )である。各工程で、粒子は、以前の工程で形成された多結晶シリコン(ポリSi)材料の結晶種から横方向に成長することが可能である。

【0008】図2は、従来の光学系マスク(従来技術)の平面図である。上記のプロセスは、ゾーンメルティング結晶化(ZMR)法または他の類似のプロセスにおける、結晶の横方向の「引っ張り」と等しい。結果として、結晶は、「引っ張り」方向、すなわち、ビームレットが進む方向(図1に矢印で示す)に沿って、非常に高い特性を達成する傾向がある。このプロセスは、(マスク上の各スリットから)並行して行われ、基板上へのマスクの照射によって覆われる領域の高速の結晶化を可能にする。この領域が結晶化された後、基板は、新たな(アニーリングされていない)位置に移動して、プロセスが繰り返される。

【0009】図3は、上記の光照射および照射繰り返しプロセス(従来技術)を用いるシステムの図である。レーザー照射の照射繰り返し局面に起因して、基板を均一に処理する炉によるプロセスとは反対に、LILAプロセスは、形成されるポリSi材料の特性の意図的な空間的ばらつきの可能性を有する。このような意図的なばらつきは、複数の部品が、LCDディスプレイに集積されており、各部品が、異なる規格および材料性能要件を有する用途において有用である。

【0010】基板の異なる領域が、基板領域の機能に適合するように異なる特性規格に対して形成されることは、有用である。

【0011】基板全体が、基板のある特定領域のより厳しい特性要件を満たすためにアニーリングされる必要がないことは、有用である。

【0012】照射繰り返しレーザーアニーリングプロセスが、基板の異なる領域を、必要に応じて、異なるレベルの特性にアニーリングするために用いられ得ることは、有用である。

【0013】

【発明が解決しようとする課題】本発明の目的は、TFTなどの素子形成において用いられるシリコン基板に適した複数の結晶材料を含む半導体結晶層の製造方法、それを有する半導体基板、さらにこの半導体基板を用いたLCDパネルを提供することである。なお、この半導体結晶層は、複数の領域を有しており、各領域は、隣接す

る結晶ドメイン間に、異なる格子不整合部を有する。

【0014】

【課題を解決するための手段】本発明による半導体結晶層の製造方法は、複数の結晶特性を有する半導体結晶層の製造方法であって、第1のパターンを有する第1のマスクを通してレーザービームを半導体基板の第1の領域に照射することにより該第1の領域をアニーリングする工程と、該第1の領域のアニーリング工程により、該第1の領域の半導体層において、第1の結晶状態に成長させる工程と、第2のパターンを有する第2のマスクを通して該レーザービームを該半導体基板の第2の領域に照射することにより該第2の領域をアニーリングする工程と、該第2の領域のアニーリング工程により、該第2の領域の半導体層において、該第1の結晶状態とは異なる第2の結晶状態に成長させる工程とを包含し、それにより上記目的が達成される。

【0015】前記第1の領域をアニーリングする工程の前に、前記第1のマスクパターンを有する第1のマスクを選択する工程をさらに有し、前記第1の領域をアニーリングする工程の前に、前記第2のマスクパターンを有する第2のマスクを選択する工程をさらに有してもよい。

【0016】前記第1の領域の半導体層において、前記第1の結晶状態に成長させる工程は、隣接する結晶ドメインの間に第1の格子不整合部を有する結晶化材料を作製する工程を含み、第2の領域の前記半導体層において、前記第2の結晶状態に成長させる工程は、隣接する結晶ドメインの間に、該第1の格子不整合部より小さい第2の格子不整合部を有する結晶化材料を作製する工程を含んでもよい。

【0017】前記隣接する結晶ドメインの間に第1の格子不整合部を有する結晶化材料を作製する工程は、一領域当たりの第1の数の高傾角粒界を形成する工程を含み、前記隣接する結晶ドメインの間に該第1の格子不整合部より小さい第2の格子不整合部を有する結晶化材料を作製する工程は、一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を形成する工程を含んでもよい。

【0018】前記一領域当たりの第1の数の高傾角粒界を形成する工程は、結晶格子不整合角度が15度～90度の範囲内である、一領域当たりの第1の数の高傾角粒界を形成する工程を含み、前記一領域当たりの第2の数の高傾角粒界を形成する工程は、結晶格子不整合角度が15度～90度の範囲内である、該一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を形成する工程を含んでもよい。

【0019】前記一領域当たりの第1の数の高傾角粒界を形成する工程は、第1の距離分隔てられている、隣接する高傾角粒界を形成する工程を含み、前記一領域当たりの第1の数より少ない、一領域当たりの第2の数の高

傾角粒界を形成する工程は、該第1の距離より長い第2の距離分隔てられている隣接する高傾角粒界を形成する工程を含んでもよい。

【0020】前記第2の領域にチャンネル範囲を含む少なくとも一つのトランジスタを形成する工程と、前記第1の領域にチャンネル範囲を含む少なくとも一つのトランジスタを形成する工程とをさらに包含してもよい。

【0021】前記第2の領域にチャンネル範囲を含む少なくとも一つのトランジスタを形成する工程は、隣接する高傾角粒界の間に、前記第2の距離以下の長さのトランジスタチャンネル範囲を完全に形成する工程を含んでもよい。

【0022】前記第1の領域にチャンネル範囲を含む少なくとも一つのトランジスタを形成する工程は、少なくとも一つの高傾角粒界を含み、前記第1の距離より長い長さのトランジスタチャンネル範囲を形成する工程を含んでもよい。

【0023】複数のマスクを選択する工程と、前記レーザービームを各マスクを通して照射し、前記半導体基板の対応する領域をアニーリングする工程と、前記半導体層の各領域において、特定の結晶状態に成長させる工程とをさらに包含してもよい。

【0024】前記レーザービームを前記第1のマスクを通して照射し、前記半導体基板の第1の領域をアニーリングする工程は、該第1のマスクを用いて、半導体層の複数の隣接しない範囲をレーザーアニーリングする工程を含み、該レーザービームを前記第2のマスクを通して照射し、該半導体基板の第2の領域をアニーリングする工程は、該第2のマスクを用いて、該半導体層の複数の隣接しない範囲をレーザーアニーリングする工程を含んでもよい。

【0025】前記第1のマスクを用いて、前記半導体層の複数の隣接しない範囲をレーザーアニーリングする工程は、各第1の領域範囲を、前記照射されたレーザービームに連続的に曝す工程と、該各第1の領域範囲の隣接しない範囲を、連続的にアニーリングする工程とを含んでもよい。

【0026】前記半導体層にわたって、隣接する範囲の順序を確立する工程と、前記レーザービームと、該確立された順序で該半導体層とをアラインメントさせる工程とをさらに包含し、前記第1のマスクを用いて、前記半導体層の複数の隣接しない範囲をレーザーアニーリングする工程は、該レーザービームが第1の領域範囲とアラインメントされる場合、該第1のマスクを通して該レーザービームを照射する工程を含み、前記第2のマスクを用いて、該半導体層の複数の隣接しない範囲をレーザーアニーリングする工程は、該レーザービームが第2の領域範囲とアラインメントされる場合、該第2のマスクを通して該レーザービームを照射する工程を含んでもよい。

【0027】本発明による結晶特性を有する半導体基板は、隣接する結晶ドメインの間に第1の格子不整合部を有する結晶化材料を含む半導体層を有する第1の領域と、隣接する結晶ドメインの間に該第1の格子不整合部より小さい第2の格子不整合部を有する結晶化材料を含む半導体層を有する第2の領域とを含み、それにより上記目的が達成される。

【0028】結晶化材料を含む半導体層を有する複数の領域をさらに含み、各領域は、隣接する結晶ドメインの間にある程度の度合いの格子不整合部を有してもよい。

【0029】前記第1の領域は、一領域当たりの第1の数の高傾角粒界を含み、前記第2の領域は、該一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を含んでもよい。

【0030】前記第1の領域は、結晶格子不整合角度が15度～90度の範囲内である、一領域当たりの第1の数の高傾角粒界を含み、前記第2の領域は、結晶格子不整合角度が15度～90度の範囲内である、該一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を含んでもよい。

【0031】前記第1の領域は、第1の距離分隔られている、隣接する高傾角粒界を含み、前記第2の領域は、該第1の距離より長い第2の距離分隔されている、隣接する高傾角粒界を含んでもよい。

【0032】前記第2の領域に形成されたチャネル範囲を含む少なくとも一つのトランジスタと、前記第1の領域に形成されたチャネル範囲を含む少なくとも一つのトランジスタとをさらに含んでもよい。

【0033】前記第2の領域トランジスタチャネル範囲の長さが、第2の距離以下であり、隣接する高傾角粒界の間に完全に形成されてもよい。

【0034】前記第1の領域トランジスタチャネル範囲の長さが、第1の距離より長く、少なくとも一つの高傾角粒界を含んでもよい。

【0035】前記半導体層はシリコンであってもよい。

【0036】本発明による多結晶シリコン結晶特性を有する半導体基板は、複数の結晶特性のトランジスタを含む多結晶シリコン結晶特性を有する半導体基板であって、少なくとも一つのトランジスタが、少なくとも一つの高傾角粒界を含む、高傾角粒界の間の距離よりも長い長さのチャネル範囲を有する、第1の領域と、少なくとも一つのトランジスタが、隣接する高傾角粒界の間に完全に形成された、高傾角粒界の間の距離以下の長さのチャネル範囲を有する、第2の領域とを含み、それにより上記目的が達成される。

【0037】本発明による液晶ディスプレイパネルは、半導体結晶層を有する基板を用いて製造された液晶ディスプレイ(LCD)パネルであって、隣接する結晶ドメインの間に第1の格子不整合部を有する結晶化材料を含む第1の領域と、隣接する結晶ドメインの間に該第1の

格子不整合部より小さい第2の格子不整合部を有する結晶化材料を含む第2の領域とを含み、それにより上記目的が達成される。

【0038】本発明による液晶ディスプレイパネルは、半導体結晶層を有する基板を用いて製造された液晶ディスプレイ(LCD)パネルであって、隣接する結晶ドメインの間に、第1の格子不整合部を有する結晶化材料を含むピクセルアレイ基板領域と、隣接する結晶ドメインの間に、該第1の格子不整合部より小さい第2の格子不整合部を有する結晶化材料を含むゲート若しくはソースドライバ基板領域と、隣接する結晶ドメインの間に、該第1の格子不整合部より小さい第3の格子不整合部を有する結晶化材料を含むゲート若しくはソースドライバ基板領域と、隣接する結晶ドメインの間に、該第2および第3の格子不整合部より小さい第4の格子不整合部を有する結晶化材料を含むオンボードメモリ基板領域とを含み、それにより上記目的が達成される。

【0039】本発明は、結晶化特性に意図的なばらつきを有する所与の基板のポリSi材料を生産するプロセスについて記載する。さらに、プロセスは、所与の特性のp-Si材料を、処理された基板内の正確な位置に、精密、かつ再現可能に配置し得る。

【0040】同じ基板の可変ポリSi材料特性を用いることによって、異なる材料要件を有し、同時にプロセスのスループットを最適化する、部品のモノリシック集積が可能になる。プロセスのスループットは、p-Si材料特性に反比例する。すなわち、低いスループットは、高い特性に対応する。しかし、ポリ-Si材料特性および基板上に占める領域も、同様に反比例の関係である(小さい領域に対して高い特性)。従って、本発明によって説明された状態で、LILAC技術を利用することによって、スループットを向上させ、進んだ部品の集積を可能にする機会が存在する。

【0041】従って、可変特性基板材料を製造する方法が提供される。この方法は、第1のマスクパターンを有する第1のマスクを選択する工程と、第1のマスクを通してレーザービームを照射して、半導体基板の第1の領域をアニーリングする工程と、半導体層の該第1の領域において、第1の結晶状態に成長させる工程と、第2のマスクパターンを有する第2のマスクを選択する工程と、該第2のマスクを通してレーザービームを照射して、第2の領域の半導体層をアニーリングする工程と、該半導体層の該第2の領域において、該第1の結晶状態とは異なる第2の結晶状態に成長させる工程とを包含する。

【0042】より具体的には、基板の材料がシリコンである場合、第1および第2の結晶状態は、それぞれの結晶化された領域内の隣接する結晶ドメインの間の格子不整合の定量的測定基準を有する結晶材料の作製に関わる。例えば、隣接する結晶ドメインの間の格子不整合

は、一領域当たりの高傾角粒界の数として測定され得る。高傾角粒界は、結晶格子不整合が15度から90度の範囲内である、隣接する結晶ドメインを隔てる境界である。例を続けると、第1の領域において、一領域当たりの第1の数の高傾角粒界を形成する工程は、第1の距離分隔てられている、隣接する高傾角粒界を形成する工程を含み得、第2の領域において、一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を形成する工程は、第1の距離より長い第2の距離分隔てられている、隣接する高傾角粒界を形成する工程を含み得る。

【0043】隣接する高傾角境界の間の距離の測定基準は、特性の測定基準としても有用であり得る。例えば、上記の第2の(より長い)距離は、第2の領域において、隣接する高傾角境界の間に、第1の領域においては形成されることができないトランジスタチャンネル範囲の完全な形成を可能にし得る。

【0044】いくつかの局面において、この方法は、複数のマスクを選択する工程と、各マスクを通して、レーザービームを照射して、半導体基板の対応する領域をアニーリングする工程と、半導体層の各領域において、特定の結晶状態に成長させる工程とをさらに包含する。

【0045】上記の方法のさらなる細部および可変特性基板について、以下に説明する。

#### 【0046】

【発明の実施の形態】図4は、本発明による結晶特性を有する半導体基板の平面図である。基板100は、隣接する結晶ドメイン間に第1の格子不整合を有する結晶化材料を含む半導体層を有する、第1の領域(膜領域)102と、隣接する結晶ドメイン間に、第1の格子不整合よりも小さい第2の格子不整合を有する結晶化材料を含む半導体層を有する第2の領域104とを含む。特に対象となるのは、LCDのパネルを製造する、基板のTFTの形成において用いられるシリコン基板である。結晶材料を含む半導体層を有する複数の領域が示されており、各領域は、隣接する結晶ドメイン間に、ある程度の度合いの格子不整合を有する。

【0047】より具体的には、第1の領域(範囲1)102、第2の領域(範囲2)104、第3の領域(範囲3)106、および第4の領域(範囲4)108が示されている。第1の領域102は、第1のマスク、または第1のマスクパターンと関連付けられる。同様に、第2の領域104は、第2のマスクを用いて形成され、第3の領域106は、第3のマスクを用いて形成され、第4の領域108は、第4のマスクを用いて形成される。四つの異なる領域が示されているが、本発明の基板100は、任意の特定の数の領域に限定されることはなく、任意の特定の数のマスクの使用に限定されることもない。領域が、基板の四つの象限において繰り返されることに注意されたい。あるいは、隣接しない第1の領域102

が基板上に形成される。同様に、隣接しない第2、第3、第4の領域104/106/108が形成される。上記と同様、本発明の基板100は、任意の特定の異なる領域のパターン、隣接しない領域のパターン、または隣接しない領域の数に限定されることはない。

【0048】特性の測定基準として、第1の領域102は、一領域当たりの第1の数の高傾角粒界を含む。この測定基準には、領域内の結晶粒子の数、粒子間の高傾角境界の数、および領域のサイズにおける考慮が含まれる。第2の領域104は、一領域当たりの第1の数より小さい、一領域当たりの第2の数の高傾角粒界を含む。従って、第2の領域104における多結晶材料は、第1の領域102における多結晶材料よりも高い特性である。第2の領域104に形成されたトランジスタは、より高い電子移動度を有するはずである。あるいは、第1の領域102は、結晶格子の不整合角度が15度から90度の範囲内である、一領域当たりの第1の数の高傾角粒界を含み、第2の領域104は、結晶格子不整合が15度から90度の範囲内である、一領域当たりの第1の数より少ない一領域当たりの第2の数の高傾角粒界を含む。

【0049】図5に、図4の基板の第1の領域102および第1の領域102を形成するために用いられ得るマスク500を示す。第1の領域は、第1の距離502分隔てられている、隣接する高傾角粒界を含む。高傾角境界の間は、15度よりも小さい結晶格子不整合角を有する低角領域であり、上記の図1の説明において説明された。

【0050】図6に、図4の基板の第2の領域104および第2の領域104を形成するために用いられ得るマスク600を示す。第2の領域104は、第1の距離(図5参照)よりも長い第2の距離602分隔てられている、隣接する高傾角粒界を含む。

【0051】図7は、図4の基板の第1および第2の領域102/104に形成されたトランジスタの比較を示す図である。図に示すように、チャンネル領域702を含む少なくとも一つのトランジスタ700が、第2の領域104に形成され、チャンネル領域706を含む少なくとも一つのトランジスタ704が、第1の領域102に形成される。第2の領域トランジスタのチャンネル領域702の長さ708は、第2の距離以下の長さであり、隣接する高傾角粒界(GB)の間に完全に形成されている。第1の領域トランジスタのチャンネル領域706の長さ710は、第1の距離より長く、少なくとも一つの高傾角粒界を含む。図に示すように、チャンネル領域は、三つの高傾角粒界にまたがる。

【0052】図7のトランジスタが、本発明の一例としてのみ提供されていることが理解されるべきである。基板のいくつかの局面において、チャンネル範囲は、第1の領域および第2の領域の両方において、高傾角粒界にか

かり得るが、第2の領域チャンネル702によってかかる高傾角粒界の数は、第1の領域チャンネル706によってかかる数より少ない。他の局面において、両方の領域は、チャンネル範囲が隣接する高傾角境界の間に形成されることを可能にするが、第2の領域は、特性がより高いチャンネル範囲の一領域当たりの数がより多くなることを可能にする。さらに、高角隣接境界の間の距離は、特性の測定基準のうちの一つに過ぎないことが理解されるべきである。基板範囲における結晶特性を定性的に表す、同様に有効な他の手段が存在するが、簡略化するため、

【0053】(機能的な記述)本発明による可変ポリ-Si材料(結晶)特性を形成するプロセスは、異なるビーム形成マスク設計および/またはマスクに対して移動する基板の異なるスキャン方式の利用に依存する。異なるマスク設計および対応する微細構造の二つの例を、図5および6に示す。これらの二つの設計の主な違いは、二つの連続する(隣接する)高傾角粒界の間に含まれる範囲である、横方向成長範囲の長さである。この範囲が十分に大きくされる場合、TF Tのチャンネル全体は、この範囲内に適合し得、これは、TF Tチャンネルに高傾角粒界が存在しないことを意味する。しかし、十分に広いこのような高い特性の材料の領域を形成するため、基板に対する基板の速度は、低減する必要がある、結果として、プロセスのスループットが低減することにつながる。反対に、より低い特性のトランジスタが、TF Tのチャンネル領域内に存在することが許容される高傾角境界とともに用いられ得る場合には、より高速なプロセスが実現され得、大幅に高いスループットが得られる。より低い特性の材料の場合においても、高傾角粒界を特定の位置に精密に配置するLILACプロセスの能力が、より均一な材料およびより均一なデバイス性能を生産することも言及されるべきである。

【0054】図5において、マスク設計(「階段型」設計における二つの段)によって、高傾角境界によって隔てられている、比較的狭い横方向成長範囲を有する材料が得られる。これらの境界の位置は、マスク上の隣接するオフセットスリットの中心線によって規定されている。図6の第2のマスク設計において、横方向成長は、複数段の「階段型スリット」設計を用いることによ

【0055】nが、複数段の階段設計の段の数を表す場合、2段オフセット設計と複数段階段型設計との間の基板ステージスピードの低減は、2/n倍である。スループットの低減も、この比と相似する。

【0056】TF T性能の向上は、図7に示すように、TF TチャンネルをポリSi微細構造に重ね合わせるこ

によって理解され得る。左の図に示すように、二つのオフセットスリットマスク設計によって生成される、p-Si材料で製造されるTF Tのチャンネルには高傾角境界がいくらか含まれる。対照的に、複数段階型マスク設計で製造されたTF Tのチャンネルには、高傾角粒界(GB)が含まれていない。他の変形例は、これらの二つの場合の間の材料の特性が得られるが、適切なマスク設計によって容易に実現され得る。他のマスク設計も、これらの実施例よりも、さらに良好な性能の材料を生産するように実現され得る。例えば、高角または低角粒界のない単結晶Si材料である。

【0057】次に、パネル上の所定の座標の範囲に予め選択された特性の材料を形成する方法が説明される。この方法は、複数の異なるマスクを用いるが、各マスクは、ある特定のポリSi材料特性を生成するパターン方式を有する。より正確な登録システムが、適切な位置に基板を移動させるために用いられ、所望の領域の結晶化が、適切なマスクを用いて行われる。基板は、他の位置に移動し、新たなマスクが必要とされる場合、予めセットされた一組のマスクから新たなマスクが同時に選択され、その位置に動かされる。プロセスの間、基板は、x軸およびy軸に動くだけでなく、ユーザの要件に依存して、回転もし得る。プロセスは、適切な領域全てが結晶化されるまで繰り返される。その後、基板が取り外され、新たな基板がセットされる。プロセスは、以下のよう

【0058】一群のマスクをセットする  
基板をセットする/アラインメントする/ホームに戻す  
基板を第1の位置に移動させる/第1のマスクをセットする

特定された第1の範囲をアニーリングする  
基板を第2の位置に移動させる/必要な場合第1のマスクを取り外し、第2のマスクをセットする  
特定された第2の範囲をアニーリングする

基板を移動させ/マスクを取り外し、セットする工程を、基板の完全な結晶化を完了するために必要な回数繰り返す

基板を取り外す/新たな基板をセットする

図4に、このプロセスの最終結果の一例を示す。この例において、「1」とマーキングされた全ての範囲は、まず、マスク1でアニーリングされ、その後、「2」とマーキングされた範囲が、マスク2によってアニーリングされ、「3」とマーキングされた範囲が、マスク3によってアニーリングされ、最終的に、「4」とマーキングされた範囲が、マスク4によってアニーリングされる。範囲1は、最も低い特性のポリSi材料を必要とする、LCDディスプレイピクセルアレイであり得る。範囲2は、より高い特性の材料を必要とする、ディスプレイのLCDゲート若しくはソースドライバであり得る。範囲3は、カラムドライバと同じ特性の材料から製造される

か、または、より高い特性の材料から製造され得る、ディスプレイのLCDゲート若しくはソースドライバであり得る。範囲4は、全ての範囲で最も高い特性の材料を必要とする、例えば、オンボードメモリまたは他の特別な機構などのより高い機能が組み込まれたLCDディスプレイ上の領域を表し得る。

【0059】本発明による特性のセグメント化方法を用いることによって、このような複雑な構造を有する基板を準備するための時間は、範囲4のより厳しい特性要件を用いて全ての領域を結晶化する場合に必要な時間よりも短くなる。

【0060】図8は、本発明による可変特性基板材料を製造する方法を示すフローチャートである。この方法は、明瞭化のため、一連の数字が付けられた工程として表されているが、明記されていない限り、数字から順序が推測されるべきではない。これらの工程のうちいくつかは、飛ばされてもよいし、並行して行われてもよいし、一連の順序を厳密に維持して行われる必要もないことが理解される必要がある。この方法は、工程800で開始される。工程802は、第1のマスクパターンを有するマスクを選択する工程である。工程804は、第1のマスクを通して、レーザービームを照射して、半導体基板の第1の領域をアニーリングする工程である。工程806は、第1の領域の半導体層において第1の結晶状態に成長させる工程である。工程808は、第2のマスクパターンを有する第2のマスクを選択する工程である。工程810は、第2のマスクを通して、レーザービームを照射して、第2の領域の半導体層をアニーリングする工程である。工程812は、第2の領域の半導体層において、第1の結晶状態とは異なる第2の結晶状態に成長させる工程である。

【0061】方法のいくつかの局面において、工程806で、第1の領域の半導体層において第1の結晶状態に成長させる工程は、隣接する結晶ドメインの間に、第1の格子不整合を有する結晶化材料を作製する工程を含み、工程812で、第2の領域の半導体層において第2の結晶状態に成長させる工程は、隣接する結晶ドメインの間に、第1の格子不整合より小さい第2の格子不整合を有する結晶化材料を作製する工程を含む。

【0062】他の局面において、工程806で、結晶境界領域の間に、第1の格子不整合を有する結晶化材料を作製する工程は、一領域当たりの第1の数の高傾角粒界を形成する工程を含む。一領域当たりの第1の数の高傾角粒界を形成する工程は、結晶化格子不整合角度が15度から90度の範囲内である、一領域当たりの第1の数の高傾角粒界を形成する工程を含む。工程812で、結晶境界領域の間に、第1の格子不整合より小さい第2の格子不整合を有する結晶化材料を作製する工程は、一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を形成する工程を含む。一領域当たりの

第2の数の高傾角粒界を形成する工程も、結晶格子不整合角度が15度～90度の範囲内である、一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を形成する工程をも含む。

【0063】この方法のある局面において、工程806で、一領域当たりの第1の数の高傾角粒界を形成する工程は、第1の距離分隔てられている、隣接する高傾角粒界を形成する工程を含む。工程812で、一領域当たりの第2の数の高傾角粒界を形成する工程は、第1の距離より長い第2の距離分隔てられている、隣接する高傾角粒界を形成する工程を含む。

【0064】この方法は、いくつかの局面において、さらなる工程を含む。工程814は、第2の領域にチャネル範囲を含む少なくとも一つのトランジスタを形成する工程である。工程816は、第1の領域にチャネル範囲を含む少なくとも一つのトランジスタを形成する工程である。いくつかの局面において、第2の領域にトランジスタを形成する工程は、隣接する高傾角粒界の間に、第2の距離以下の長さのトランジスタチャネル範囲を完全に形成する工程を含む。第1の領域にトランジスタを形成する工程は、少なくとも一つの高傾角粒界を含む、第1の距離より長いトランジスタチャネル範囲を形成する工程を含む。

【0065】この方法の他の局面において、工程802および808は、複数のマスクを選択する工程を含む。工程804および810は、各マスクを通してレーザービームを照射して、半導体基板の対応する領域をアニーリングする工程を含み、工程806および812は、半導体層の各領域において、特定の結晶状態に成長させる工程を含む。

【0066】この方法の他の局面において、工程804で、第1のマスクを通して、レーザービームを照射して、半導体基板の第1の領域をアニーリングする工程は、第1のマスクを用いて、半導体層の複数の隣接しない範囲をレーザーアニーリングする工程を含む。ある局面において、第1のマスクを用いて、半導体層の複数の隣接しない範囲をアニーリングする工程は、各第1の領域範囲を、照射されたレーザービームに連続的にさらし、第1の領域の隣接しない範囲の各々を連続的にアニーリングする工程を含む。同様に、第2のマスクを通して、レーザービームを照射して、半導体基板の第2の領域をアニーリングする工程810は、第2のマスクを用いて、類似する状態で、半導体層の複数の隣接しない範囲をレーザーアニーリングする工程を含む。このプロセスは、マスクを変更することなく、基板を移動させて、隣接しない範囲をさらすことを可能にする。

【0067】あるいは、工程801a（図示せず）は、半導体層にわたって、隣接する範囲の順序を確立する。工程801b（図示せず）は、確立された順序で、レーザービームと半導体層とをアラインメントさせる。その

後、工程804で、第1のマスクを用いて、半導体層の複数の隣接しない範囲をレーザーアニーリングする工程は、レーザービームが第1の領域範囲とアラインメントされる場合に、第1のマスクを通してレーザービームを照射する工程を含む。工程810で、第2のマスクを用いて、半導体層の複数の隣接しない範囲をレーザーアニーリングする工程は、レーザービームが第2の領域範囲とアラインメントされる場合に、第2のマスクを通して、レーザービームを照射する工程を含む。このプロセスは、基板が、直線に沿って、一貫して移動することを可能にする。異なる特性の領域は、マスクを交換することによって、基板ラインにおいて形成される。

【0068】基板上に可変特性領域を形成する、基板および基板製造プロセスが提供されてきた。上記の例の他に、本発明は、各々、異なる材料特性レベルを有する、同じ基板上に作られた異なるタイプのLCDディスプレイに用いられ得る。他の変形例では、異なるサイズのLCDディスプレイが、ディスプレイデバイスの各サイズにつき、特性レベルにばらつきがある状態、または、ない状態で、所与のパネルの上に作られ得る。当業者であれば、他の変形例および本発明の他の実施形態に想到する。

【0069】半導体結晶層の製造方法および半導体結晶層を有する半導体基板、半導体結晶層を用いた液晶ディスプレイパネルが提供される。この方法は、第1のマスクパターンを有する第1のマスクを選択する工程と、レーザービームを第1のマスクを通して照射し、半導体基板の第1の領域をアニーリングする工程と、第1の領域の半導体層において、第1の結晶状態に成長させる工程と、第2のマスクパターンを有する第2のマスクを選択する工程と、レーザービームを第2のマスクを通して照射し、第2の領域の半導体層をアニーリングする工程と、第2の領域の半導体層において、第1の結晶状態とは異なる第2の結晶状態に成長させる工程とを包含する。より具体的には、基板の材料がシリコンである場合、第1および第2の結晶状態は、隣接する結晶ドメインの間の格子不整合部の定量的測定基準を有する結晶材料の作製に関わる。例えば、隣接する結晶ドメインの間の格子不整合部は、一領域当たりの高傾角粒界の数として測定され得る。高傾角粒界は、結晶格子不整合が15度から90度の範囲内である、隣接する結晶ドメインを隔てる境界として規定される。例を続けると、第1の領域において、一領域当たりの第1の数の高傾角粒界を形成する工程は、第1の距離分隔でられている、隣接する高傾角粒界を形成する工程を含み得、第2の領域において、一領域当たりの第1の数より少ない、一領域当たりの第2の数の高傾角粒界を形成する工程は、第1の距離より長い第2の距離分隔でられている、隣接する高傾角粒界を形成する工程を含み得る。隣接する高傾角境界の

間の距離の測定基準は、特性の測定基準としても有用であり得る。例えば、上記の第2の(より長い)距離は、第2の領域において、隣接する高傾角境界の間に、第1の領域においては形成されることができないトランジスタチャンネル範囲の完全な形成を可能にし得る。

【0070】

【発明の効果】以上により、TFTなどの素子形成において用いられるシリコン基板に適した結晶材料を含む半導体結晶層の製造方法、それを有する半導体基板、さらにこの半導体基板を用いたLCDパネルを提供することができる。なお、この半導体結晶層は、複数の領域を有しており、各領域は、隣接する結晶ドメイン間に、異なる格子不整合部を有している。

【図面の簡単な説明】

【図1】図1は、LC-ELAアニーリングプロセス(従来技術)における工程を示す図である。

【図2】図2は、従来の光学系マスク(従来技術)の平面図である。

【図3】図3は、上記の光照射および照射繰り返しプロセス(従来技術)を用いるシステムの図である。

【図4】図4は、本発明による結晶特性を有する半導体基板の平面図である。

【図5】図5は、図4の基板の第1の領域および第1の領域を形成するために用いられ得るマスクを示す図である。

【図6】図6は、図4の基板の第2の領域および第2の領域を形成するために用いられ得るマスクを示す図である。

【図7】図7は、図4の基板の第1および第2の領域に形成されたトランジスタの比較を示す図である。

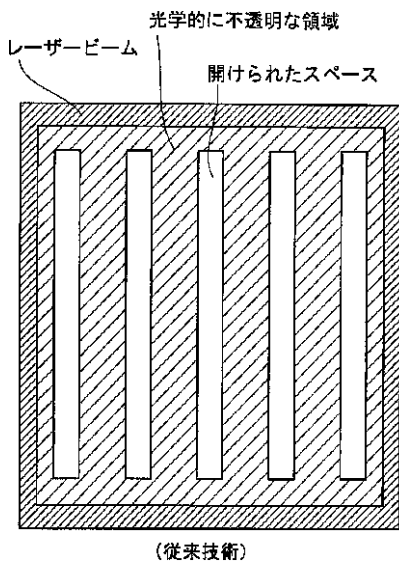
【図8】図8は、本発明による可変特性基板材料を製造する方法を示すフローチャートである。

【符号の説明】

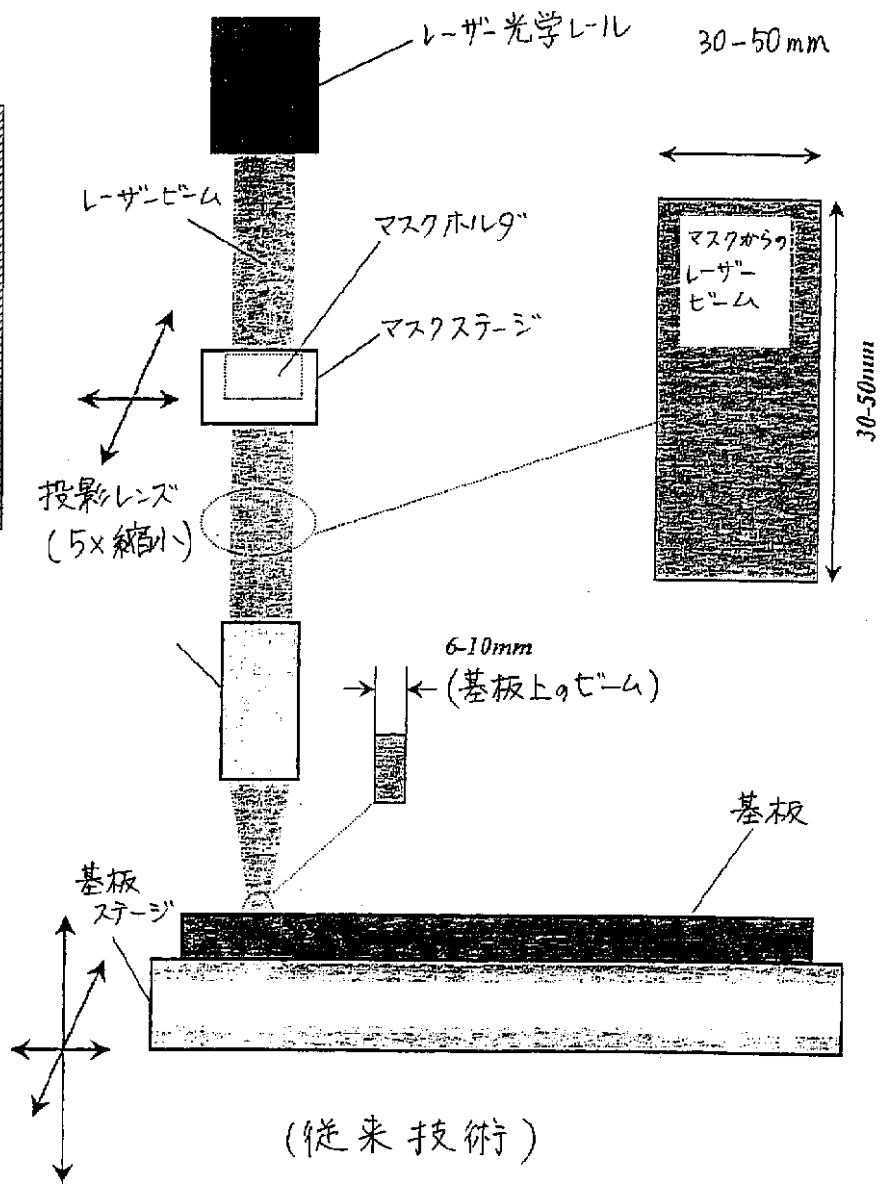
- 100 基板
- 102 第1の領域
- 104 第2の領域
- 106 第3の領域
- 108 第4の領域
- 500 マスク
- 502 第1の距離
- 600 マスク
- 602 第2の距離
- 700 トランジスタ
- 702 第2の領域トランジスタのチャンネル領域
- 704 トランジスタ
- 706 第1の領域トランジスタのチャンネル領域
- 708 第2の領域トランジスタのチャンネル領域の長さ
- 710 第1の領域トランジスタのチャンネル領域の長さ



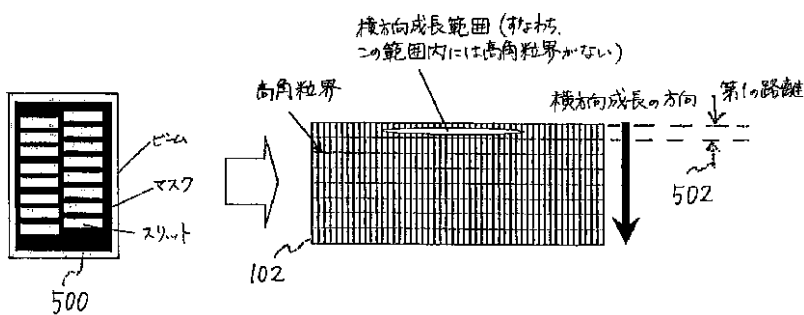
【図2】



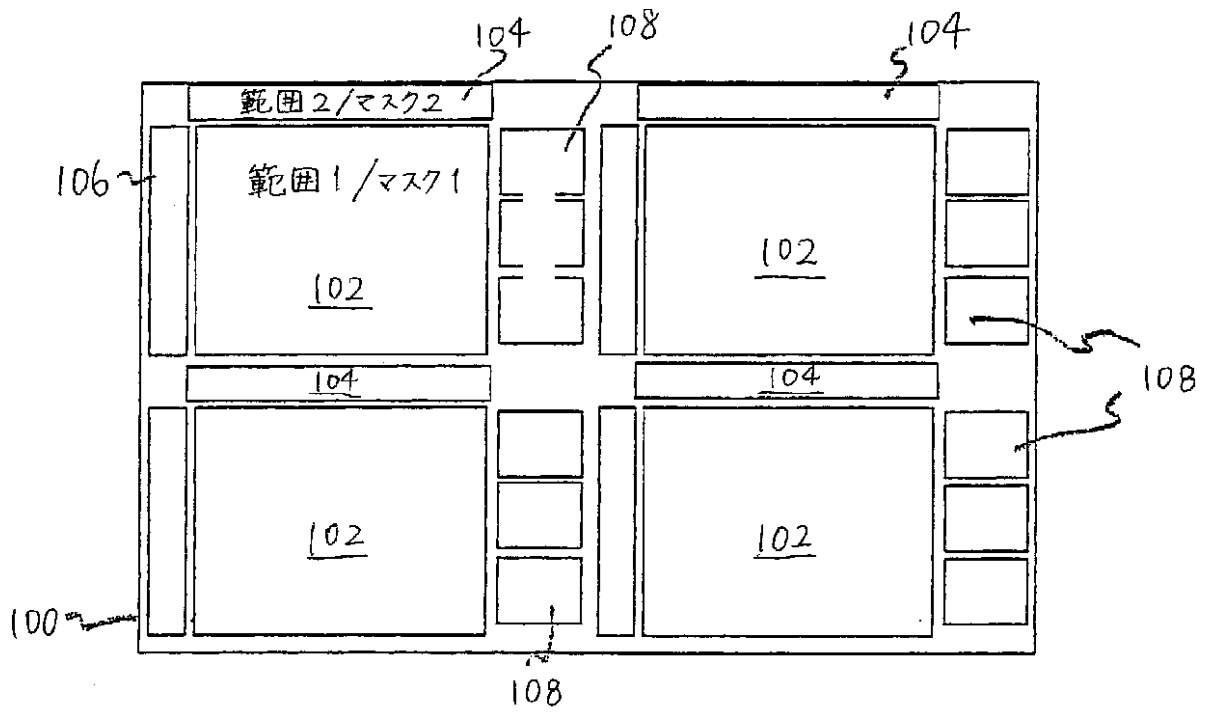
【図3】



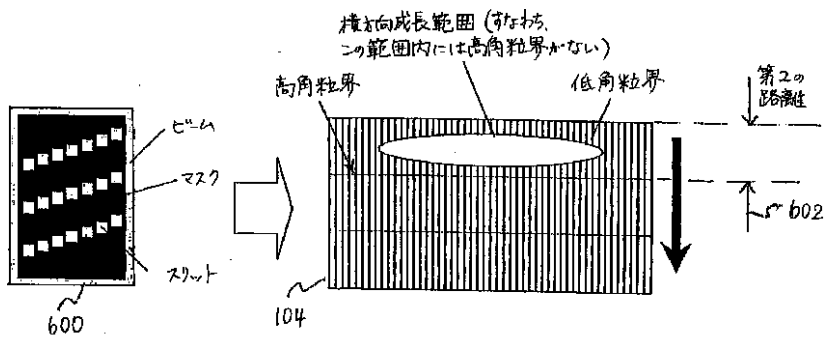
【図5】



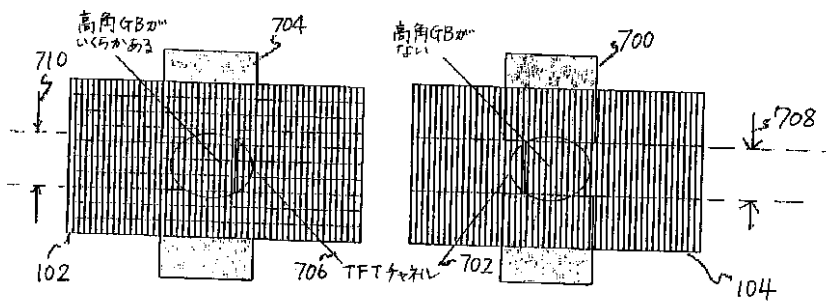
【図4】



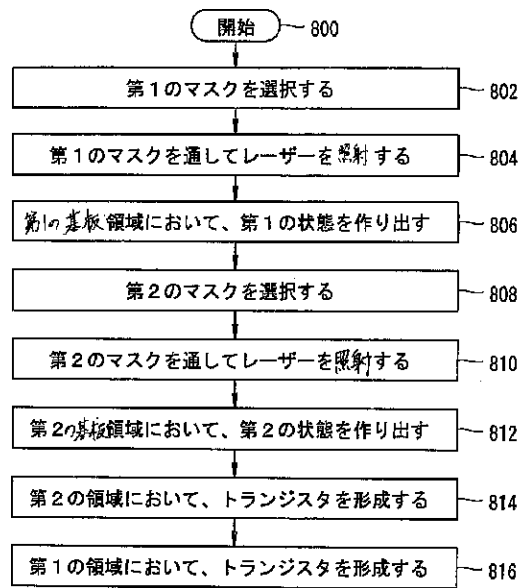
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 マーク エイ. クラウダー  
アメリカ合衆国 オレゴン 97201, ポ  
ートランド, エスタブリュー ブロード  
ウェイ ドライブ 825

Fターム(参考) 2H092 JA24 JA28 KA04 MA30 NA25  
5F052 AA02 BA01 BA07 BA12 BA13  
BA18 CA10 DA01 DA02 FA19  
JA01  
5F110 AA30 BB02 BB05 GG02 GG13  
NN78 PP03 PP05 PP06 PP24

专利名称(译)	制造半导体晶体层的方法，半导体衬底，液晶显示板		
公开(公告)号	<a href="#">JP2003282441A</a>	公开(公告)日	2003-10-03
申请号	JP2003056372	申请日	2003-03-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	アポストロSPORTサス 三谷康弘 マークエイクラウド		
发明人	アポストロス ポートサス 三谷 康弘 マーク エイ. クラウダー		
IPC分类号	G02F1/1368 H01L21/20 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/04 H01L29/786		
CPC分类号	H01L27/1285 H01L27/1296 H01L29/04 H01L29/6675 H01L29/78672		
FI分类号	H01L21/20 G02F1/1368 H01L29/78.627.G H01L29/78.612.B H01L21/268.J		
F-TERM分类号	2H092/JA24 2H092/JA28 2H092/KA04 2H092/MA30 2H092/NA25 5F052/AA02 5F052/BA01 5F052/BA07 5F052/BA12 5F052/BA13 5F052/BA18 5F052/CA10 5F052/DA01 5F052/DA02 5F052/FA19 5F052/JA01 5F110/AA30 5F110/BB02 5F110/BB05 5F110/GG02 5F110/GG13 5F110/NN78 5F110/PP03 5F110/PP05 5F110/PP06 5F110/PP24 2H192/AA24 2H192/GD03 2H192/HA82 5F152/AA03 5F152/AA07 5F152/AA10 5F152/BB02 5F152/CC08 5F152/CE03 5F152/EE05 5F152/FF01 5F152/FH03 5F152/FH16 5F152/FH18		
优先权	10/096293 2002-03-11 US		
其他公开文献	JP4798937B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种具有多个晶体特性的半导体晶体层的制造方法，半导体基板以及液晶显示面板；具有多个晶体特性的半导体晶体层的制造方法具有第一图案。通过通过第一掩模向半导体衬底的第一区域照射激光束来退火第一区域的步骤，以及在第一区域的半导体层中对第一区域进行退火的步骤，生长到1的晶体状态的步骤，通过通过具有第二图案的第二掩模，即第二掩模通过用激光束照射半导体衬底的第二区域来退火第二区域的步骤。通过该区域的退火步骤，将第二区域中的半导体层生长到不同于第一晶态的第二晶态的步骤。

