

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 188183

(P2003 - 188183A)

(43)公開日 平成15年7月4日(2003.7.4)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード (参考)
H 0 1 L 21/336		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/00	5 C 0 9 4
G 0 9 F 9/00	342	9/30	338
9/30	338	9/35	5 F 1 1 0
9/35		H 0 1 L 27/08	331 E
			5 G 4 3 5

審査請求 未請求 請求項の数 7 O L (全 38数) 最終頁に続く

(21)出願番号 特願2001 - 388306(P2001 - 388306)

(22)出願日 平成13年12月20日(2001.12.20)

(71)出願人 302036002

富士通ディスプレイテクノロジー株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 土井 誠児

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(72)発明者 堀田 和重

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(74)代理人 100108187

弁理士 横山 淳一

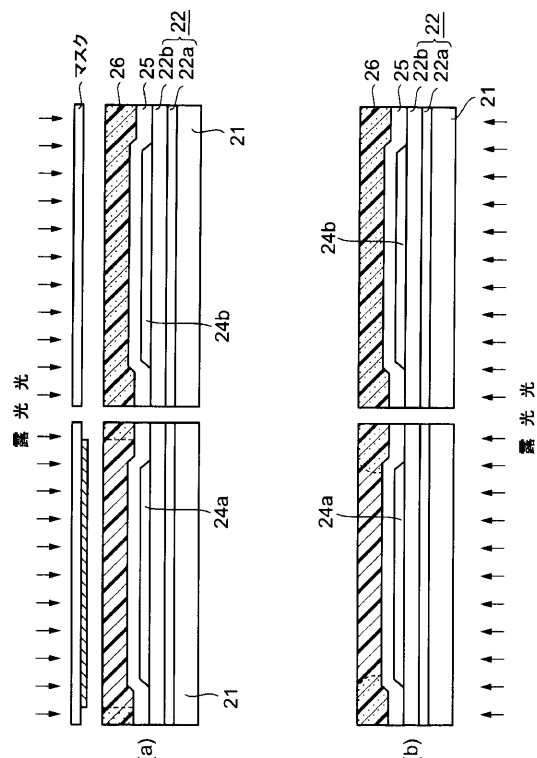
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ装置、その製造方法及び液晶表示装置

(57)【要約】

【課題】 ゲート絶縁膜の膜厚が異なる T F T を同一基板上に有し、耐圧の劣化を防止し、動作層のエッジ部での寄生 T F T の動作を抑制することができる薄膜トランジスタ装置を、さらなる微細化を図りつつ作成することが可能な薄膜トランジスタ装置の製造方法を提供することを目的とする。

【解決手段】 第1の島状半導体膜24aを被覆する第1の絶縁膜25上にネガティブフォトリソ膜26を形成する工程と、透明基板21の裏面側からネガティブフォトリソ膜26を露光し、現像して第1の島状半導体膜24aの周縁から内側の表面に開口部を有するレジストマスクを形成する工程と、レジストマスクの開口部内の第1の絶縁膜25をエッチングする工程と、第1の絶縁膜25を被覆する第2の絶縁膜と、その上の導電体膜を形成する工程と、導電体膜をパターニングし、第1のゲート電極と第2のゲート電極とを形成する工程とを有する。



【特許請求の範囲】

【請求項 1】 透明基板の表面に第 1 及び第 2 の島状半導体膜を形成する工程と、

前記第 1 及び第 2 の島状半導体膜を被覆する第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上にネガティブフォトリソ膜を形成する工程と、

前記第 1 の島状半導体膜の全域を遮光するマスクを介して前記ネガティブフォトリソ膜を露光する工程と、

前記透明基板の裏面側から前記ネガティブフォトリソ膜を露光する工程と、

前記ネガティブフォトリソ膜を現像して前記第 1 の島状半導体膜の周縁から内側の表面に開口部を有するレジストマスクを形成する工程と、

前記レジストマスクの開口部内の前記第 1 の絶縁膜をエッチングする工程と、

前記レジストマスクを除去する工程と、

前記透明基板の表面側全面に第 2 の絶縁膜を形成し、さらにその上に導電体膜を形成する工程と、

前記第 1 の島状半導体膜上方の導電体膜上に第 1 のマスクパターンを形成し、前記第 2 の島状半導体膜上方の導電体膜上に第 2 のマスクパターンを形成する工程と、

前記第 1 のマスクパターンをマスクとして前記導電体膜をエッチングして第 1 のゲート電極を形成し、前記第 2 のマスクパターンをマスクとして前記導電体膜をエッチングして第 2 のゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項 2】 基板上に第 1 及び第 2 の島状半導体膜を形成する工程と、

前記第 1 及び第 2 の島状半導体膜を被覆する半導体膜を形成し、さらに該半導体膜上に絶縁膜を形成する工程と、

前記絶縁膜を選択的にエッチングして前記第 2 の島状半導体膜上方に前記絶縁膜のパターンを形成する工程と、

前記絶縁膜のパターンの下部及びその他の部分の半導体膜を酸化して、前記第 1 の島状半導体膜上に前記半導体膜を酸化してなる絶縁膜からなる第 1 のゲート絶縁膜を形成し、前記第 2 の島状半導体膜上に前記半導体膜を酸化してなる絶縁膜と前記絶縁膜のパターンとからなる第 2 のゲート絶縁膜を形成する工程と、

前記第 1 のゲート絶縁膜上に第 1 のゲート電極を形成し、前記第 2 のゲート絶縁膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項 3】 基板上に第 1 の半導体膜を形成する工程と、

前記第 1 の半導体膜上に第 1 の絶縁膜と第 2 の半導体膜と第 2 の絶縁膜とをこの順に形成する工程と、

前記第 2 の絶縁膜を選択的にエッチングして前記第 2 の絶縁膜のパターンを形成する工程と、

前記第 2 の半導体膜を選択的にエッチングして、前記第 2 の絶縁膜のパターンを含まない島状の第 2 の半導体膜と、前記第 2 の絶縁膜のパターンを含む島状の第 2 の半導体膜とを形成する工程と、

前記第 2 の絶縁膜のパターンの下部及びその他の部分の島状の第 2 の半導体膜を酸化するとともに、前記島状の第 2 の半導体膜で覆われていない領域の第 1 の半導体膜を前記第 1 の絶縁膜を介して酸化し、前記第 2 の絶縁膜のパターンを含まない島状の第 2 の半導体膜で覆われていた領域に前記第 1 の半導体膜からなる第 1 の島状半導体膜を形成し、前記第 2 の絶縁膜のパターンを含む島状の第 2 の半導体膜で覆われていた領域に前記第 1 の半導体膜からなる第 2 の島状半導体膜を形成するとともに、前記第 1 の島状半導体膜上に前記第 2 の半導体膜を酸化してなる絶縁膜と前記第 1 の絶縁膜とからなる第 1 のゲート絶縁膜を形成し、前記第 2 の島状半導体膜上に前記第 2 の絶縁膜のパターンと前記第 2 の半導体膜を酸化してなる絶縁膜と前記第 1 の絶縁膜とからなる第 2 のゲート絶縁膜を形成する工程と、

前記第 1 のゲート絶縁膜上に第 1 のゲート電極を形成し、前記第 2 のゲート絶縁膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項 4】 チャネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 1 の島状半導体膜と、前記第 1 の島状半導体膜の前記チャネル領域上に形成された第 1 の絶縁膜からなる第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 1 の導電体膜からなる第 1 のゲート電極とにより構成された第 1 の薄膜トランジスタと、

チャネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 2 の島状半導体膜と、前記第 2 の島状半導体膜の前記チャネル領域上に形成された前記第 1 の絶縁膜及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 の導電体膜からなる第 2 のゲート電極とにより構成された第 2 の薄膜トランジスタとを同一の基板上に有し、

前記第 1 の薄膜トランジスタは前記第 1 の島状半導体膜の両側部のエッジの上方で、かつ前記第 1 のゲート電極上に前記第 2 の絶縁膜を介して前記第 2 の導電体膜からなる電界緩和電極を有し、前記第 2 の薄膜トランジスタは前記第 2 のゲート電極下で、かつ前記第 2 の島状半導体膜の両側部のエッジの上に前記第 1 の絶縁膜を介して前記第 1 の導電体膜からなる電界緩和電極を有することを特徴とする薄膜トランジスタ装置。

【請求項 5】 基板上に第 1 及び第 2 の島状半導体膜を形成する工程と、

前記第 1 及び第 2 の島状半導体膜を被覆する第 1 の絶縁膜を形成する工程と、

全面に第 1 の導電体膜を形成し、さらに前記第 1 の導電

体膜を選択的にエッチングして前記第 1 の島状半導体膜の上方の第 1 の絶縁膜上に第 1 のゲート電極を形成する工程と、

全面に第 2 の絶縁膜と第 2 の導電体膜をこの順に形成する工程と、

前記第 2 の導電体膜の上にマスクパターンを形成し、該マスクパターンをマスクとして前記第 2 の導電体膜をサイドエッチングして前記マスクパターンよりも幅が狭い第 2 のゲート電極を形成する工程と、

前記マスクパターンをマスクとして前記第 2 の絶縁膜を異方性エッチングし、

さらに前記第 1 のゲート電極及び前記マスクパターンをマスクとして前記第 1 の絶縁膜を異方性エッチングして、前記第 1 のゲート電極下に前記第 1 の絶縁膜からなる第 1 のゲート絶縁膜を形成するとともに、前記第 2 のゲート電極下に前記第 1 及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜を形成する工程と、

前記マスクパターンを除去する工程と、

前記第 1 のゲート電極をマスクとして前記第 1 の島状半導体膜に不純物をイオン注入して前記第 1 のゲート電極の両側に高濃度不純物領域を形成し、前記第 2 のゲート電極及び前記第 2 のゲート絶縁膜をマスクとして前記第 2 の島状半導体膜に不純物をイオン注入して、前記第 2 のゲート電極の両側に一対の高濃度不純物領域を形成する工程と、

前記第 2 のゲート電極をマスクとし、かつ前記第 2 のゲート電極の周辺部の第 2 のゲート絶縁膜を透過する条件で前記第 2 の島状半導体膜に不純物をイオン注入して、前記第 2 のゲート電極の両側で前記第 2 のゲート絶縁膜下に一対の低濃度不純物領域を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項 6】 基板上に形成された第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、前記第 2 の薄膜トランジスタのソース/ドレイン領域と接続された画素電極と、前記画素電極と交差する蓄積容量バスラインとを有し、

前記第 1 の薄膜トランジスタは、

チャネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 1 の島状半導体膜と、

前記第 1 の島状半導体膜の前記チャネル領域上に形成された第 1 の絶縁膜からなる第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された第 1 の導電体膜からなる第 1 のゲート電極とにより構成され、

前記第 2 の薄膜トランジスタは、

チャネル領域を挟んで形成された一対のソース/ドレイン領域を有し、そのうち何れかが前記画素電極と接続した第 2 の島状半導体膜と、

前記第 2 の島状半導体膜の前記チャネル領域上に形成された前記第 1 の絶縁膜及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜と、

*前記第 2 のゲート絶縁膜上に形成された第 2 の導電体膜からなる第 2 のゲート電極とにより構成され、

前記蓄積容量バスラインは、

前記第 1 の導電体膜により構成され、その一部領域で、前記蓄積容量バスライン上に前記第 2 の絶縁膜と前記画素電極と接続された第 2 の導電体膜とがこの順に積層されてなることを特徴とする液晶表示装置。

【請求項 7】 基板上に形成された第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、前記第 2 の薄膜トランジスタのソース/ドレイン領域と接続された画素電極と、前記画素電極と交差する蓄積容量バスラインとを有し、

前記第 1 の薄膜トランジスタは、

チャネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 1 の島状半導体膜と、

前記第 1 の島状半導体膜の前記チャネル領域上に形成された第 1 の絶縁膜からなる第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された第 1 の導電体膜からなる第 1 のゲート電極とにより構成され、

前記第 2 の薄膜トランジスタは、

チャネル領域を挟んで形成された一対のソース/ドレイン領域を有し、そのうち何れかが前記画素電極と接続した第 2 の島状半導体膜と、

前記第 2 の島状半導体膜の前記チャネル領域上に形成された前記第 1 の絶縁膜及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上に形成された第 2 の導電体膜からなる第 2 のゲート電極とにより構成され、

前記蓄積容量バスラインは、

前記第 1 の導電体膜により構成され、その一部領域で、前記蓄積容量バスラインをゲート電極とし、前記画素電極と接続されたソース/ドレイン領域を有する第 3 の島状半導体膜と、前記第 1 の絶縁膜からなるゲート絶縁膜とを有する第 3 の薄膜トランジスタを備えていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ装置、その製造方法及び液晶表示装置に関し、より詳しくは、液晶表示装置その他の絶縁性基板上に形成される薄膜トランジスタ装置、その製造方法及び液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、軽量かつ薄型で、低消費電力であることなどの特徴を有し、携帯端末やビデオカメラのファインダ、ノートパソコンなど幅広い分野に応用されている。特に、コンピュータ用ディスプレイなど高品質かつ高精細な表示を得る用途に、薄膜トランジスタ（以下、TFTと称する。）をスイッチング素子とするアクティブマトリクス液晶表示装置が多用されてい

る。

【0003】アクティブマトリクス液晶表示装置においては、その駆動能力の高さからポリシリコン膜を動作層とするTFT（以下、pSi-TFTと称する。）が用いられている。近年、ポリシリコンの成膜技術の進歩に伴い、低コスト化、高機能化を目的として、表示領域内の薄膜トランジスタ（以下、画素TFTと称する。）と、表示領域外の周辺回路部のTFTとを同一の基板上に形成する検討が行われている。

【0004】画素TFTは液晶駆動に用いるためゲートやドレインに高電圧を印加する必要があり、ゲート電圧やドレイン電圧に対して高耐圧であることが要求される。一方、周辺回路部のTFTは低消費電力で高速な動作が可能なことが要求される。

【0005】これを実現するため、特開平10-170953号公報等には、ゲート絶縁膜を厚くした画素TFTと、ゲート絶縁膜を薄くした周辺回路部のTFTとを同一の基板上に設けた例が提案されている。

【0006】図29に、同一基板上に形成された画素TFTと周辺回路部のTFTとで、ゲート絶縁膜の膜厚が異なる液晶表示装置の断面構造を示す。なお、周辺回路部のTFTでも高電圧のかかるものがあり、画素TFTと同じ構造が採られる。

【0007】上記の液晶表示装置の製造方法においては、ポリシリコン膜からなる島状半導体膜4a、4b上にシリコン酸化膜からなるゲート絶縁膜を形成する際に、多層の絶縁膜を順次形成し、かつ不要な絶縁膜をエッチングすることにより、厚膜部と薄膜部で絶縁膜の積層数を変えて膜厚の調整を行っている。

【0008】具体的には、基板全面に第1の絶縁膜を成膜した後、エッチングにより厚膜部のTFTの形成領域に第1の絶縁膜5を残し、他の領域では除去する。

【0009】次いで、全面に第2の絶縁膜と金属膜とをこの順に成膜したのち、金属膜をパターニングして薄膜部のTFTの形成領域において、第2の絶縁膜6a上に第1のゲート電極7aを形成し、厚膜部のTFTの形成領域において第1の絶縁膜5と第2の絶縁膜6bとの積層構造上に第2のゲート電極7bを形成する。これにより、薄膜部のTFTの形成領域において、第1のゲート電極7aの下に第2の絶縁膜6aの単層構造からなる第1のゲート絶縁膜を形成し、厚膜部のTFTの形成領域において第2のゲート電極7bの下に第1及び第2の絶縁膜5、6bの2層構造からなる第2のゲート絶縁膜を形成する。

【0010】また、厚膜部のTFTは、一般的に、ホットキャリアによるオン特性の劣化を抑制し、かつオフ電流を低減するために、図33に示すように、ゲート電極75下のチャネル領域4beと高濃度不純物領域4ba、4bbとの隣接領域に低濃度不純物領域4bc、4bdが設けられたLDD（Lightly Doped Drain）構造

を有している。上から見たとき、チャネル領域4beと低濃度不純物領域4bc、4bdとの境界は、ゲート電極75のエッジのほぼ真下に位置している。なお、低濃度不純物領域4bc、4bdに対応する領域を不純物を導入しないオフセット領域とすることもある。

【0011】薄膜部において通常のTFTを形成し、かつ厚膜部においてLDD構造を有するTFTを形成するため、図34(a)に示すように、まず、薄膜部のTFTの形成領域において第1の絶縁膜71上に第1のゲート電極72を形成した後、厚膜部のTFTの形成領域においてゲート電極の形成領域よりも片側でLDD領域分だけ幅が広いレジストマスク73aで覆う。次いで、第1のゲート電極72とレジストマスク73aをマスクとしてイオン注入し、第1のゲート電極72の両側の島状半導体膜4a内に高濃度不純物領域4aa、4abを形成するとともに、レジストマスク73aの両側の島状半導体膜4b内に高濃度不純物領域4ba、4bbを形成する。

【0012】次いで、レジストマスク73aを除去した後、図34(b)に示すように、厚膜部のTFTの形成領域において、レジストマスク73aが形成されていた領域よりも狭い領域に新たなレジストマスク73bを形成する。続いて、レジストマスク73bに基づいてイオン注入して、レジストマスク73bのエッジから高濃度不純物領域4ba、4bbのエッジの間の領域に低濃度不純物領域4bc、4bdを形成する。なお、低濃度不純物領域4bc、4bdに挟まれた領域がチャネル領域4beとなる。

【0013】次に、第1のゲート電極72とレジストマスク73bをマスクとして第1の絶縁膜71をエッチングして、図33に示すように、第1のゲート電極72下に第1のゲート絶縁膜71aを形成し、レジストマスク73bの下に第1の絶縁膜71bを残す。次いで、レジストマスク73bを除去した後、全面に第2の絶縁膜と金属膜を形成する。

【0014】次いで、金属膜をパターニングして、図33に示すように、厚膜部のTFTの形成領域においてチャネル領域4beの上方に第2のゲート電極75を形成し、続いて、第2のゲート電極75をマスクとして第2の絶縁膜をエッチングして第2の絶縁膜74aを残す。これにより、第2のゲート電極75の下に第1及び第2の絶縁膜71b、74aからなる2層構造の第2のゲート絶縁膜が形成される。

【0015】以降、通常の工程を経て、図33に示す薄膜トランジスタ装置を作成することができる。なお、図33中、符号76は第1の層間絶縁膜、76a乃至76dはコンタクトホール、77a乃至77dはソース/ドレイン電極、78は第2の層間絶縁膜である。

【0016】

【発明が解決しようとする課題】しかしながら、図29

に示す従来の製造方法では、図 30 に示すように、ドライエッチング法で第 1 の絶縁膜 5 をエッチングする場合、特に薄膜部の T F T の形成領域の島状半導体膜 4 a の表面、特にチャネル領域の表面がエッチングガスのプラズマに曝されるため、島状半導体膜 4 a の表面にダメージ層 13 が生じ、薄膜部の T F T の特性が厚膜部の T F T の特性に比べて劣化してしまうという問題があった。

【0017】一方、図 31 (a) に示すように、フッ酸等を用いたウエットエッチング法で第 1 の絶縁膜 5 をエッチングする場合、島状半導体膜 4 a、4 b の下層の下地シリコン酸化膜 3 とのエッチング選択比をとることが困難であるので、オーバエッチング時に下地のシリコン酸化膜 3 もエッチングされてしまう。このため、島状半導体膜 4 a、4 b のエッジ部下のシリコン酸化膜 3 に「えぐれ 14」が生じる。

【0018】このため、図 31 (b) に示すように、その後第 2 の絶縁膜 6 及びゲート電極となる金属膜 7 を形成し、図 32 (a)、(b) に示すように、レジストマスク 9 c によりパターンニングしてゲート電極 7 a を形成すると、薄膜部の T F T のゲート絶縁膜は第 2 の絶縁膜 6 a のみで薄いため、島状半導体膜 4 a のエッジ部のえぐれ部分で第 2 の絶縁膜 6 a にクラックが発生しやすくなる。従って、薄膜部の T F T のゲート耐圧が極端に劣化してしまうという問題があった。

【0019】さらに、島状半導体膜 4 a のエッジ部にえぐれが生じなくても、島状半導体膜 4 a のエッジ部はエッチングによりテーパがついて先端が鋭角になっているため、特に薄膜部の T F T においては、ゲート電圧を印加すると電界の集中が生じ、所謂寄生 T F T が正規より早く動作してしまうという問題があった。

【0020】また、これらを防ぐため、薄膜部の T F T の島状半導体膜 4 a のエッジ部のみを被覆する構造では、一般的に基板 1 上面からのマスク露光により形成するため、マスク精度や位置合わせ精度のマージンを確保する点から、島状半導体膜 4 a、4 b の幅を大きくする必要があり、T F T の微細化に限界が生じてしまう。

【0021】また、図 34 (a)、(b) に示す従来の製造方法では、L D D 構造を形成する際、微細化の進展に伴い、高濃度不純物領域 4 b a、4 b b と低濃度不純物領域 4 b c、4 b d とゲート電極 7 5 とを相互の配置を保ったまま形成することが困難になってきており、微細化の妨げとなっている。

【0022】また、図 33 に示すゲート絶縁膜を構成する多層の絶縁膜 7 1 b、7 4 a をそれぞれ別々の工程でエッチングしているため、手間がかかり、工程の簡略化が望まれている。

【0023】本発明は、上記従来例の問題点に鑑みて創作されたものであり、ゲート絶縁膜の膜厚が異なる T F T を同一基板上に有し、厚膜部の T F T を L D D 構造と

する薄膜トランジスタ装置であって、特性や耐圧の劣化を防止し、動作層のエッジ部での寄生 T F T の動作を抑制することができる薄膜トランジスタ装置と、工程の簡略化を図り、かつさらなる微細化を図りつつそのような薄膜トランジスタ装置を形成することが可能な薄膜トランジスタ装置の製造方法と、薄膜トランジスタ装置を用いた液晶表示装置を提供することを目的とする。

【0024】

【課題を解決するための手段】本願請求項 1 に記載の薄膜トランジスタ装置の製造方法は、透明基板の表面に第 1 及び第 2 の島状半導体膜を形成する工程と、前記第 1 及び第 2 の島状半導体膜を被覆する第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上にネガティブフォトリソ膜を形成する工程と、前記第 1 の島状半導体膜の全域を遮光するマスクを介して前記ネガティブフォトリソ膜を露光する工程と、前記透明基板の裏面側から前記ネガティブフォトリソ膜を露光する工程と、前記ネガティブフォトリソ膜を現像して前記第 1 の島状半導体膜の周縁から内側の表面に開口部を有するレジストパターンを形成する工程と、前記レジストパターンの開口部内の前記第 1 の絶縁膜をエッチングする工程と、前記レジストパターンを除去する工程と、前記透明基板の表面側全面に第 2 の絶縁膜を形成し、さらにその上に導電体膜を形成する工程と、前記第 1 の島状半導体膜上方の導電体膜上に第 1 のマスクパターンを形成し、前記第 2 の島状半導体膜上方の導電体膜上に第 2 のマスクパターンを形成する工程と、前記第 1 のマスクパターンをマスクとして前記導電体膜をエッチングして第 1 のゲート電極を形成し、前記第 2 のマスクパターンをマスクとして前記導電体膜をエッチングして第 2 のゲート電極を形成する工程とを有することを特徴とする。

【0025】本発明においては、薄い膜厚の第 1 のゲート絶縁膜を有する薄膜トランジスタの形成領域において、第 1 のゲート絶縁膜を形成する前に、第 1 の絶縁膜で第 1 の島状半導体膜の周縁部を覆っている。従って、第 1 の絶縁膜上に第 1 のゲート絶縁膜となる第 2 の絶縁膜と第 1 のゲート電極となる導電体膜とを積層すると、第 1 のゲート電極下の第 1 の島状半導体膜の周縁部は第 2 の絶縁膜のほかに第 1 の絶縁膜で覆われる。このため、第 1 の島状半導体膜の周縁部でゲート電圧印加時の電界集中を緩和して寄生薄膜トランジスタが動作するのを防止することができる。

【0026】また、薄い膜厚の第 1 のゲート絶縁膜を有する薄膜トランジスタの形成領域において、第 1 の島状半導体膜の上方のネガティブフォトリソ膜の未露光領域に対して、第 1 の島状半導体膜をマスクとして透明基板の裏面から露光光を照射しているため、第 1 の島状半導体膜の周縁から光が回折する範囲で自己整合的にその未露光領域が露光される。このため、極めて精度よく第 1 の島状半導体膜の周縁部を第 1 の絶縁膜で覆うこと

ができるので、第 1 の島状半導体膜のチャネル幅方向の寸法マージンを最小にすることができ、従って薄膜トランジスタの微細化が可能である。

【0027】本願請求項 2 記載の薄膜トランジスタ装置の製造方法は、基板上に第 1 及び第 2 の島状半導体膜を形成する工程と、前記第 1 及び第 2 の島状半導体膜を被覆する半導体膜を形成し、さらに該半導体膜上に絶縁膜を形成する工程と、前記第 2 の島状半導体膜上方の前記絶縁膜を選択的にエッチングして前記絶縁膜のパターンを形成する工程と、前記絶縁膜のパターンの下部及びその他の部分の半導体膜を酸化して、前記第 1 の島状半導体膜上に前記半導体膜を酸化してなる絶縁膜からなる第 1 のゲート絶縁膜を形成し、前記第 2 の島状半導体膜上に前記半導体膜を酸化してなる絶縁膜と前記絶縁膜のパターンとからなる第 2 のゲート絶縁膜を形成する工程と、前記第 1 のゲート絶縁膜上に第 1 のゲート電極を形成し、前記第 2 のゲート絶縁膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする。

【0028】本発明によれば、半導体膜上の絶縁膜をエッチングして第 2 のゲート絶縁膜の一部となる絶縁膜を形成するときに、下地の半導体膜により第 1 の島状半導体膜が保護されるため、第 1 の島状半導体膜のチャネル領域が絶縁膜のエッチングガスのプラズマに曝されない。このため、薄い膜厚の第 1 のゲート絶縁膜を有する薄膜トランジスタの特性が劣化するのを防止して、厚い膜厚の第 2 のゲート絶縁膜を有する薄膜トランジスタ及び薄い膜厚の第 1 のゲート絶縁膜を有する薄膜トランジスタともに良好な特性を確保することができる。

【0029】また、第 1 及び第 2 の島状半導体膜の下地の基板も半導体膜により保護されているため、基板表面に絶縁膜が形成されている場合、第 1 及び第 2 の島状半導体膜の端部で基板表面の絶縁膜がエッチングされることによる「えぐれ」も生じない。

【0030】さらに、半導体膜上の絶縁膜をエッチングして第 2 のゲート絶縁膜の一部となる絶縁膜を形成するときに、絶縁膜のエッチャントに対して半導体膜はエッチング耐性を有するため膜減りしない。この実施の形態では、半導体膜を酸化して第 1 のゲート絶縁膜を形成しているため、第 1 のゲート絶縁膜の膜厚を精度よく、かつ容易に制御することが可能である。

【0031】本願請求項 3 記載の薄膜トランジスタ装置の製造方法は、基板上に第 1 の半導体膜を形成する工程と、前記第 1 の半導体膜上に第 1 の絶縁膜と第 2 の半導体膜と第 2 の絶縁膜とをこの順に形成する工程と、前記第 2 の絶縁膜を選択的にエッチングして前記第 2 の絶縁膜のパターンを形成する工程と、前記第 2 の半導体膜を選択的にエッチングして、前記第 2 の絶縁膜のパターンを含まない島状の第 2 の半導体膜と、前記第 2 の絶縁膜のパターンを含む島状の第 2 の半導体膜とを形成する工程と、前記第 2 の絶縁膜のパターンの下部及びその他の

部分の島状の第 2 の半導体膜を酸化するとともに、前記島状の第 2 の半導体膜で覆われていない領域の第 1 の半導体膜を前記第 1 の絶縁膜を介して酸化し、前記第 2 の絶縁膜のパターンを含まない島状の第 2 の半導体膜で覆われていた領域に前記第 1 の半導体膜からなる第 1 の島状半導体膜を形成し、前記第 2 の絶縁膜のパターンを含む島状の第 2 の半導体膜で覆われていた領域に前記第 1 の半導体膜からなる第 2 の島状半導体膜を形成するとともに、前記第 1 の島状半導体膜上に前記第 2 の半導体膜を酸化してなる絶縁膜と前記第 1 の絶縁膜とからなる第 1 のゲート絶縁膜を形成し、前記第 2 の島状半導体膜上に前記第 2 の絶縁膜のパターンと前記第 2 の半導体膜を酸化してなる絶縁膜と前記第 1 の絶縁膜とからなる第 2 のゲート絶縁膜を形成する工程と、前記第 1 のゲート絶縁膜上に第 1 のゲート電極を形成し、前記第 2 のゲート絶縁膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする。

【0032】本発明によれば、第 2 の半導体膜上の第 2 の絶縁膜をエッチングして第 2 のゲート絶縁膜の一部となる絶縁膜を形成するときに、下地の第 2 の半導体膜により第 1 の島状半導体膜が保護されるため、第 1 の島状半導体膜のチャネル領域が第 2 の絶縁膜のエッチングガスのプラズマに曝されない。このため、薄い膜厚の第 1 のゲート絶縁膜を有する薄膜トランジスタの特性が劣化するのを防止して、厚い膜厚の第 2 のゲート絶縁膜を有する薄膜トランジスタ及び薄い膜厚の第 1 のゲート絶縁膜を有する薄膜トランジスタともに良好な特性を確保することができる。

【0033】また、第 2 のゲート絶縁膜のうち厚い絶縁膜となる、第 2 の半導体膜上の第 2 の絶縁膜をエッチングした後に、第 2 の半導体膜を酸化するとともに、第 2 の半導体膜下の第 1 の半導体膜を選択的に酸化して第 1 及び第 2 の島状半導体膜を形成している。このように、下地の基板表面は絶縁膜のエッチングガス等に曝されないため、第 1 及び第 2 の島状半導体膜の端部で所謂「えぐれ」を生じない。

【0034】さらに、第 2 の絶縁膜をエッチングして第 2 のゲート絶縁膜の一部となる絶縁膜を形成するときに、第 2 の絶縁膜のエッチャントに対して第 2 の半導体膜はエッチング耐性を有するため膜減りしない。この実施の形態では、第 2 の半導体膜を酸化してなる絶縁膜と第 1 の絶縁膜とにより第 1 のゲート絶縁膜を形成しているため、第 1 のゲート絶縁膜の膜厚を精度よく、かつ容易に制御することが可能である。

【0035】本願請求項 4 記載の薄膜トランジスタ装置は、チャネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 1 の島状半導体膜と、前記第 1 の島状半導体膜の前記チャネル領域上に形成された第 1 の絶縁膜からなる第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 1 の導電体膜からなる第 1 の

ゲート電極とにより構成された第 1 の薄膜トランジスタと、チャネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 2 の島状半導体膜と、前記第 2 の島状半導体膜の前記チャネル領域上に形成された前記第 1 の絶縁膜及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 の導電体膜からなる第 2 のゲート電極とにより構成された第 2 の薄膜トランジスタとを同一の基板上に有し、前記第 1 の薄膜トランジスタは前記第 1 の島状半導体膜の両側部のエッジの上方で、かつ前記第 1 のゲート電極上に前記第 2 の絶縁膜を介して前記第 2 の導電体膜からなる電界緩和電極を有し、前記第 2 の薄膜トランジスタは前記第 2 のゲート電極下で、かつ前記第 2 の島状半導体膜の両側部のエッジの上に前記第 1 の絶縁膜を介して前記第 1 の導電体膜からなる電界緩和電極を有することを特徴とする。

【0036】本発明によれば、第 1 の薄膜トランジスタにおいては、第 1 の島状半導体膜の両側部のエッジの上方で、かつ第 1 のゲート電極上に、第 2 の絶縁膜を介して電界緩和電極を有している。従って、この部分の寄生容量は、第 1 の島状半導体膜と第 1 の絶縁膜と第 1 のゲート電極とで形成される容量に対して、第 1 のゲート電極と第 2 の絶縁膜と電界緩和電極とで形成される静電容量分だけ大きくなる。このため、薄膜トランジスタのゲートを交流で駆動する場合、第 1 の島状半導体膜の両側部のエッジ部分にかかるゲート電位は遅く立ち上がる。従って、第 1 の島状半導体膜の両側部のエッジ部の寄生トランジスタが動作するのを抑制することができる。

【0037】また、第 2 の薄膜トランジスタにおいては、第 2 のゲート電極下で、かつ第 2 の島状半導体膜の両側部のエッジの上に第 1 の絶縁膜を介して電界緩和電極を有している。従って、電界緩和電極の電位を第 2 の島状半導体膜の両側部のエッジ部のチャネルが導通しない電位に設定しておくことで、第 2 の島状半導体膜の両側部のエッジ部のチャネルが導通するのを抑制し、また、第 2 のゲート電極からの電界の影響をシールドして、寄生トランジスタがオンするのを抑制することができる。

【0038】本願請求項 5 記載の薄膜トランジスタ装置の製造方法は、基板上に第 1 及び第 2 の島状半導体膜を形成する工程と、前記第 1 及び第 2 の島状半導体膜を被覆する第 1 の絶縁膜を形成する工程と、全面に第 1 の導電体膜を形成し、さらに前記第 1 の導電体膜を選択的にエッチングして前記第 1 の島状半導体膜の上方の第 1 の絶縁膜上に第 1 のゲート電極を形成する工程と、全面に第 2 の絶縁膜と第 2 の導電体膜をこの順に形成する工程と、前記第 2 の導電体膜の上にマスクパターンを形成し、該マスクパターンをマスクとして前記第 2 の導電体膜をサイドエッチングして前記マスクパターンよりも幅が狭い第 2 のゲート電極を形成する工程と、前記マスク

パターンをマスクとして前記第 2 の絶縁膜を異方性エッチングし、さらに前記第 1 のゲート電極及び前記マスクパターンをマスクとして前記第 1 の絶縁膜を異方性エッチングして、前記第 1 のゲート電極下に前記第 1 の絶縁膜からなる第 1 のゲート絶縁膜を形成するとともに、前記第 2 のゲート電極下に前記第 1 及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜を形成する工程と、前記マスクパターンを除去する工程と、前記第 1 のゲート電極をマスクとして前記第 1 の島状半導体膜に不純物をイオン注入して前記第 1 のゲート電極の両側に高濃度不純物領域を形成し、前記第 2 のゲート電極及び前記第 2 のゲート絶縁膜をマスクとして前記第 2 の島状半導体膜に不純物をイオン注入して、前記第 2 のゲート電極の両側に一対の高濃度不純物領域を形成する工程と、前記第 2 のゲート電極をマスクとし、かつ前記第 2 のゲート電極の周辺部の第 2 のゲート絶縁膜を透過する条件で前記第 2 の島状半導体膜に不純物をイオン注入して、前記第 2 のゲート電極の両側で前記第 2 のゲート絶縁膜下に一対の低濃度不純物領域を形成する工程とを有することを特徴とする。

【0039】本発明によれば、マスクパターンに基づき、第 2 の導電体膜をサイドエッチングして、マスクパターンよりも幅が狭い第 2 のゲート電極を形成し、さらに、同じマスクパターンに基づき、第 1 及び第 2 の絶縁膜を異方性エッチングして第 2 のゲート電極よりも幅が広い第 2 のゲート絶縁膜を形成している。そして、第 2 のゲート電極及び第 2 のゲート絶縁膜を透過しないような条件でイオン注入して高濃度不純物領域を形成し、さらに第 2 のゲート電極を透過せず、かつ第 2 のゲート絶縁膜を透過するような条件でイオン注入して、第 2 の島状半導体膜に低濃度不純物領域を形成している。これにより、第 2 のゲート電極下のチャネル領域を挟んでチャネル領域の近くから低濃度不純物領域と高濃度不純物領域とが第 2 の島状半導体膜に形成される。

【0040】従って、サイドエッチングの幅が LDD 領域として必要な幅となるように調整することにより、露光用マスクを増やさずに、ゲート電極やゲート絶縁膜を利用して自己整合的に LDD 構造を形成することができる。

【0041】また、膜厚の異なる第 1 及び第 2 のゲート絶縁膜を一度のエッチングにより形成することができるので、工程の簡略化を図ることができる。この場合、第 1 及び第 2 の島状半導体膜のチャネル領域はお互いにエッチングガスのプラズマに曝されないで、第 1 及び第 2 の島状半導体膜のチャネル領域表面にダメージ層が発生するのを防止することができる。

【0042】本願請求項 6 記載の液晶表示装置は、基板上に形成された第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、前記第 2 の薄膜トランジスタのソース/ドレイン領域と接続された画素電極と、前記画素電極

と交差する蓄積容量バスラインとを有し、前記第 1 の薄膜トランジスタは、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 1 の島状半導体膜と、前記第 1 の島状半導体膜の前記チャンネル領域上に形成された第 1 の絶縁膜からなる第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 1 の導電体膜からなる第 1 のゲート電極とにより構成され、前記第 2 の薄膜トランジスタは、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有し、そのうち何れかが前記画素電極と接続した第 2 の島状半導体膜と、前記第 2 の島状半導体膜の前記チャンネル領域上に形成された前記第 1 の絶縁膜及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 の導電体膜からなる第 2 のゲート電極とにより構成され、前記蓄積容量バスラインは、前記第 1 の導電体膜により構成され、その一部領域で、前記蓄積容量バスライン上に前記第 2 の絶縁膜と前記画素電極と接続された第 2 の導電体膜とがこの順に積層されてなることを特徴とする。

【0043】本発明によれば、第 1 の薄膜トランジスタの第 1 のゲート電極と同じ材料の表示部の蓄積容量バスラインを有し、蓄積容量バスライン上に第 2 の絶縁膜と画素電極と接続された第 2 の導電体膜とがこの順に積層されてなる。言い換えれば、蓄積容量バスラインを一方の電極とし、第 2 のゲート絶縁膜のうち第 2 の絶縁膜と同じ材料の絶縁膜を容量絶縁膜とし、第 2 のゲート電極と同じ材料の第 2 の導電体膜を他方の電極とする容量素子が形成される。

【0044】これにより、ゲート絶縁膜は通常薄く形成されるので、ITO 膜を他方の電極とし、層間絶縁膜を容量絶縁膜とする容量素子よりも、単位面積当たり高い容量値の容量素子を得ることができる。これにより、蓄積容量を形成するために必要な蓄積容量バスラインの面積、即ち遮光領域を減らすことができるので、開口率を向上させることができる。

【0045】本願請求項 7 記載の液晶表示装置は、基板上に形成された第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、前記第 2 の薄膜トランジスタのソース/ドレイン領域と接続された画素電極と、前記画素電極と交差する蓄積容量バスラインとを有し、前記第 1 の薄膜トランジスタは、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 1 の島状半導体膜と、前記第 1 の島状半導体膜の前記チャンネル領域上に形成された第 1 の絶縁膜からなる第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 1 の導電体膜からなる第 1 のゲート電極とにより構成され、前記第 2 の薄膜トランジスタは、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有し、そのうち何れかが前記画素電極と接続した第 2 の島状半導体膜と、前記第 2 の島状半導体膜の前記チャンネル領域上に形成され

た前記第 1 の絶縁膜及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 の導電体膜からなる第 2 のゲート電極とにより構成され、前記蓄積容量バスラインは、前記第 1 の導電体膜により構成され、その一部領域で、前記蓄積容量バスラインをゲート電極とし、前記画素電極と接続されたソース/ドレイン領域を有する第 3 の島状半導体膜と、前記第 1 の絶縁膜からなるゲート絶縁膜とを有する第 3 の薄膜トランジスタを備えていることを特徴とする。

【0046】本発明によれば、蓄積容量バスラインは、第 1 のゲート電極と同じ材料である第 1 の導電体膜により構成され、その一部領域で、蓄積容量バスラインをゲート電極とし、画素電極と接続されたソース/ドレイン領域を有する第 3 の島状半導体膜と、第 2 のゲート絶縁膜のうち第 1 の絶縁膜と同じ材料の絶縁膜からなるゲート絶縁膜とを有している。

【0047】言い換えれば、これらは薄膜トランジスタを構成している。チャンネルが常に導通するようなゲート電圧をゲート電極に印加することにより、第 3 の島状半導体膜は低抵抗の電極となり得る。従って、蓄積容量バスラインを一方の電極とし、第 1 の絶縁膜を容量絶縁膜とし、第 3 の島状半導体膜を他方の電極とする蓄積容量素子が形成される。

【0048】これにより、ゲート絶縁膜は通常薄く形成されるので、ITO 膜を他方の電極とし、層間絶縁膜を容量絶縁膜とする蓄積容量素子よりも、単位面積当たり高い容量値の蓄積容量素子を得ることができる。これにより、蓄積容量を形成するために必要な蓄積容量バスラインの面積、即ち遮光領域を減らすことができるので、開口率を向上させることができる。

【0049】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0050】（第 1 の実施の形態）

（薄膜トランジスタ装置の構造）図 1 は、本発明の第 1 の実施の形態である薄膜トランジスタ装置（透過型液晶表示装置）の構成を示すブロック図である。図 2 は表示部の一画素の構成を示す平面図である。但し、以下の例では XGA（1024×768 ピクセル）モードの液晶表示装置について説明する。1 個のピクセルは R（赤色）、G（緑色）、及び B（青色）の 3 個の画素により構成される。

【0051】この実施の形態の液晶表示装置は、制御回路 101、データドライバ 102、ゲートドライバ 103 及び表示部 104 により構成されている。この液晶表示装置には、コンピュータ等の外部装置（図示せず）から表示信号 RGB、水平同期信号 Hsync 及び垂直同期信号 Vsync 等の信号が供給され、電源（図示せず）から高電圧 V_H（18V）、低電圧 V_L（3.3V 又は 5V）及び接地電位 V_{gnd} が供給される。

【0052】表示部104には、水平方向に3072(1024×RGB)個、垂直方向に768個の画素が配列されている。各画素は、nチャネル型のTFT(以下、n型TFTと称する。特に断らない限りTFTの記載はn型TFTのことをいう。)105と、このTFT105のソース電極に接続された表示セル(液晶セル)106及び蓄積容量107とにより構成されている。

【0053】表示セル106は、TFT105のソース電極と接続された画素電極110を一方の電極とし、CF基板上の電極(図示しない)を他方の電極とする一対の電極と、それらの電極間の液晶(図示しない)とにより構成される。

【0054】また、表示部104には、垂直方向に延びる3072本のデータバスライン108と、水平方向に延びる768本のゲートバスライン109と、同じく水平方向に延びる蓄積容量バスライン111とが設けられている。水平方向に並ぶ画素の各TFT105のゲート電極は同一のゲートバスライン109に接続され、垂直方向に並ぶ各画素のTFT105のドレイン電極は同一のデータバスライン108に接続されている。また、蓄積容量バスライン111は画素電極110と交差するように形成され、蓄積容量107の一対の電極のうち一方の電極となる。蓄積容量107は画素電極110と蓄積容量バスライン111を一対の電極とし、一対の電極間に挟まれた層間絶縁膜を容量絶縁膜とする。

【0055】制御回路101は、水平同期信号Hsync及び垂直同期信号Vsyncを入力し、1水平同期期間の開始時にアクティブになるデータスタート信号DSIと、1水平同期期間を一定の間隔に分割するデータクロックDCLKと、1垂直同期期間の開始時にアクティブになるゲートスタート信号GSIと、1垂直同期期間を一定の間隔に分割するゲートクロックGCLKとを出力する。この制御回路101は、低電圧VLで駆動するn型TFT及びpチャネル型のTFT(p型TFT)により構成されている。

【0056】データドライバ102は、シフトレジスタ102a、レベルシフタ102b及びアナログスイッチ102cにより構成されている。

【0057】シフトレジスタ102aは、3072個の出力端子を有している。このシフトレジスタ102aはデータスタート信号DSIにより初期化され、データクロックDCLKに同期したタイミングで各出力端子から順番に低電圧(3.3V又は5V)のアクティブ信号を出力する。このシフトレジスタ102aは低電圧VLで駆動するn型TFT及びp型TFTにより構成されている。

【0058】レベルシフタ102bは、3072個の入力端子と3072個の出力端子を備えている。そして、シフトレジスタ102aから出力された低電圧のアクティブ信号を、高電圧(18V)に変換して出力する。このレベルシフタ102bは、低電圧VLで駆動するn型TFT及びp型TFTと、高電圧VHで駆動するn型TFT及びp型TFTとにより構成されている。

F-T及びp型TFTとにより構成されている。

【0059】アナログスイッチ102cも3072個の入力端子と3072個の出力端子とを有している。アナログスイッチ102cの各出力端子は、それぞれ対応するデータバスライン108に接続されている。アナログスイッチ102cは、レベルシフタ102bからアクティブ信号を入力すると、アクティブ信号を入力した入力端子に対応する出力端子に表示信号RGB(R信号、G信号及びB信号の何れか1つ)を出力する。このアナログスイッチ102cは、高電圧VHで駆動するn型TFT及びp型TFTにより構成されている。

【0060】すなわち、データドライバ102は、1水平期間内にデータクロックDCLKに同期したタイミングで、表示部104の3072本のデータバスライン108にR信号、G信号及びB信号を順番に出力する。

【0061】ゲートドライバ103は、シフトレジスタ103a、レベルシフタ103b及び出力バッファ103cにより構成されている。

【0062】シフトレジスタ103aは、768個の出力端子を有している。このシフトレジスタ103aはゲートスタート信号により初期化され、ゲートクロックGCLKに同期したタイミングで各出力端子から順番に低電圧(3.3V又は5V)の走査信号を出力する。このシフトレジスタ103aは、低電圧VLで駆動するn型TFT及びp型TFTにより構成されている。

【0063】レベルシフタ103bは、768個の入力端子と768個の出力端子とを有している。出力バッファ103cの各出力端子は、それぞれ対応するゲートバスライン109に接続されている。出力バッファ103cは、レベルシフタ103bから入力された走査信号を、入力端子に対応する出力端子を介してゲートバスライン109に供給する。この出力バッファ103cは、高電圧VHで駆動するn型TFT及びp型TFTにより構成されている。

【0064】すなわち、ゲートドライバ103からは、1垂直同期期間内にゲートクロックGCLKに同期したタイミングで、表示部104の768本のゲートバスライン109に走査信号を順番に供給する。

【0065】表示部104のTFT105は、ゲートバスライン109に走査信号が供給されるとオンとなる。このとき、データバスライン108に表示信号RGB(R信号、G信号及びB信号の何れか1つ)が供給されると、表示セル106及び蓄積容量107に表示信号RGBが書き込まれる。表示セル106では、書き込まれた表示信号RGBにより液晶分子の傾きが変化し、その結果表示セル106の光透過率が変化する。各画素毎に表示セル106の光透過率を制御することによって、所望の画像が表示される。

【0066】以下の実施の形態では、表示部104内に設けられたTFTを画素TFTという。また、データド

ライバ102及びゲートドライバ103内のTFTのうち高電圧(18V)で駆動するTFTを、高電圧駆動用TFTという。さらに、制御回路101、データドライバ102及びゲートドライバ103内のTFTのうち低電圧(3.3V又は5V)で駆動するTFTを、低電圧駆動用TFTという。

【0067】(液晶表示装置に用いられた薄膜トランジスタの構造)以下に、上記3種類のTFTの構造について説明する。ここで、高電圧駆動用TFTは画素TFTとほぼ同じ構造を有するので、それらを代表して画素TFTについて説明し、高電圧駆動用TFTはその説明を省略する。また、p型TFTはn型TFTとほぼ同じ構造を有するので、その説明を省略する。

【0068】図10(b)の左の図は低電圧駆動用TFTの構造を示す断面図である。同じく右の図は画素TFTの構造を示す断面図であり、図2のI-I線に沿う断面を示す。

【0069】まず、低電圧駆動用TFTにおいては、図10(b)の左の図に示すように、ガラス基板21上にシリコン窒化膜22aとシリコン酸化膜22bの積層構造からなる下地絶縁膜22が形成されている。この下地絶縁膜22の上にTFTの動作層となるポリシリコン膜からなる第1の島状半導体膜24aが形成されている。この第1の島状半導体膜24aには、TFTのソース/ドレインである一対の高濃度不純物領域(オーミックコンタクト領域)24aa、24abがチャネル領域24acを挟んで形成されている。

【0070】下地絶縁膜22及び第1の島状半導体膜24aの上には、厚さが30nmのシリコン酸化膜(SiO₂膜)28aからなるゲート絶縁膜が形成されている。また、このシリコン酸化膜28aの上には、ゲート電極29aが形成されている。低電圧駆動用TFTでは、高濃度不純物領域24aa、24abのチャネル領域側のエッジが、いずれもゲート電極29aのエッジのほぼ真下に位置している。

【0071】シリコン酸化膜28a及びゲート電極29aの上には、厚さが90nmのシリコン酸化膜31と厚さが350nmのシリコン窒化膜(SiN膜)32とが積層されている。シリコン窒化膜32の上には電極(ソース電極及びドレイン電極)34a、34bが形成されている。これらの電極34a、34bは、シリコン窒化膜32の上面から高濃度不純物領域24aa、24abに通じるコンタクトホール33a、33b内に埋め込まれた金属により、高濃度不純物領域24aa、24abに電氣的に接続されている。

【0072】以上のように、低電圧駆動用TFTは、ゲート絶縁膜が厚さ30nmのシリコン酸化膜28aのみで構成されており、さらにLDD領域が設けられていないので、低電圧での高速動作が可能である。また、不純物領域24aa、24abがゲート電極29aに対し、

自己整合的に形成できるので、素子の微細化が容易である。なお、この低電圧駆動用TFTにはLDD領域が設けられていないが、低電圧駆動するのでホットエレクトロンが少なく、ホットエレクトロンに起因するオン特性の劣化とオフ電流の増大が回避される。

【0073】次に、画素TFTにおいては、図10(b)の右側の図に示すように、ガラス基板21の上には上記したと同じ積層構造の下地絶縁膜22が形成されている。この下地絶縁膜22上には、TFTの動作層となるポリシリコン膜からなる第2の島状半導体膜24bが形成されている。第2の島状半導体膜24bにTFTのソース/ドレインである一対のn型高濃度不純物領域(オーミックコンタクト領域)24ba、24bbがチャネル領域24beを挟んで形成されている。また、これらのn型高濃度不純物領域24ba、24bbのチャネル領域24be側の端部には、n型低濃度不純物領域であるLDD領域24bc、24bdが形成されている。

【0074】下地絶縁膜22及び第2の島状半導体膜24bの上には、厚さが90nmのシリコン酸化膜25aと厚さが30nmのシリコン酸化膜28bとを積層してなるゲート絶縁膜が形成されている。そして、シリコン酸化膜28bの上にはゲート電極29bが形成されている。ゲート電極29bはゲートバスライン109と一体的に形成されている。また、ゲート電極29bと同じ材料で蓄積容量バスライン111が形成されている。

【0075】この画素TFTでは、上から見たときに、ゲート電極29bの両側のエッジのほぼ真下に、LDD領域24bc、24bdのチャネル領域側エッジが配置されている。画素TFTでは、表示信号として正及び負の信号が与えられるので、ソース側及びドレイン側の両方にLDD領域24bc、24bdを設けないと、ホットエレクトロンによるトランジスタ特性の劣化が発生する。

【0076】ゲート電極29bの露出した表面を被覆するようにシリコン酸化膜31と厚さ350nmのシリコン窒化膜32が形成されている。シリコン窒化膜32の上には電極(ソース/ドレイン電極)34c、34dが形成されている。これらの電極34c、34dは、シリコン窒化膜32の上面から高濃度不純物領域24ba、24bbに通じるコンタクトホール33c、33d内に埋め込まれた金属により、高濃度不純物領域24ba、24bbに電氣的に接続されている。一対のソース/ドレイン電極34c、34dのうちドレイン側のソース/ドレイン電極34cはデータバスライン108と一体的に形成されている。

【0077】以上のように、これらの画素TFTによれば、ゲート絶縁膜が120nmと厚いシリコン酸化膜(シリコン酸化膜25a+シリコン酸化膜28b)で形成されているので、耐圧が高く、高電圧で駆動させるこ

とができる。

【0078】なお、説明を省略した高電圧駆動用TFTにおいて、画素TFTと異なるところは高電圧のかかるドレイン側にのみLDD領域を有している点である。また、説明を省略した周辺回路の高電圧駆動用p型TFTではLDD領域は設けられていない。これは、p型TFTの場合は、キャリアが正孔であるので、ホットキャリアの発生がほとんどなく、LDD領域を設けなくてもトランジスタ特性に支障がないからである。

【0079】(薄膜トランジスタ装置の製造方法) 次に、本実施の形態の薄膜トランジスタ装置の製造方法について、図3乃至図12を参照して説明する。なお、これらの図のうち図3乃至10において、左の図が低電圧駆動用TFTの形成領域における断面図であり、右の図は画素TFTの形成領域における断面図である。また、図11(a)は低電圧駆動用TFTの製造工程途中の図8(a)における平面図、同図(b)は同じく図8(b)における平面図及びII-II線に沿う断面図である。図12(a)は画素TFTの製造工程途中の図8(a)における平面図、同図(b)は同じく図8(b) 20 における平面図及びIII-III線に沿う断面図である。

【0080】まず、図3(a)に示すように、プラズマCVD法により、ガラス基板21の上に、下地絶縁膜としてシリコン窒化膜22aを約50nm、シリコン酸化膜22bを200nmの厚さに形成する。続いて、シリコン酸化膜22bの上にアモルファスシリコン膜24を約50nmの厚さで形成する。

【0081】次に、アモルファスシリコン膜24中の水素を低減するために、450℃の温度でアニールする。そして、アモルファスシリコン膜24にエキシマレーザ 30 を照射して、アモルファスシリコン膜24をポリシリコン膜に変化させる。

【0082】次に、ポリシリコン膜の上にフォトレジストを塗布し、選択露光及び現像工程を経て、所定のレジストマスク(図示せず)を形成する。そして、このレジストマスクに基づき、ポリシリコン膜をドライエッチングし、図3(b)に示すように、所定の領域のみにポリシリコン膜からなる第1及び第2の島状半導体膜24a、24bを残す。その後、レジストマスクを除去する。

【0083】次に、図4(a)に示すように、プラズマCVD法により、ガラス基板21の上側全面に第1のシリコン酸化膜(第1の絶縁膜)25を90nmの厚さに成膜する。続いて、塗布法により第1のシリコン酸化膜25の上にネガティブフォトレジスト膜26を形成する。次いで、低電圧駆動用TFTの形成領域の第1の島状半導体膜24a全体を遮光するようなマスクを用いて、ネガティブフォトレジスト膜26を露光する。これにより、低電圧駆動用TFTの形成領域の第1の島状半導体膜24a上方であって、第1の島状半導体膜24a 50

の形成領域よりも広い範囲でネガティブフォトレジスト膜26の末露光領域が残る。

【0084】次に、図4(b)に示すように、背面からガラス基板21を介してネガティブフォトレジスト膜26を露光する。このとき、露光光は第1の島状半導体膜24aにより遮光されるが、周縁部での光の回折により、第1の島状半導体膜24aの周縁よりも内側の一定の範囲までネガティブフォトレジスト膜26が露光される。

【0085】次に、図5(a)に示すように、ネガティブフォトレジスト膜26を現像する。これにより、ネガティブフォトレジスト膜26には第1の島状半導体膜24aの周縁よりも内側の領域に開口部26aが形成される。

【0086】次に、図5(b)に示すように、現像により形成されたレジストマスク26の開口部26aを通して第1のシリコン酸化膜25をドライエッチングする。これにより、第1の島状半導体膜24aの周縁よりも内側の領域に第1のシリコン酸化膜25の開口部25aが形成される。即ち、第1のシリコン酸化膜25は第1の島状半導体膜24aの周縁部を覆うように残る。その後、ネガティブフォトレジスト膜26を除去する。

【0087】次に、図6(a)に示すように、プラズマCVD法により、ガラス基板21の上側全面に第2のシリコン酸化膜(第2の絶縁膜)28を30nmの厚さに形成する。

【0088】次に、図6(b)に示すように、第2のシリコン酸化膜28の上にAl-Nd(アルミニウム-ネオジム: Nd含有量は2at.%, 導電体膜)膜29を約300nmの厚さに形成する。続いて、Al-Nd膜29の上にフォトレジスト膜30を形成する。

【0089】次に、フォトレジスト膜30を選択露光し、現像して、図7(a)に示すように、各TFTのゲート電極を形成すべき領域にレジストマスク30a、30bを形成する。次いで、図7(b)に示すように、レジストマスク30a、30bに基づき、Al-Nd膜29をエッチングして、低電圧駆動用TFTのゲート電極29aと、画素TFTのゲート電極29bとを形成する。

40 【0090】次に、図8(a)に示すように、レジストマスク30a、30bに基づき、第2のシリコン酸化膜28を異方性エッチングする。このとき、低電圧駆動用TFTの形成領域を上から見た場合、図11(a)に示すようになっている。また、画素TFTの形成領域を上から見た場合、図12(a)に示すようになっている。

【0091】続いて、図8(b)に示すように、ガラス基板21上方に残る、かつレジストマスク30a、30bで覆われていないシリコン酸化膜25をエッチングにより除去する。このとき、低電圧駆動用TFTの形成領域において、第1の島状半導体膜24aの周縁部をゲー

ト電極29aが横切る領域では、図11(b)に示すように、ゲート電極29aの下に第1の島状半導体膜24aを覆ってシリコン酸化膜25b、28aが残る。また、画素TF Tの形成領域においても、第2の島状半導体膜24bの周縁部をゲート電極29bが横切る領域では、図12(b)に示すように、ゲート電極29bの下に第2の島状半導体膜24bを覆ってシリコン酸化膜25a、28bが残る。なお、高電圧駆動用TF Tの形成領域においても同様にゲート電極の下に島状半導体膜を覆って厚いシリコン酸化膜と薄いシリコン酸化膜がとも

に残る。
【0092】その後、レジストマスク30a、30bを除去する。

【0093】次に、図9(a)に示すように、ゲート電極29a、29b及びゲート絶縁膜28b及び25bを透過せずに、ゲート絶縁膜28aを透過するような条件、例えば、加速電圧が25keV、注入量が $7 \times 10^{14} \text{ cm}^{-2}$ の条件で第1及び第2の島状半導体膜24a、24bにリン(P)をイオン注入する。これにより、低電圧駆動用TF Tの形成領域のゲート電極29aに覆われていない領域の第1の島状半導体膜24aに高濃度不純物領域(ソース/ドレイン領域)24aa、24abが形成される。また、画素TF Tの形成領域のゲート電極29b及びゲート絶縁膜28b及び25bに覆われていない領域の第2の島状半導体膜24bに高濃度不純物領域(ソース/ドレイン領域)24ba、24bbが形成される。このとき、高電圧駆動用TF Tの形成領域の島状半導体膜にも高濃度不純物領域(ソース/ドレイン領域)が形成される。

【0094】次に、ゲート電極29a、29bを透過せず、ゲート絶縁膜28b及び25bを透過するような加速電圧の条件、例えば加速電圧が70keVで、低ドーズ量、例えば $2 \times 10^{13} \text{ cm}^{-2}$ の条件でリンをイオン注入して、画素TF Tの形成領域のゲート電極29bエッジとゲート絶縁膜28b及び25bエッジとの間に、低濃度不純物領域(低濃度ソース/ドレイン領域)24bc、24bdを形成する。このとき、高電圧駆動用TF Tの形成領域の島状半導体膜にもドレイン側に低濃度不純物領域であるLDD領域が形成される。なお、低電圧駆動用TF Tの形成領域では、注入イオンは加速電圧が高いため、第1の島状半導体膜24aを透過し、このため、第1の島状半導体膜24a中には不純物が導入されない。

【0095】次に、図9(b)に示すように、プラズマCVD法により、ガラス基板21の上側全面にシリコン酸化膜31を90nmの厚さで形成し、さらにその上にシリコン窒化膜32を350nmの厚さで形成する。

【0096】次に、図10(a)に示すように、低電圧駆動用TF Tの形成領域において、高濃度不純物領域24aa、24ab上のシリコン窒化膜32とシリコン酸

化膜31を貫通するコンタクトホール33a、33bを形成するとともに、画素TF Tの形成領域において、高濃度不純物領域24ba、24bb上のシリコン窒化膜32とシリコン酸化膜31を貫通するコンタクトホール33c、33dを形成する。

【0097】次に、図10(b)に示すように、スパッタ法により、ガラス基板21の上側全面に、Ti膜を100nm、Al膜を200nm、Ti膜を50nmの厚さに順次堆積し、これらの金属膜でコンタクトホール33a、33b、33c、33dを埋め込むとともにシリコン窒化膜32上に金属の積層膜を形成する。その後、フォトリソグラフィによりレジストマスク(不図示)を形成し、続いて、このレジストマスクを基に金属膜をドライエッチングする。このようにして、低電圧駆動用TF Tの高濃度不純物領域24aa、24abと接触したソース/ドレイン電極34a、34bを形成し、同時に、画素TF Tの高濃度不純物領域24ba、24bbと接触したソース/ドレイン電極34c、34dを形成する。

【0098】なお、液晶表示装置の表示部104では、ソース/ドレイン電極34a乃至34dの形成と同時に、データバスライン108を形成する。また、制御回路101、データドライバ102及びゲートドライバ103の形成領域では、ソース/ドレイン電極34a乃至34dの形成と同時に、所定の配線パターンを形成する。続いて、感光性樹脂を塗布して厚さが $3.0 \mu\text{m}$ の樹脂膜35を形成する。

【0099】以上のようにして、薄膜トランジスタ装置が完成する。液晶表示装置を作成するため、引き続き以下の工程を行う。

【0100】次に、樹脂膜35の所定領域に、配線パターンを介してソース/ドレイン電極34dに繋がるピアホールを形成する。その後、スパッタ法により、ガラス基板21の上側全面に厚さが70nmのITO(indium-tin oxide: インジウム酸化スズ)膜を成膜した後、通常のフォトリソグラフィ工程によりITO膜をパターニングして、画素TF Tのソース側不純物領域に電氣的に接続した画素電極36を形成する。その後、ガラス基板21の上側全面に、液晶分子の初期状態(電圧無印加時)の配向方向を決める配向膜(図示せず)を形成する。

【0101】このようにして、液晶表示装置のTF T基板が完成する。

【0102】液晶表示装置の対向基板は、公知の方法で作成する。すなわち、ガラス基板上に、例えばCr(クロム)により、画素間の領域を遮光するためのブラックマトリクスを形成する。また、ガラス基板上に赤色、緑色及び青色のカラーフィルタを形成し、各画素毎に赤色、緑色及び青色の何れか1色のカラーフィルタを配置する。その後、ガラス基板の上側全面にITO膜からな

る透明電極を形成し、透明電極の上に配向膜を形成する。

【0103】このようにして製造されたTFT基板と対向基板とを貼り合わせ、両者の間に液晶を封入して液晶パネルとする。この液晶パネルの両面に偏光板を配置し、裏面側にバックライトを配置すると、液晶表示装置が完成する。

【0104】以上のように、本発明の第1の実施の形態によれば、図5(b)に示すように、低電圧駆動用TFTの形成領域において、ゲート絶縁膜28を形成する前に、第1の島状半導体膜24aの周縁部を高電圧駆動用TFTの厚いゲート絶縁膜の一部となる厚いシリコン酸化膜25で覆っている。従って、厚いシリコン酸化膜25上にゲート絶縁膜となるシリコン酸化膜28とゲート電極となる金属膜29とを積層し、図8(b)に示すように、第1の島状半導体膜24aと交差する帯状のレジストマスク30aに基づき、ゲート電極29a及びゲート絶縁膜28aをエッチングにより形成すると、図11(b)に示すように、ゲート電極29a下の第1の島状半導体膜24aの周縁部はシリコン酸化膜28aのほか10に厚いシリコン酸化膜25bで覆われる。このため、第1の島状半導体膜24aの周縁部でゲート電圧印加時の電界集中を緩和して寄生TFTが動作するのを防止することができる。

【0105】また、図4(a)、(b)に示すように、低電圧駆動用TFTの形成領域において、第1の島状半導体膜24aの上方のネガティブフォトリソ膜26の未露光領域に対して、第1の島状半導体膜24aをマスクとしてガラス基板21の裏面から露光光を照射している15ので、第1の島状半導体膜24aの周縁から光が回折する範囲で自己整合的にその未露光領域が露光される。このため、極めて精度よく第1の島状半導体膜24aの周縁部をシリコン酸化膜25で覆うことができるので、第1の島状半導体膜24aのチャネル幅方向の寸法マージンを最小にすることができ、従ってTFTの微細化が可能である。

【0106】(第2の実施の形態)次に、本発明の第2の実施の形態について図面を参照して説明する。

【0107】(液晶表示装置に用いられた薄膜トランジスタ装置の構造)以下に、第2の実施の形態である、液晶表示装置に用いられた薄膜トランジスタ装置の構造について、図16(b)を参照して説明する。ここで、高電圧駆動用TFTは画素TFTとほぼ同じ構造を有するので、それらを代表して画素TFTについて説明し、高電圧駆動用TFTはその説明を省略する。また、p型TFTはn型TFTとほぼ同じ構造を有するので、その説明を省略する。

【0108】図16(b)の左の図はnチャネル型の低電圧駆動用TFTの構造を示す断面図であり、同じく右の図はnチャネル型の画素TFTの構造を示す断面図で20

ある。

【0109】まず、低電圧駆動用TFTにおいては、図16(b)の左の図に示すように、ガラス基板21上に厚さが50nmのシリコン窒化膜22aと厚さが200nmのシリコン酸化膜22bとの積層構造からなる下地絶縁膜22が形成されている。この下地絶縁膜22の上にTFTの動作層となる厚さが40nmのポリシリコン膜からなる第1の島状半導体膜24aが形成されている。この第1の島状半導体膜24aには、TFTのソース/ドレインである一対の高濃度不純物領域(オーミックコンタクト領域)24aa、24abがチャネル領域24acを挟んで形成されている。

【0110】下地絶縁膜22及び第1の島状半導体膜24aの上には、厚さが約30nmのシリコン酸化膜からなる第1のゲート絶縁膜51aが形成されている。このシリコン酸化膜51aはアモルファスシリコン膜を酸化して形成されている。

【0111】また、この第1のゲート絶縁膜51aの上には、第1のゲート電極54aが形成されている。高濃度不純物領域24aa、24abのチャネル領域側のエッジが、いずれもゲート電極54aのエッジのほぼ真下に位置している。

【0112】第1のゲート絶縁膜51a及び第1のゲート電極54aの上には、厚さが370nmのシリコン窒化膜(第1の層間絶縁膜)55が形成されている。シリコン窒化膜55の上には一対のソース/ドレイン電極57a、57bが形成されている。これらのソース/ドレイン電極57a、57bは、シリコン窒化膜55の上面から高濃度不純物領域24aa、24abに通じるコンタクトホール56a、56b内に埋め込まれた金属により、高濃度不純物領域24aa、24abに電氣的に接続されている。

【0113】以上のように、低電圧駆動用TFTは、第1のゲート絶縁膜51aが厚さ約30nmのシリコン酸化膜のみで構成されており、さらにLDD領域が設けられていないので、低電圧での高速動作が可能である。また、高濃度不純物領域24aa、24abが第1のゲート電極54aに対し、自己整合的に形成できるので、素子の微細化が容易である。なお、この低電圧駆動用TFTにはLDD領域が設けられていないが、低電圧駆動するのでホットエレクトロンが少なく、ホットエレクトロンに起因するオン特性の劣化とオフ電流の増大が回避される。

【0114】次に、画素TFTにおいては、図16(b)の右側の図に示すように、ガラス基板21の上には上記したと同じ積層構造の下地絶縁膜22が形成されている。この下地絶縁膜22上には、TFTの動作層となる第2の島状半導体膜24bが形成されている。第2の島状半導体膜24bにTFTのソース/ドレインのオーミックコンタクト領域である一対のn型の高濃度不純

物領域24ba、24bbがチャネル領域24beを挟んで形成されている。また、これらの高濃度不純物領域24ba、24bbのチャネル領域24be側の端部には、それぞれn型の低濃度不純物領域(LDD領域)24bc、24bdが形成されている。

【0115】下地絶縁膜22及び第2の島状半導体膜24bの上には、厚さが約10nmのシリコン酸化膜51aと厚さが100nmのシリコン酸化膜52aが積層して形成されている。そして、シリコン酸化膜52aの上には第2のゲート電極54bが形成されている。第2のゲート電極54b下のシリコン酸化膜51aとシリコン酸化膜52aとで構成された絶縁膜の積層構造が第2のゲート絶縁膜となる。

【0116】この画素TF Tでは、上から見たときに、第2のゲート電極54bの両側のエッジのほぼ真下に、LDD領域24bc、24bdのチャネル領域側エッジが配置されている。画素TF Tでは、表示信号として正及び負の信号が与えられるので、ソース側及びドレイン側の両方にLDD領域24bc、24bdを設けないと、ホットエレクトロンによるトランジスタ特性の劣化が発生する。

【0117】第2のゲート電極54b及びシリコン酸化膜51aの上には厚さ370nmのシリコン窒化膜55が形成されている。シリコン窒化膜55の上には一対のソース/ドレイン電極57c、57dが形成されている。これらのソース/ドレイン電極57c、57dはコンタクトホール56c、56dを通して高濃度不純物領域24ba、24bbと接触している。

【0118】以上のように、上記画素TF Tによれば、第2のゲート絶縁膜が110nmと厚いシリコン酸化膜(シリコン酸化膜51a+シリコン酸化膜52a)で形成されているので、耐圧が高く、高電圧で駆動させることができる。

【0119】なお、説明を省略した高電圧駆動用TF Tにおいて、画素TF Tと異なるところは高電圧のかかるドレイン側にのみLDD領域を有している点である。また、説明を省略した周辺回路の高電圧駆動用p型TF TではLDD領域は設けられていない。これは、p型TF Tの場合は、キャリアが正孔であるので、ホットキャリアの発生がほとんどなく、LDD領域を設けなくてもトランジスタ特性に支障がないからである。

【0120】(液晶表示装置に用いられた薄膜トランジスタの製造方法)次に、本実施の形態の液晶表示装置に用いられた薄膜トランジスタ装置の製造方法について、図13乃至図16を参照して説明する。なお、これらの図において、左の図が低電圧駆動用TF Tの形成領域における断面図であり、右の図は画素TF Tの形成領域における断面図である。

【0121】まず、図13(a)に示すように、プラズマCVD法により、ガラス基板21の上に、下地絶縁膜

としてシリコン窒化膜22aを約50nmの厚さで、シリコン酸化膜22bを200nmの厚さでこの順に形成する。続いて、シリコン酸化膜22bの上にアモルファスシリコン膜を約40nmの厚さで形成する。

【0122】次に、アモルファスシリコン膜中の水素を低減するために、450の温度でアニールする。そして、アモルファスシリコン膜にエキシマレーザを照射して、アモルファスシリコン膜をポリシリコン膜に変化させる。

【0123】次に、ポリシリコン膜の上にフォトリソを塗布し、露光及び現像工程を経て、所定のレジストマスク(図示せず)を形成する。そして、このレジストマスクに基づき、ポリシリコン膜をドライエッチングし、所定の領域のみにポリシリコン膜からなる第1の島状半導体膜24a及び第2の島状半導体膜24bを残す。その後、レジストマスクを除去する。

【0124】次に、プラズマCVD法により、ガラス基板21の上側全面にアモルファスシリコン膜51を10nmの厚さに成膜し、さらにシリコン酸化膜(絶縁膜)52を100nmの厚さに成膜する。

【0125】続いて、塗布法によりシリコン酸化膜52の上にフォトリソ膜を形成した後、露光及び現像工程を経て、図13(b)に示すように、画素TF Tの形成領域にレジストマスク53を形成する。

【0126】次いで、レジストマスク53に基づいてシリコン酸化膜52を希フッ酸によりウエットエッチングする。このとき、希フッ酸に対してエッチング耐性のある、シリコン酸化膜52下のアモルファスシリコン膜51をエッチングのストッパとする。これにより、レジストマスク53の下にシリコン酸化膜のパターン(絶縁膜のパターン)52aを形成する。その後、レジストマスク53を除去する。

【0127】次に、図14(a)に示すように、高圧酸化法によりシリコン酸化膜のパターン52aの下部を含む全体のアモルファスシリコン膜51を酸化して、シリコン酸化膜(半導体膜を酸化してなる絶縁膜)51aを形成する。高圧酸化は、例えば圧力2MPaに調整された水蒸気雰囲気中、温度550、酸化時間1時間の条件で行う。なお、高圧酸化法の代わりによく知られた熱酸化法、或いはプラズマ酸化法などの方法を用いることが可能である。

【0128】これにより、第1の島状半導体膜24a上にシリコン酸化膜51aからなる第1のゲート絶縁膜が形成され、第2の島状半導体膜24b上にシリコン酸化膜51aとシリコン酸化膜のパターン52aとからなる第2のゲート絶縁膜が形成される。

【0129】次に、図14(b)に示すように、スパッタ法により、Al-Nd膜を厚さ300nmで成膜した後、図示しないレジストマスクに基づいてAl-Nd膜をエッチングし、低電圧駆動用TF Tの形成領域におい

て第1のゲート絶縁膜51a上に第1のゲート電極54aを形成し、画素TF Tの形成領域において、第2のゲート絶縁膜51a及び52a上に第2のゲート電極54bを形成する。このとき、第2のゲート電極54bは第2のゲート絶縁膜52aの上面の面積よりも小さい面積で、かつ第2のゲート絶縁膜52aの上面の周縁よりも内側に形成する。その後、レジストマスクを除去する。

【0130】次に、図15(a)に示すように、第1のゲート電極54aをマスクとして第1の島状半導体膜24a内に高濃度のリンをイオン注入する。同時に、第2のゲート電極54b及び第2のゲート絶縁膜51a及び52aをマスクとして第2の島状半導体膜24b内に高濃度のリンをイオン注入する。このとき、イオン注入の条件を、例えば、加速電圧が25keV、注入量が $7 \times 10^{14} \text{ cm}^{-2}$ とする。これにより、第1のゲート電極54aの両側の第1の島状半導体膜24aにn型の高濃度不純物領域24aa、24abが形成され、第2のゲート絶縁膜51a及び52aの両側の第2の島状半導体膜24b内にn型の高濃度不純物領域24ba、24bbが形成される。

【0131】続いて、第1及び第2のゲート電極を透過せず、かつ第1及び第2の島状半導体膜24a、24bを透過し、第2のゲート絶縁膜51a及び52aを透過する条件で第2の島状半導体膜24b内に低濃度のリンをイオン注入する。イオン注入の条件を、例えば、加速電圧が70keVで、低いドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、第2のゲート電極54bのエッジと高濃度不純物領域24ba、24bbのエッジの間の第2の島状半導体膜24b内にn型の低濃度不純物領域(LDD領域)24bc、24bdが形成される。

【0132】次に、図15(b)に示すように、プラズマCVD法により、ガラス基板21表面の全面にシリコン窒化膜55を厚さ370nmで成膜する。

【0133】次に、図16(a)に示すように、図示しないレジストマスクに基づき、シリコン窒化膜(第1の層間絶縁膜)55をSF₆ガスによりドライエッチングし、第1の島状半導体膜24aの高濃度不純物領域24aa、24ab上のシリコン窒化膜55を貫通するコンタクトホール56a、56bを形成する。同時に、第2の島状半導体膜24bの高濃度不純物領域24ba、24bb上のシリコン窒化膜55を貫通するコンタクトホール56c、56dを形成する。その後、レジストマスクを除去する。

【0134】次いで、図16(b)に示すように、スパッタ法により、ガラス基板21の上側全面に、Ti膜を50nm、Al膜を100nm、Ti膜を50nmの厚さに順次堆積し、これらの金属膜でコンタクトホール56a、56b、56c、56dを埋め込むとともにシリコン窒化膜55上に金属の積層膜を形成する。その後、フォトリソグラフィによりレジストマスク(不図示)を

形成し、続いて、このレジストマスクに基づいて、金属膜をドライエッチングする。これにより、低電圧駆動用TF Tの高濃度不純物領域(ソース/ドレイン領域)24aa、24abと接触したソース/ドレイン電極57a、57bを形成する。同時に、画素TF Tの高濃度不純物領域(ソース/ドレイン領域)24ba、24bbと接触したソース/ドレイン電極57c、57dを形成する。

【0135】なお、ソース/ドレイン電極57a乃至57dの形成と同時に、表示部104ではデータバスライン108を形成し、制御回路101、データドライバ102及びゲートドライバ103の形成領域では、所定の配線パターンを形成する。

【0136】次に、感光性樹脂を塗布して厚さが3.0μmの樹脂膜(第2の層間絶縁膜)58を形成する。以上のようにして、薄膜トランジスタ装置が完成する。引き続き、液晶表示装置を作成するため、以下の工程を行う。

【0137】次に、この樹脂膜58のソース/ドレイン電極57d上にビアホール59を形成する。その後、スパッタ法により、ガラス基板21の上側全面に厚さが70nmのITO膜を成膜した後、通常のフォトリソグラフィ工程によりITO膜をパターニングして、画素TF Tのソース側不純物領域に接触する画素電極60を形成する。その後、ガラス基板21の上側全面に、液晶分子の初期状態(電圧無印加時)の配向方向を決める配向膜(図示せず)を形成する。

【0138】このようにして、液晶表示装置のTF T基板が完成する。

【0139】液晶表示装置の対向基板は、公知の方法で作成する。すなわち、ガラス基板上に、例えばCr(クロム)により、画素間の領域を遮光するためのブラックマトリクスを形成する。また、ガラス基板上に赤色、緑色及び青色のカラーフィルタを形成し、各画素毎に赤色、緑色及び青色の何れか1色のカラーフィルタを配置する。その後、ガラス基板の上側全面にITO膜からなる透明電極を形成し、透明電極の上に配向膜を形成する。

【0140】このようにして製造されたTF T基板と対向基板とを貼り合わせ、両者の間に液晶を封入して液晶パネルとする。この液晶パネルの両面に偏光板を配置し、裏面側にバックライトを配置すると、液晶表示装置が完成する。

【0141】以上のように、第2の実施の形態によれば、図13(b)に示すように、シリコン窒化膜52をエッチングして第2のゲート絶縁膜の一部となる絶縁膜を形成するときに、下地のアモルファスシリコン膜51により第1の島状半導体膜24aが保護されるため、第1の島状半導体膜24aのチャネル領域がシリコン窒化膜52のエッチングガスのプラズマに曝されない。この

ため、低電圧駆動用TFTで代表される薄膜部のTFTの特性が劣化するのを防止して、画素TFTで代表される厚膜部のTFT及び薄膜部のTFTともに良好な特性を確保することができる。

【0142】また、第1及び第2の島状半導体膜24a、24bの下地のシリコン酸化膜22bもアモルファスシリコン膜51により保護されているため、第1及び第2の島状半導体膜24a、24bの端部でシリコン酸化膜22bがエッチングされることによる「えぐれ」も生じない。

【0143】さらに、シリコン酸化膜52をエッチングして第2のゲート絶縁膜の一部となる絶縁膜を形成するときに、シリコン酸化膜52のエッチャントに対してアモルファスシリコン膜51はエッチング耐性を有するため膜減りしない。この実施の形態では、アモルファスシリコン膜51を酸化して第1のゲート絶縁膜51aを形成しているため、第1のゲート絶縁膜51aの膜厚を精度よく、かつ容易に制御することが可能である。

【0144】なお、上記の実施の形態においては、第1及び第2の島状半導体膜24a、24bの上に直接アモルファスシリコン膜51を形成しているが、第1及び第2の島状半導体膜24a、24bを被覆するシリコン酸化膜を形成し、その上にアモルファスシリコン膜51とシリコン酸化膜52とを形成してもよい。これにより、上記の効果のほかに、アモルファスシリコン膜51を酸化して第1のゲート絶縁膜を形成するときに、第1のゲート絶縁膜の膜厚の制御がさらに容易になる。この場合、第1のゲート絶縁膜の膜厚は第1の島状半導体膜24aを被覆するシリコン酸化膜と、アモルファスシリコン膜を酸化してなるシリコン酸化膜51aとで構成され、第2のゲート絶縁膜は第2の島状半導体膜24bを被覆するシリコン酸化膜と、アモルファスシリコン膜を酸化してなるシリコン酸化膜51aと、シリコン酸化膜52aとで構成されることになる。

【0145】（薄膜トランジスタ装置の他の製造方法）図17乃至図18はこの発明の第2の実施の形態である薄膜トランジスタ装置の他の製造方法について説明する断面図である。

【0146】図17(a)に示すように、第1の実施の形態と同様に、ガラス基板21上に膜厚50nmのシリコン窒化膜22aと膜厚200nmのシリコン酸化膜22bと膜厚40nmのアモルファスシリコン膜を形成した後、アモルファスシリコン膜にエキシマレーザを照射してアモルファスシリコン膜をポリシリコン膜（第1の半導体膜）24に変換する。

【0147】次いで、プラズマCVD法により、膜厚10nmの第1のシリコン酸化膜（第1の絶縁膜）62と、膜厚10nmのアモルファスシリコン膜（第2の半導体膜）63と、膜厚100nmの第2のシリコン酸化膜（第2の絶縁膜）64とを成膜する。

【0148】次に、図17(b)に示すように、画素TFTの形成領域にレジストマスク65を形成した後、レジストマスク65に基づき、希フッ酸によりシリコン酸化膜64をエッチングし、第2のシリコン酸化膜のパターン（第2の絶縁膜のパターン）64aを形成する。その後レジストマスク65を除去する。

【0149】次いで、図18(a)に示すように、図示しない新たなレジストマスクを形成した後、新たなレジストマスクに基づき、フッ素を含むエッチングガスを用いてアモルファスシリコン膜63をドライエッチングして、第1の島状のアモルファスシリコン膜（第2の絶縁膜のパターンを含まない島状の第2の半導体膜）63aと第2の島状のアモルファスシリコン膜（第2の絶縁膜のパターンを含む島状の第2の半導体膜）63bを形成する。その後、レジストマスクを除去する。

【0150】次に、例えば、高圧酸化法により、第1の島状のアモルファスシリコン膜63a、及び第2のシリコン酸化膜のパターン64aの下部及びその他の部分の第2の島状のアモルファスシリコン膜63bを酸化する。同時に、第1の島状のアモルファスシリコン膜63aで覆われていなかった領域のポリシリコン膜24と、第2の島状のアモルファスシリコン膜63bで覆われていなかった領域のポリシリコン膜24とを第1のシリコン酸化膜62を介して酸化する。これにより、図18(b)に示すように、第1の島状のアモルファスシリコン膜63aで覆われていた領域にポリシリコン膜からなる第1の島状半導体膜24aを形成し、第2の島状のアモルファスシリコン膜63bで覆われていた領域にポリシリコン膜からなる第2の島状半導体膜24bを形成する。従って、第1の島状半導体膜24a上に、第1のシリコン酸化膜62及び第1の島状のアモルファスシリコン膜63aを酸化してなる絶縁膜で構成される第1のゲート絶縁膜65を形成する。同時に、第2の島状半導体膜24b上に、第1のシリコン酸化膜62及び第2の島状のアモルファスシリコン膜63bを酸化してなる絶縁膜で構成される絶縁膜65と、第2のシリコン酸化膜のパターン64aとからなる第2のゲート絶縁膜を形成する。

【0151】以降、図14(b)乃至図15(b)の工程と同様な工程を経て、薄膜トランジスタ装置を作成し、さらに、第1及び別の第2の実施の形態で説明した液晶表示装置の製造方法における通常の工程を経て液晶表示装置を作成する。

【0152】以上のように、第2の実施の形態である他の薄膜トランジスタ装置の製造方法によれば、図17(b)に示すように、シリコン酸化膜64をエッチングして第2のゲート絶縁膜の一部となる絶縁膜64aを形成するときに、下地のアモルファスシリコン膜63により第1の島状半導体膜24aが保護されるため、第1の島状半導体膜24aのチャネル領域がシリコン酸化膜6

4のエッチングガスのプラズマに曝されない。このため、薄膜部のTFTの特性が劣化するのを防止して、厚膜部のTFT及び薄膜部のTFTともに良好な特性を確保することができる。

【0153】また、図18(b)に示すように、第2のゲート絶縁膜のうち厚い絶縁膜となる、アモルファスシリコン膜63上のシリコン酸化膜64をエッチングした後に、アモルファスシリコン膜63下のポリシリコン膜24を選択的に酸化して第1及び第2の島状半導体膜24a、24bを形成している。このように、下地のシリコン酸化膜22bはエッチングガス等に曝されない。このため、第1及び第2の島状半導体膜24a、24bの端部で下地のシリコン酸化膜22bがエッチングされることによる「えぐれ」を生じない。

【0154】さらに、シリコン酸化膜64をエッチングして第2のゲート絶縁膜の一部となる絶縁膜を形成するときに、シリコン酸化膜64のエッチャントに対してアモルファスシリコン膜63はエッチング耐性を有するため膜減りしない。この実施の形態では、アモルファスシリコン膜63を酸化してなる絶縁膜63aと第1のシリコン酸化膜62とにより第1のゲート絶縁膜を形成しているため、第1のゲート絶縁膜の膜厚を精度よく、かつ容易に制御することが可能である。

【0155】(第3の実施の形態)次に、本発明の第3の実施の形態の薄膜トランジスタ装置の構造について図面を参照して説明する。

【0156】第3の実施の形態の薄膜トランジスタ装置は、n型TFT及びp型TFTのうち少なくとも何れか一の薄いゲート絶縁膜を有するTFT(以下、薄膜部のTFTと称する。)と、n型TFT及びp型TFTのうち少なくとも何れか一の厚いゲート絶縁膜を有するTFT(厚膜部のTFTと称する。)とを同一基板上に搭載している。以下に、薄膜部のn型TFT及び厚膜部のn型TFTの構造を説明する。

【0157】図23(a)は薄膜部のTFTの上から見た平面図であり、図21(b)の左の図は図23(a)のIV-IV線に沿う断面図である。また、図23(b)は、図23(a)のV-V線に沿う断面図である。

【0158】薄膜部のTFT(第1の薄膜トランジスタ)は、図23(a)、図21(b)の左の図に示すように、チャネル領域24acを挟んで一對のn型のソース/ドレイン領域24aa、24abが形成された膜厚約50nmのポリシリコン膜からなる第1の島状半導体膜24aと、第1の島状半導体膜24aのチャネル領域24ac上に形成された膜厚30nmの第1のシリコン酸化膜(第1の絶縁膜)からなる第1のゲート絶縁膜81aと、第1のゲート絶縁膜81a上に形成された膜厚300nmの第1のAl-Nd膜(第1の導電体膜)からなる第1のゲート電極82とを有する。

【0159】また、第1の島状半導体膜24aと第1の

ゲート電極82とを覆う膜厚400nmのシリコン窒化膜からなる第1の層間絶縁膜87と、第1の層間絶縁膜87に形成されたコンタクトホール87a、87bと、コンタクトホール87a、87bを通してソース/ドレイン領域24aa、24abとそれぞれ接続された全膜厚200nmのTi膜/Al膜/Ti膜の3層の金属膜からなるソース/ドレイン電極88a、88bと、ソース/ドレイン電極88a、88bを覆う膜厚400nmのシリコン窒化膜からなる第2の層間絶縁膜89とを有する。

【0160】さらに、薄膜ゲートTFTは、図23(a)、(b)に示すように、第1の島状半導体膜24aの両側部のエッジの上方で、かつ第1のゲート電極82上に、第2のシリコン酸化膜(第2の絶縁膜)83bを介して膜厚300nmの第2のAl-Nd膜(第2の導電体膜)からなる電界緩和電極84c乃至84fを有している。

【0161】次に、厚膜部のTFTについて説明する。図24(a)は厚膜部のTFTの上から見た平面図であり、図21(b)の右の図は図24(a)のVI-VI線に沿う断面図であり、図24(b)は、図24(a)のVII-VII線に沿う断面図である。

【0162】厚膜部のTFT(第2の薄膜トランジスタ)は、図24(a)、図21(b)の右の図に示すように、チャネル領域24beを挟んで一對のn型のソース/ドレイン領域24ba、24bbが形成された膜厚約50nmのポリシリコン膜からなる第2の島状半導体膜24bと、第2の島状半導体膜24bのチャネル領域24be上に形成された膜厚30nmの第1のシリコン酸化膜81a及び膜厚70nmの第2のシリコン酸化膜83bからなる第2のゲート絶縁膜と、第2のゲート絶縁膜上に形成された膜厚300nmの第2のAl-Nd膜(第2の導電体膜)からなる第2のゲート電極84aとを有する。

【0163】さらに、厚膜部のTFT(第2の薄膜トランジスタ)は、第2の島状半導体膜24bと第2のゲート電極84aとを覆うシリコン窒化膜(第1の層間絶縁膜)87と、シリコン窒化膜87に形成されたコンタクトホール87c、87dを通してソース/ドレイン領域24ba、24bbとそれぞれ接続されたソース/ドレイン電極88c、88dと、ソース/ドレイン電極88c、88dを覆うシリコン酸化膜(第2の層間絶縁膜)89とを有する。

【0164】また、厚膜部のTFTは、図24(a)、(b)に示すように、第2のゲート電極84a下で、かつ第2の島状半導体膜24bの側部のエッジの上に第1のシリコン酸化膜81bを介して第1のAl-Nd膜からなる電界緩和電極82b、82cを有している。

【0165】以上のように、本発明の第3の実施の形態の薄膜トランジスタ装置によれば、薄膜部のTFTにお

いては、第1の島状半導体膜24aの両側部のエッジの上方で、かつ第1のゲート電極82上に、第2のシリコン酸化膜83bを介して電界緩和電極84c乃至84fを有している。従って、この部分の寄生容量は、第1の島状半導体膜24aと第1のシリコン酸化膜81aと第1のゲート電極82とで形成される容量に対して、第1のゲート電極82と電界緩和電極84c乃至84fとで形成される静電容量分だけ大きくなる。このため、TFTのゲートを交流で駆動する場合、第1の島状半導体膜24aの両側部のエッジ部分にかかるゲート電位の変化は遅くなる。従って、第1の島状半導体膜24aの両側部のエッジ部の寄生トランジスタが動作するのを抑制することができる。

【0166】また、厚膜部のTFTにおいては、第2のゲート電極84a下で、かつ第2の島状半導体膜24bの両側部のエッジの上に第1のシリコン酸化膜81bを介して電界緩和電極82b、82cを有している。従って、電界緩和電極82b、82cの電位を第2の島状半導体膜24bの両側部のエッジ部のチャネルが導通しない電位に設定しておくことで、第2の島状半導体膜24bの両側部のエッジ部のチャネルが導通するのを抑制し、また、第2のゲート電極84aからの電界の影響をシールドして、寄生トランジスタがオンするのを抑制することができる。

【0167】次に、第3の実施の形態の薄膜トランジスタ装置の製造方法について図19乃至図21を参照して説明する。

【0168】図19(a)に示すように、ガラス基板21上に膜厚50nmのシリコン窒化膜22aと膜厚250nmのシリコン酸化膜22bとを順次積層して基板を作成する。なお、場合により、シリコン窒化膜22aを省略してもよい。

【0169】その後、基板上に膜厚50nmのアモルファスシリコン膜を形成した後、温度400℃で加熱して水素出しを行う。次いで、エキシマレーザを用いてエネルギー300mJ/cm²の条件でアモルファスシリコン膜をアニールし、ポリシリコン膜に変換する。続いて、ポリシリコン膜をパターンニングして第1及び第2の島状半導体膜24a、24bを形成する。

【0170】次に、第1及び第2の島状半導体膜24a、24bを被覆する膜厚30nmの第1のシリコン酸化膜(第1の絶縁膜)81をCVD法により形成した後、全面に膜厚300nmの第1のAl-Nd膜(第1の導電体膜)をPVD法により形成する。さらに、磷酸と酢酸を含む溶液により図示しないレジストマスクを基に第1のAl-Nd膜を選択的にエッチングして第1の島状半導体膜24aの上方の第1のシリコン酸化膜81上に第1のゲート電極82を形成する。

【0171】このとき、厚膜部のTFTの第2のゲート電極84aと交差する領域で、かつ第2の島状半導体膜

24bの両側部のエッジの上に、第1のシリコン酸化膜81を介して、図24(a)、(b)に示す第1のAl-Nd膜からなる電界緩和電極82b、82cを形成する。

【0172】次いで、薄膜部のTFTの形成領域を図示しないレジストマスクで覆った後、フッ酸を含む溶液でシリコン酸化膜をスライトエッチングする。その後、レジストマスクを除去する。なお、薄膜部のTFTのゲート絶縁膜81の材料をシリコン窒化膜とし、第1のゲート電極82の材料をクロム(Cr)とした場合、これらの材料はフッ酸を含む溶液に対してエッチング耐性があるため、薄膜部のTFTの形成領域をレジストマスクで保護しなくてもよい。

【0173】次に、図19(b)に示すように、全面に膜厚70nmの第2のシリコン酸化膜(第2の絶縁膜)83をCVD法により形成し、続いて膜厚300nmの第2のAl-Nd膜(第2の導電体膜)84をPVD法により形成する。

【0174】次に、図20(a)に示すように、第2のAl-Nd膜84の上にレジストマスク(マスクパターン)85を形成し、レジストマスク85に基づき、磷酸と酢酸を含む溶液で第2のAl-Nd膜84をウエットエッチングしてレジストマスク85で覆われていない領域の第2のAl-Nd膜84を除去し、さらにレジストマスク85下の第2のAl-Nd膜84をサイドエッチングしてレジストマスク85よりも片側でLDD領域分だけ幅を狭くした第2のゲート電極84aを形成する。

【0175】このとき、第1の島状半導体膜24aの両側部のエッジの上方で、かつ第1のゲート電極24a上に、第2のシリコン酸化膜83b、83cを介して図23(a)、(b)に示す第2のAl-Nd膜からなる電界緩和電極84c乃至84fを形成する。

【0176】次に、図20(b)に示すように、同じレジストマスク85に基づき、CHF₃を含むエッチングガスを用いて第2のシリコン酸化膜83を異方性エッチングし、さらに第1のゲート電極82及びレジストマスク85に基づき、第1のシリコン酸化膜81を異方性エッチングして、第1のゲート電極82下に第1のシリコン酸化膜81aからなる第1のゲート絶縁膜を形成する。また、同時に、第2のゲート電極84a下に第1及び第2のシリコン酸化膜81b、83aからなる第2のゲート絶縁膜86を形成する。

【0177】なお、このとき、図22に示すように、島状半導体膜24a、24b上及びその他の領域に第1のシリコン酸化膜81cを膜厚10nm程度残すようにしてもよい。

【0178】その後、レジストマスク85を除去する。

【0179】次に、図21(a)に示すように、第1のゲート電極82をマスクとして第1の島状半導体膜24aにリン(不純物)を高濃度でイオン注入して第1のゲ

ート電極 8 2 の両側に高濃度不純物領域 2 4 a a、2 4 a b を形成する。同時に、第 2 のゲート電極 8 4 a 及び第 2 のゲート絶縁膜 8 3 a、8 1 b をマスクとして第 2 の島状半導体膜 2 4 b にリン（不純物）を高濃度でイオン注入して、第 2 のゲート電極 8 4 a の両側に一対の高濃度不純物領域 2 4 b a、2 4 b b を形成する。このとき、イオン注入条件を、例えば、加速電圧 1 0 k V、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ とする。

【0 1 8 0】次いで、第 2 のゲート電極 8 4 a をマスクとし、かつ第 2 のゲート電極 8 4 a の周辺部の第 2 のゲート絶縁膜 8 3 a、8 1 b を透過する条件で第 2 の島状半導体膜 2 4 b にリン（不純物）を低濃度でイオン注入して、第 2 のゲート電極 8 4 a の両側で第 2 のゲート絶縁膜 8 3 a、8 1 b 下に L D D 領域である一対の低濃度不純物領域 2 4 b c、2 4 b d を形成する。このとき、イオン注入条件を、例えば、加速電圧 1 0 0 k V、ドーズ量 $1 \times 10^{14} / \text{cm}^2$ とする。

【0 1 8 1】なお、p チャネル型 T F T が混在している場合、リンのイオン注入では p チャネル型 T F T の動作層をマスクせずにイオン注入し、その前でも後でもよいが、ボロンを高濃度に、例えば加速電圧 1 0 k V、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入することで、リンの濃度を補償して p 型化する。

【0 1 8 2】次いで、温度 4 0 0 °C でアニールすることにより、第 1 及び第 2 の島状半導体膜 2 4 a、2 4 b 内の水素出しを行う。次いで、 $250 \text{ mJ} / \text{cm}^2$ の条件で、レーザ照射してアニールし、第 1 及び第 2 の島状半導体膜 2 4 a、2 4 b 内のリンを活性化する。

【0 1 8 3】次に、図 2 1 (b) に示すように、C V D 法により、シリコン窒化膜（第 1 の層間絶縁膜）8 7 を厚さ 4 0 0 nm で成膜する。続いて、第 1 のシリコン窒化膜 8 7 をパターニングし、薄膜部の T F T の形成領域の高濃度不純物領域 2 4 a a、2 4 a b 上にコンタクトホール 8 7 a、8 7 b を形成する。同時に厚膜部の T F T の形成領域の高濃度不純物領域 2 4 b a、2 4 b b 上にコンタクトホール 8 7 c、8 7 d を形成する。

【0 1 8 4】次に、P V D 法により、T i 膜 / A l 膜 / T i 膜の 3 層の金属膜を全膜厚 2 0 0 nm で成膜した後、パターニングしてコンタクトホール 8 7 a、8 7 b を通して高濃度不純物領域 2 4 a a、2 4 a b と接触するソース / ドレイン電極 8 8 a、8 8 b を形成する。同時に、コンタクトホール 8 7 c、8 7 d を通して高濃度不純物領域 2 4 b a、2 4 b b と接触するソース / ドレイン電極 8 8 c、8 8 d を形成する。

【0 1 8 5】次に、C V D 法により、ソース / ドレイン電極 8 8 a 乃至 8 8 d を被覆するシリコン窒化膜（第 2 の層間絶縁膜）8 9 を膜厚 4 0 0 nm で成膜する。これにより、薄膜トランジスタ装置が完成する。

【0 1 8 6】液晶表示装置の T F T 基板及び液晶表示装置を作成する場合、図 2 1 (b) の右の図に示すよう

に、ソース / ドレイン電極 8 8 d 上のシリコン窒化膜 8 9 にピアホール 8 9 a を形成する。続いて、I T O 膜を成膜した後、I T O 膜をパターニングし、ピアホール 8 9 a を介してソース / ドレイン電極 8 8 d と接触する画素電極 9 0 を形成する。その後、第 1 及び第 2 の実施の形態で説明した製造方法に従う。

【0 1 8 7】以上のように、本発明の第 3 の実施の形態の薄膜トランジスタ装置の製造方法においては、図 2 0 (a) に示すように、レジストマスク 8 5 に基づき、A l - N d 膜をサイドエッチングして、レジストマスク 8 5 のエッジから片側で L D D 領域分だけ小さい第 2 のゲート電極 8 4 a を形成し、さらに、レジストマスク 8 5 に基づき、シリコン酸化膜 8 3、8 1 を異方性エッチングして第 2 のゲート電極 8 4 a よりも片側で L D D 領域分だけ大きい第 2 のゲート絶縁膜 8 6 を形成している。そして、図 2 1 (a) に示すように、イオン注入の際に第 2 のゲート絶縁膜 8 6 を透過しないような条件で高ドーズ量のイオン注入を行い、さらに第 2 のゲート絶縁膜 8 6 を透過するような条件で低ドーズ量のイオン注入を行うことにより、第 2 の島状半導体膜 2 4 b に L D D 構造を形成している。

【0 1 8 8】このように、露光用マスクを増やさずに、ゲート電極 8 4 a やゲート絶縁膜 8 6 を利用して自己整合的に L D D 構造を形成することができる。

【0 1 8 9】また、図 2 0 (a)、(b) に示すように、膜厚の異なるゲート絶縁膜 8 1 a、8 6 を一度のエッチングにより形成することができるので、工程の簡略化を図ることができる。この場合、島状半導体膜 2 4 a、2 4 b のチャネル領域はお互いにエッチングガスのプラズマに曝されないので、島状半導体膜 2 4 a、2 4 b のチャネル領域表面にダメージ層が発生するのを防止することができる。

【0 1 9 0】（第 4 の実施の形態）次に、本発明の第 4 の実施の形態の薄膜トランジスタ装置を搭載した液晶表示装置の構造について図面を参照して説明する。

【0 1 9 1】その液晶表示装置においては、第 1 の実施の形態で既に説明したように、同一の基板上に薄膜部の T F T（第 1 の薄膜トランジスタ）と、厚膜部の T F T（第 2 の薄膜トランジスタ）とが形成されている。薄膜部の T F T は周辺回路部で用いられ、厚膜部の T F T は表示部で用いられる。また、周辺回路部でも高電圧を扱うバッファ部では、厚膜部の T F T 類似の T F T が用いられる。

【0 1 9 2】この第 4 の実施の形態では、表示部の構造、特に蓄積容量バスラインに付属する蓄積容量素子の構造に特徴があるので、それを中心に説明する。

【0 1 9 3】図 2 5 は、本発明の第 4 の実施の形態の液晶表示装置の表示部の一画素を上から見た構造を示す平面図である。図 2 5 の I I V - I I V 線に沿う断面図は T F T の断面であり、図 2 1 (b) の右の図に示す。図 2 6

(a) は図 25 の IX-IX 線に沿う断面図、同図 (b) は図 25 の X-X 線に沿う断面図である。

【0194】図 25 に示すように、画素電極 110 (90) が厚膜部の TFT のソース/ドレイン電極 88d を介してソース/ドレイン領域 24bb と接続され、画素電極 90 と交差するように蓄積容量バスライン 111 (82c) が設けられている。蓄積容量バスライン 82c は薄膜部の TFT の第 1 のゲート電極 82 と同じ材料で形成されており、厚膜部の TFT のソース/ドレイン電極 88d と接続されている。

【0195】データバスライン 108 はソース/ドレイン電極 88c と同じ材料で形成されており、厚膜部の TFT のもう一方のソース/ドレイン領域 24ba と接続されている。また、ゲートバスライン 109 は厚膜部の TFT の第 2 のゲート電極 84a と同じ材料で形成され、かつその第 2 のゲート電極 84a と繋がっている。

【0196】厚膜部の TFT は、図 21 (b) の右の図に示すように、チャネル領域 24be を挟んで形成された一対のソース/ドレイン領域 24ba、24bb を有し、そのうち何れかが画素電極 90 と接続した第 2 の島状半導体膜 24b と、第 2 の島状半導体膜 24b のチャネル領域 24be 上に形成された第 1 及び第 2 のシリコン酸化膜 81b、83a からなる第 2 のゲート絶縁膜 86 と、第 2 のゲート絶縁膜 86 上に形成された第 2 の Al-Nd からなる第 2 のゲート電極 84a とにより構成されている。

【0197】蓄積容量バスライン 82c は、図 26 (a)、(b) のそれぞれ右の図に示すように、第 1 の Al-Nd 膜により構成され、その一部領域で、蓄積容量バスライン 82c 上に第 2 のシリコン酸化膜 83d と第 2 の Al-Nd 膜 84f とがこの順に積層されてなる。また、図 26 (a) に示すように、第 2 の Al-Nd 膜 84f は厚膜部の TFT のソース/ドレイン電極 88d と接続され、さらに、図 26 (b) の左の図に示すように、ソース/ドレイン電極 88d を介して画素電極 90 と接続されている。なお、ソース/ドレイン電極 88d は Ti 膜 88da / Al 膜 88db / Ti 膜 88dc の 3 層構造となっている。図中、図 21 (b) と同じ符号で示すものは図 21 (b) と同じものを示すので、その説明を省略する。

【0198】なお、薄膜部の TFT は、図 21 (b) の左の図と同じ構造を有するので、説明を省略する。

【0199】以上のように、本発明の第 4 の実施の形態の液晶表示装置によれば、薄膜部の TFT の第 1 のゲート電極 82 と同じ材料により表示部の蓄積容量バスライン 108 を形成している。また、蓄積容量バスライン 108 を一方の電極とし、第 2 のゲート絶縁膜 86 のうち第 2 の絶縁膜 83a と同じ材料で容量絶縁膜 83d を形成し、第 2 のゲート電極 84a と同じ材料で他方の電極 84f を形成した容量素子を有している。

【0200】これにより、ゲート絶縁膜は通常薄く形成されるので、ITO 膜を他方の電極とし、層間絶縁膜を容量絶縁膜とする容量素子よりも、単位面積当たり高い容量値の容量素子を得ることができる。従って、蓄積容量を形成するために必要な蓄積容量バスライン 108 の面積、即ち遮光領域を減らすことができるので、開口率を向上させることができる。

【0201】この液晶表示装置に用いる薄膜トランジスタ装置の作成は、第 3 の実施の形態の薄膜トランジスタ装置の製造方法を適用する。この場合、蓄積容量バスライン 82c 等は、以下のように、TFT のゲート電極等の形成工程と共通の工程で形成される。

【0202】蓄積容量バスライン 82c は、第 1 のゲート電極 82 を形成するときに同時に第 1 の Al-Nd 膜で形成する。また、厚膜部の TFT の第 2 のゲート絶縁膜 86 を形成するため第 2 のシリコン酸化膜 83 をエッチングするときに、蓄積容量バスライン 82a 上に第 2 のシリコン酸化膜 83d を残す。第 2 のシリコン酸化膜 83d 上の第 2 の Al-Nd 膜 84f は第 2 のゲート電極 84a を形成するときに同時にパターニングして形成する。また、ゲート電極 84a の形成と同時にゲートバスライン 109 を形成し、ソース/ドレイン電極 88a 乃至 88d の形成と同時にデータバスライン 108 を形成する。

【0203】その後、第 3 の実施の形態で説明したシリコン窒化膜 89 を形成する工程に続いて、シリコン窒化膜 89 をパターニングし、ソース/ドレイン電極 88d 上にピアホール 89a を形成する。次に、PVD 法により、膜厚 100nm の ITO 膜を形成した後、パターニングして画素電極 90 を形成する。

【0204】次いで、ガラス基板 21 の上側全面に、液晶分子の初期状態 (電圧無印加時) の配向方向を決める配向膜 (図示せず) を形成する。

【0205】このようにして、液晶表示装置の TFT 基板が完成する。

【0206】液晶表示装置の対向基板は、公知の方法で作成する。すなわち、ガラス基板上に、例えば Cr (クロム) により、画素間の領域を遮光するタメのブラックマトリクスを形成する。また、ガラス基板上に赤色、緑色及び青色のカラーフィルタを形成し、各画素毎に赤色、緑色及び青色の何れか 1 色のカラーフィルタを配置する。その後、ガラス基板の上側全面に ITO 膜からなる透明電極を形成し、透明電極の上に配向膜を形成する。

【0207】このようにして製造された TFT 基板と対向基板とを貼り合わせ、両者の間に液晶を封入して液晶パネルとする。この液晶パネルの両面に偏光板を配置し、裏面側にバックライトを配置すると、液晶表示装置が完成する。

【0208】(第 5 の実施の形態) 次に、本発明の第 5

の実施の形態の薄膜トランジスタ装置を搭載した液晶表示装置の構造について図面を参照して説明する。

【0209】第5の実施の形態の液晶表示装置は、第4の実施の形態の液晶表示装置と同様に、基板上に形成された薄膜部のTFTと、厚膜部のTFTと、厚膜部のTFTのソース/ドレイン領域と接続された画素電極110(90)及びデータバスライン108(88c)と、厚膜部のTFTのゲート電極と接続されたゲートバスライン109(84a)と、画素電極90と交差する蓄積容量バスライン111(82c)とを有する。

【0210】第4の実施の形態と異なるところは、表示部、特に蓄積容量バスライン82cに付属する蓄積容量素子の構造である。

【0211】図27は本発明の第5の実施の形態である液晶表示装置の表示部の一画素を上から見た構造を示す平面図である。図27のXI-XI線に沿う断面図はTFTの断面であり、図21(b)の右の図に示す。図28(a)は図27のXII-XII線に沿う断面図であり、図28(b)は図27のXIII-XIII線に沿う断面図である。

【0212】表示部の構成要素のうち、薄膜部のTFT及び厚膜部のTFTは、第4の実施の形態と同じ構造なので、その詳細な説明を省略する。

【0213】蓄積容量バスライン82c(111)は、図28(a)、(b)に示すように、薄膜部のTFTの第1のゲート電極82と同じ材料である第1のA1-Nd膜(第1の導電体膜)により構成され、その一部領域で、蓄積容量バスライン82cを一方の電極とする蓄積容量素子を備えている。その蓄積容量素子は蓄積容量バスライン82cからなる一方の電極と、薄膜部のTFTの第1のゲート絶縁膜81aと同じ材料である第1のシリコン酸化膜81eからなる容量絶縁膜と、第1及び第2の島状半導体膜24a、24bと同じ材料である第3の島状半導体膜24cからなる他方の電極とにより構成される。蓄積容量バスライン82cの両側の第3の島状半導体膜24cに一对のp型不純物領域が形成されている。一对のp型不純物領域のうち何れか一方は画素電極90と接続されている。言い換えれば、蓄積容量バスライン82cを第3のゲート電極とし、第1のシリコン酸化膜81eを第3のゲート絶縁膜とし、第3の島状半導体膜24cを動作層とし、一对のp型不純物領域をソース/ドレイン領域とする、pチャネル型の第3の薄膜トランジスタと同じ構造となっている。

【0214】ここで、pチャネル型の第3の薄膜トランジスタを用いているのは、以下の理由による。即ち、画素TFTをnチャネル型とするとオン電流が高く、画素の蓄積電荷量を増やし易い。また、画素TFTをnチャネル型とし、寄生TFTの影響を防止するために、図24のような構造を用いた場合、画素TFTの電界緩和電極82a、82bへの印加電圧を負にすることが好ましい。さらに、画素TFTの電界緩和電極82a、82b

と蓄積容量素子のゲート電極(蓄積容量バスライン)82cとを同電位とすることで電源を減らすことができる。以上より、蓄積容量素子のゲート電極(蓄積容量バスライン)82cには負の電位がかかるので、第3の薄膜トランジスタをpチャネル型とすることで、常にチャネルが導通している状態を保持することができる、即ち電極として用いることができるからである。

【0215】次に、第5の実施の形態の液晶表示装置の製造方法について説明する。そのうち、薄膜トランジスタ装置の作成は、第3の実施の形態の薄膜トランジスタ装置の製造方法を適用する。この場合、蓄積容量バスライン82c等は、以下のように、TFTのゲート電極等の形成工程と共通の工程で形成される。

【0216】第3の島状半導体膜24cは、第1及び第2の島状半導体膜24a、24bを形成するときに、同時にパターニングして形成する。第1のシリコン酸化膜81eからなるゲート絶縁膜は、第1のシリコン酸化膜81をパターニングして第1のゲート絶縁膜81aと、第2のゲート絶縁膜86の一部を形成するときに同時にパターニングして形成する。蓄積容量バスライン82cは第1のA1-Nd膜をパターニングして第1のゲート電極82を形成するときに同時にパターニングして形成する。

【0217】その後、第3の実施の形態で説明したシリコン窒化膜89を形成する工程に続いて、シリコン窒化膜89をパターニングし、ソース/ドレイン電極88d上にピアホール89aを形成する。次に、PVD法により、膜厚100nmのITO膜を形成した後、パターニングして画素電極90を形成する。

【0218】次いで、ガラス基板21の上側全面に、液晶分子の初期状態(電圧無印加時)の配向方向を決める配向膜(図示せず)を形成する。

【0219】このようにして、液晶表示装置のTFT基板が完成する。

【0220】液晶表示装置の対向基板は、公知の方法で作成する。すなわち、ガラス基板上に、例えばCr(クロム)により、画素間の領域を遮光するタメのブラックマトリクスを形成する。また、ガラス基板上に赤色、緑色及び青色のカラーフィルタを形成し、各画素毎に赤色、緑色及び青色の何れか1色のカラーフィルタを配置する。その後、ガラス基板の上側全面にITO膜からなる透明電極を形成し、透明電極の上に配向膜を形成する。

【0221】このようにして製造されたTFT基板と対向基板とを貼り合わせ、両者の間に液晶を封入して液晶パネルとする。この液晶パネルの両面に偏光板を配置し、裏面側にバックライトを配置すると、液晶表示装置が完成する。

【0222】以上のように、本発明の第5の実施の形態においては、薄膜部のTFTの第1のゲート電極82と

同じ材料である蓄積容量バスライン 108 を一方の電極とし、第 2 のゲート絶縁膜 86 のうち第 1 の絶縁膜 81b と同じ材料で容量絶縁膜 81e を形成し、第 1 及び第 2 の島状半導体膜 24a、24b と同じ材料で他方の電極 24c を形成した蓄積容量素子を有している。

【0223】これにより、ゲート絶縁膜は通常薄く形成されるので、ITO 膜を他方の電極とし、層間絶縁膜を容量絶縁膜とする蓄積容量素子よりも、単位面積当たり高い容量値の蓄積容量素子を得ることができる。これにより、蓄積容量を形成するために必要な蓄積容量バスライン 108 の面積、即ち遮光領域を減らすことができるので、開口率を向上させることができる。

【0224】また、画素 TFT を図 24 の電界緩和電極 82a、82b を備えたような構造としても、蓄積容量素子のゲート電極 82c と電界緩和電極 82a、82b に一つの蓄積容量バスライン 82c から電圧を供給することができる。従って、蓄積容量素子のゲート電極 82c 及び電界緩和電極 82a、82b への電圧供給のための余分な配線を増やす必要がないので、開口率の低下を防止することができる。

【0225】以上、実施の形態によりこの発明を具体的に説明したが、この発明は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0226】例えば、上記では薄膜トランジスタ装置を液晶表示装置に応用しているが、有機 EL 表示装置に適用することも可能である。

【0227】また、基板として、ガラス基板上にシリコン窒化膜及びシリコン酸化膜を積層した透明な基板を用いているが、裏面から露光光を照射する工程を有する製造方法を適用している場合を除き、不透明な基板を用いることもできる。

【0228】(付記 1) 透明基板の表面に第 1 及び第 2 の島状半導体膜を形成する工程と、前記第 1 及び第 2 の島状半導体膜を被覆する第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上にネガティブフォトレジスト膜を形成する工程と、前記第 1 の島状半導体膜の全域を遮光するマスクを介して前記ネガティブフォトレジスト膜を露光する工程と、前記透明基板の裏面側から前記ネガティブフォトレジスト膜を露光する工程と、前記ネガティブフォトレジスト膜を現像して前記第 1 の島状半導体膜の周縁から内側の表面に開口部を有するレジストパターンを形成する工程と、前記レジストパターンの開口部内の前記第 1 の絶縁膜をエッチングする工程と、前記レジストパターンを除去する工程と、前記透明基板の表面側全面に第 2 の絶縁膜を形成し、さらにその上に導電体膜を形成する工程と、前記第 1 の島状半導体膜上方の導電体膜上に第 1 のマスクパターンを形成し、前記第 2 の島状半導体膜上方の導電体膜上に第 2 のマスクパターン

を形成する工程と、前記第 1 のマスクパターンをマスクとして前記導電体膜をエッチングして第 1 のゲート電極を形成し、前記第 2 のマスクパターンをマスクとして前記導電体膜をエッチングして第 2 のゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【0229】(付記 2) 前記透明基板の裏面側から前記ネガティブフォトレジスト膜を露光する工程において、前記露光に用いる光は g 線、h 線、i 線、エキシマレーザ又は UV 光であることを特徴とする付記 1 記載の薄膜トランジスタ装置の製造方法。

【0230】(付記 3) 基板上に第 1 及び第 2 の島状半導体膜を形成する工程と、前記第 1 及び第 2 の島状半導体膜を被覆する半導体膜を形成し、さらに該半導体膜上に絶縁膜を形成する工程と、前記第 2 の島状半導体膜上方の前記絶縁膜を選択的にエッチングして前記絶縁膜のパターンを形成する工程と、前記絶縁膜のパターンの下部及びその他の部分の半導体膜を酸化して、前記第 1 の島状半導体膜上に前記半導体膜を酸化してなる絶縁膜からなる第 1 のゲート絶縁膜を形成し、前記第 2 の島状半導体膜上に前記半導体膜を酸化してなる絶縁膜と前記絶縁膜のパターンとからなる第 2 のゲート絶縁膜を形成する工程と、前記第 1 のゲート絶縁膜上に第 1 のゲート電極を形成し、前記第 2 のゲート絶縁膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【0231】(付記 4) 前記第 1 及び第 2 の島状半導体膜はポリシリコン膜であり、前記半導体膜はアモルファスシリコン膜であることを特徴とする付記 3 記載の薄膜トランジスタ装置の製造方法。

【0232】(付記 5) 前記第 2 の島状半導体膜上方の前記絶縁膜を選択的にエッチングして前記絶縁膜のパターンを形成する工程において、前記絶縁膜をエッチングする際に前記半導体膜をエッチングのストップとすることを特徴とする付記 3 記載の薄膜トランジスタ装置の製造方法。

【0233】(付記 6) 前記半導体膜を形成する前に、前記第 1 及び第 2 の島状半導体膜を被覆する絶縁膜を形成する工程を有し、前記第 1 のゲート絶縁膜は前記第 1 の島状半導体膜を被覆する絶縁膜と前記半導体膜を酸化してなる絶縁膜とからなり、前記第 2 のゲート絶縁膜は前記第 2 の島状半導体膜を被覆する絶縁膜と前記半導体膜を酸化してなる絶縁膜と前記絶縁膜のパターンとからなることを特徴とする付記 3 記載の薄膜トランジスタ装置の製造方法。

【0234】(付記 7) 基板上に第 1 の半導体膜を形成する工程と、前記第 1 の半導体膜上に第 1 の絶縁膜と第 2 の半導体膜と第 2 の絶縁膜とをこの順に形成する工程と、前記第 2 の絶縁膜を選択的にエッチングして前記第 2 の絶縁膜のパターンを形成する工程と、前記第 2 の

半導体膜を選択的にエッチングして、前記第 2 の絶縁膜のパターンを含まない島状の第 2 の半導体膜と、前記第 2 の絶縁膜のパターンを含む島状の第 2 の半導体膜とを形成する工程と、前記第 2 の絶縁膜のパターンの下部及びその他の部分の島状の第 2 の半導体膜を酸化するとともに、前記島状の第 2 の半導体膜で覆われていない領域の第 1 の半導体膜を前記第 1 の絶縁膜を介して酸化し、前記第 2 の絶縁膜のパターンを含まない島状の第 2 の半導体膜で覆われていた領域に前記第 1 の半導体膜からなる第 1 の島状半導体膜を形成し、前記第 2 の絶縁膜のパターンを含む島状の第 2 の半導体膜で覆われていた領域に前記第 1 の半導体膜からなる第 2 の島状半導体膜を形成するとともに、前記第 1 の島状半導体膜上に前記第 2 の半導体膜を酸化してなる絶縁膜と前記第 1 の絶縁膜とからなる第 1 のゲート絶縁膜を形成し、前記第 2 の島状半導体膜上に前記第 2 の絶縁膜のパターンと前記第 2 の半導体膜を酸化してなる絶縁膜と前記第 1 の絶縁膜とからなる第 2 のゲート絶縁膜を形成する工程と、前記第 1 のゲート絶縁膜上に第 1 のゲート電極を形成し、前記第 2 のゲート絶縁膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【0235】(付記 8) 前記第 1 の半導体膜はポリシリコン膜であり、第 2 の半導体膜はアモルファスシリコン膜であることを特徴とする付記 7 記載の薄膜トランジスタ装置の製造方法。

【0236】(付記 9) 前記第 2 の絶縁膜を選択的にエッチングして前記第 2 の絶縁膜のパターンを形成する工程において、前記第 2 の絶縁膜をエッチングする際に前記第 2 の半導体膜をエッチングのストップとすることを特徴とする付記 7 記載の薄膜トランジスタ装置の製造方法。

【0237】(付記 10) 前記第 2 の半導体膜を選択的にエッチングして、前記第 2 の絶縁膜のパターンを含まない島状の第 2 の半導体膜と、前記第 2 の絶縁膜のパターンを含む島状の第 2 の半導体膜とを形成する工程において、前記第 2 の半導体膜を選択的にエッチングする際に前記第 1 の絶縁膜をエッチングのストップとすることを特徴とする付記 7 記載の薄膜トランジスタ装置の製造方法。

【0238】(付記 11) チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 1 の島状半導体膜と、前記第 1 の島状半導体膜の前記チャンネル領域上に形成された第 1 の絶縁膜からなる第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 1 の導電体膜からなる第 1 のゲート電極とにより構成された第 1 の薄膜トランジスタと、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有する第 2 の島状半導体膜と、前記第 2 の島状半導体膜の前記チャンネル領域上に形成された前記第 1 の絶縁膜及び第 2 の絶縁膜が

らなる第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 の導電体膜からなる第 2 のゲート電極とにより構成された第 2 の薄膜トランジスタとを同一の基板上に有し、前記第 1 の薄膜トランジスタは前記第 1 の島状半導体膜の側部のエッジの上方で、かつ第 1 のゲート電極上に前記第 2 の絶縁膜を介して前記第 2 の導電体膜からなる電界緩和電極を有し、前記第 2 の薄膜トランジスタは前記第 2 のゲート電極下で、かつ前記第 2 の島状半導体膜の側部のエッジの上に前記第 1 の絶縁膜を介して前記第 1 の導電体膜からなる電界緩和電極を有することを特徴とする薄膜トランジスタ装置。

【0239】(付記 12) 基板上に第 1 及び第 2 の島状半導体膜を形成する工程と、前記第 1 及び第 2 の島状半導体膜を被覆する第 1 の絶縁膜を形成する工程と、全面に第 1 の導電体膜を形成し、さらに前記第 1 の導電体膜を選択的にエッチングして前記第 1 の島状半導体膜の上方の第 1 の絶縁膜上に第 1 のゲート電極を形成する工程と、全面に第 2 の絶縁膜と第 2 の導電体膜をこの順に形成する工程と、前記第 2 の導電体膜の上にマスクパターンを形成し、該マスクパターンをマスクとして前記第 2 の導電体膜をサイドエッチングして前記マスクパターンよりも幅が狭い第 2 のゲート電極を形成する工程と、前記マスクパターンをマスクとして前記第 2 の絶縁膜を異方性エッチングし、さらに前記第 1 のゲート電極及び前記マスクパターンをマスクとして前記第 1 の絶縁膜を異方性エッチングして、前記第 1 のゲート電極下に前記第 1 の絶縁膜からなる第 1 のゲート絶縁膜を形成するとともに、前記第 2 のゲート電極下に前記第 1 及び第 2 の絶縁膜からなる第 2 のゲート絶縁膜を形成する工程と、前記マスクパターンを除去する工程と、前記第 1 のゲート電極をマスクとして前記第 1 の島状半導体膜に不純物をイオン注入して前記第 1 のゲート電極の両側に高濃度不純物領域を形成し、前記第 2 のゲート電極及び前記第 2 のゲート絶縁膜をマスクとして前記第 2 の島状半導体膜に不純物をイオン注入して、前記第 2 のゲート電極の両側に一対の高濃度不純物領域を形成する工程と、前記第 2 のゲート電極をマスクとし、かつ前記第 2 のゲート電極の周辺部の第 2 のゲート絶縁膜を透過する条件で前記第 2 の島状半導体膜に不純物をイオン注入して、前記第 2 のゲート電極の両側で前記第 2 のゲート絶縁膜下に一対の低濃度不純物領域を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【0240】(付記 13) 前記マスクパターンをマスクとして前記第 2 の絶縁膜を異方性エッチングし、さらに前記第 1 のゲート電極及び前記マスクパターンをマスクとして前記第 1 の絶縁膜を異方性エッチングする工程において、前記第 1 及び第 2 の島状半導体膜が前記第 1 の絶縁膜で被覆されるように、前記第 1 の絶縁膜を残すことを特徴とする付記 12 記載の薄膜トランジスタ装置の製造方法。

【0241】(付記14) 全面に第1の導電体膜を形成し、さらに前記第1の導電体膜を選択的にエッチングして前記第1の島状半導体膜の上方の第1の絶縁膜上に第1のゲート電極を形成する工程において、第2のゲート電極を形成すべき領域で、かつ前記第2の島状半導体膜の両側部のエッジの上に前記第1の絶縁膜を介して前記第1の導電体膜からなる電界緩和電極を形成することを特徴とする付記12記載の薄膜トランジスタ装置の製造方法。

【0242】(付記15) 前記第2の導電体膜の上にマスクパターンを形成し、該マスクパターンをマスクとして前記第2の導電体膜をサイドエッチングして前記マスクパターンよりも幅が狭い第2のゲート電極を形成する工程において、前記第1の島状半導体膜の両側部のエッジの上方で、かつ前記第1のゲート電極上に前記第2の絶縁膜を介して前記第2の導電体膜からなる電界緩和電極を形成することを特徴とする付記12記載の薄膜トランジスタ装置の製造方法。

【0243】(付記16) 基板上に形成された第1の薄膜トランジスタと、第2の薄膜トランジスタと、前記第2の薄膜トランジスタのソース/ドレイン領域と接続された画素電極と、前記画素電極と交差する蓄積容量バスラインとを有し、前記第1の薄膜トランジスタは、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有する第1の島状半導体膜と、前記第1の島状半導体膜の前記チャンネル領域上に形成された第1の絶縁膜からなる第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1の導電体膜からなる第1のゲート電極とにより構成され、前記第2の薄膜トランジスタは、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有し、そのうち何れかが前記画素電極と接続した第2の島状半導体膜と、前記第2の島状半導体膜の前記チャンネル領域上に形成された前記第1の絶縁膜及び第2の絶縁膜からなる第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2の導電体膜からなる第2のゲート電極とにより構成され、前記蓄積容量バスラインは、前記第1の導電体膜により構成され、その一部領域で、前記蓄積容量バスライン上に前記第2の絶縁膜と前記画素電極と接続された第2の導電体膜とがこの順に積層されてなることを特徴とする液晶表示装置。

【0244】(付記17) 基板上に形成された第1の薄膜トランジスタと、第2の薄膜トランジスタと、前記第2の薄膜トランジスタのソース/ドレイン領域と接続された画素電極と、前記画素電極と交差する蓄積容量バスラインとを有し、前記第1の薄膜トランジスタは、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有する第1の島状半導体膜と、前記第1の島状半導体膜の前記チャンネル領域上に形成された第1の絶縁膜からなる第1のゲート絶縁膜と、前記第1のゲート絶縁

膜上に形成された第1の導電体膜からなる第1のゲート電極とにより構成され、前記第2の薄膜トランジスタは、チャンネル領域を挟んで形成された一対のソース/ドレイン領域を有し、そのうち何れかが前記画素電極と接続した第2の島状半導体膜と、前記第2の島状半導体膜の前記チャンネル領域上に形成された前記第1の絶縁膜及び第2の絶縁膜からなる第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2の導電体膜からなる第2のゲート電極とにより構成され、前記蓄積容量バスラインは、前記第1の導電体膜により構成され、その一部領域で、前記蓄積容量バスラインをゲート電極とし、前記画素電極と接続されたソース/ドレイン領域を有する第3の島状半導体膜と、前記第1の絶縁膜からなるゲート絶縁膜とを有する第3の薄膜トランジスタを備えていることを特徴とする液晶表示装置。

【0245】(付記18) 前記第1及び第2の薄膜トランジスタはnチャンネル型であり、前記第3の薄膜トランジスタはpチャンネル型であることを特徴とする付記17記載の液晶表示装置。

【0246】(付記19) 前記第1、第2及び第3の島状半導体膜は同一の半導体膜からなることを特徴とする付記17記載の液晶表示装置。

【0247】

【発明の効果】以上説明したように、本発明によれば、薄い膜厚の第1のゲート絶縁膜を有する薄膜トランジスタの形成領域において、第1のゲート絶縁膜を形成する前に、厚い膜厚の第2のゲート絶縁膜を有する薄膜トランジスタのゲート絶縁膜の一部となる第1の絶縁膜で第1の島状半導体膜の周縁部を覆っているため、ゲート部を作成したときに第1のゲート電極下の第1の島状半導体膜の周縁部は第2の絶縁膜のほかに第1の絶縁膜で覆われる。このため、第1の島状半導体膜の周縁部でゲート電圧印加時の電界集中を緩和して寄生薄膜トランジスタが動作するのを防止することができる。

【0248】また、第1の島状半導体膜の周縁部を覆う第1の絶縁膜をパターンニングする際に、第1の島状半導体膜をマスクとして透明基板の裏面から露光光を照射しているため、自己整合的に極めて精度よく第1の島状半導体膜の周縁部を第1の絶縁膜で覆うことができる。これにより、第1の島状半導体膜のチャンネル幅方向の寸法マージンを最小にすることができ、従って薄膜トランジスタの微細化が可能である。

【0249】また、本発明によれば、絶縁膜をエッチングして第2のゲート絶縁膜の一部となる絶縁膜を形成するときに、下地の半導体膜等によりエッチングガス等から第1の島状半導体膜が保護されるため、厚い膜厚の第2のゲート絶縁膜を有する薄膜トランジスタ及び薄い膜厚の第1のゲート絶縁膜を有する薄膜トランジスタともに良好な特性を確保することができる。

【0250】また、第1及び第2の島状半導体膜の下地

の基板も半導体膜等により保護されているため、基板表面に絶縁膜が形成されている場合、第 1 及び第 2 の島状半導体膜の端部で基板表面の絶縁膜がエッチングされることによる「えぐれ」も生じない。

【0251】さらに、半導体膜を酸化してゲート絶縁膜を形成しているため、ゲート絶縁膜の膜厚を精度よく、かつ容易に制御することが可能である。

【0252】さらに、本発明によれば、第 1 の薄膜トランジスタにおいては、第 1 の島状半導体膜の両側部のエッジの上方で、かつ第 1 のゲート電極上に、第 2 の絶縁膜を介して電界緩和電極を有している。従って、第 1 の島状半導体膜の両側部のエッジ部分にかかるゲート電位の立ち上がりを遅らせることにより、第 1 の島状半導体膜の両側部のエッジ部の寄生トランジスタが動作するのを抑制することができる。また、第 2 の薄膜トランジスタにおいては、第 2 のゲート電極下で、かつ第 2 の島状半導体膜の両側部のエッジの上に第 1 の絶縁膜を介して電界緩和電極を有しているので、第 2 の島状半導体膜の両側部のエッジ部のチャネルが導通するのを抑制し、また、第 2 のゲート電極からの電界の影響をシールドして、寄生トランジスタがオンするのを抑制することができる。

【0253】また、本発明によれば、サイドエッチングによりマスクパターンよりも幅が狭い第 2 のゲート電極を形成し、さらに、同じマスクパターンに基づき、異方性エッチングにより第 2 のゲート電極よりも幅が広い第 2 のゲート絶縁膜を形成している。そして、第 2 のゲート電極と第 2 のゲート絶縁膜をマスクとしてイオン注入することにより、高濃度不純物領域を形成し、さらに低濃度不純物領域を形成している。これにより、露光用マスクを増やさずに、ゲート電極やゲート絶縁膜を利用して自己整合的に LDD 構造を形成することができる。

【0254】また、膜厚の異なる第 1 及び第 2 のゲート絶縁膜を一度のエッチングにより形成することができるので、工程の簡略化を図ることができる。

【0255】さらに、本発明によれば、蓄積容量バスラインを一方の電極とし、第 2 のゲート絶縁膜のうち第 2 の絶縁膜と同じ材料の絶縁膜を容量絶縁膜とし、第 2 のゲート電極と同じ材料の第 2 の導電体膜を他方の電極とする蓄積容量素子を備えている。また、蓄積容量バスラインを一方の電極とし、第 1 の絶縁膜を容量絶縁膜とし、第 3 の島状半導体膜を他方の電極とする蓄積容量素子を備えている。

【0256】ゲート絶縁膜は通常薄く形成されるので、ITO 膜を他方の電極とし、層間絶縁膜を容量絶縁膜とする蓄積容量素子よりも、単位面積当たり高い容量値の蓄積容量素子を得ることができる。これにより、蓄積容量を形成するために必要な蓄積容量バスラインの面積、即ち遮光領域を減らすことができるので、開口率を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の薄膜トランジスタ装置（透過型液晶表示装置）の構成を示すブロック図である。

【図 2】本発明の第 1 の実施の形態の薄膜トランジスタ装置を示す平面図である。

【図 3】(a)、(b) は本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 1）である。

【図 4】(a)、(b) は本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 2）である。

【図 5】(a)、(b) は本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 3）である。

【図 6】(a)、(b) は本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 4）である。

【図 7】(a)、(b) は本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 5）である。

【図 8】(a)、(b) は本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 6）である。

【図 9】(a)、(b) は本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 7）である。

【図 10】(a)、(b) は本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 8）である。

【図 11】(a) は、本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法の途中工程を示す平面図であり、(b) の上の図は同じく薄膜トランジスタ装置の製造方法の他の途中工程を示す平面図であり、下の図は II-II 線に沿う断面図である。

【図 12】(a) は、本発明の第 1 の実施の形態の薄膜トランジスタ装置の製造方法の途中工程を示す平面図であり、(b) の上の図は同じく薄膜トランジスタ装置の製造方法の他の途中工程を示す平面図であり、下の図は III-III 線に沿う断面図である。

【図 13】(a)、(b) は本発明の第 2 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 1）である。

【図 14】(a)、(b) は本発明の第 2 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 2）である。

【図 15】(a)、(b) は本発明の第 2 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 3）である。

【図 16】(a)、(b) は本発明の第 2 の実施の形態

の薄膜トランジスタ装置の製造方法を示す断面図（その 4）である。

【図 17】（a）、（b）は本発明の第 2 の実施の形態の薄膜トランジスタ装置の他の製造方法を示す断面図（その 1）である。

【図 18】（a）、（b）は本発明の第 2 の実施の形態の薄膜トランジスタ装置の他の製造方法を示す断面図（その 2）である。

【図 19】（a）、（b）は本発明の第 3 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 1）である。

【図 20】（a）、（b）は本発明の第 3 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 2）である。

【図 21】（a）、（b）は本発明の第 3 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図（その 3）である。

【図 22】本発明の第 3 の実施の形態の薄膜トランジスタ装置の他の製造方法を示す断面図である。

【図 23】（a）は、本発明の第 3 の実施の形態の薄膜トランジスタ装置を示す平面図であり、（b）は同図（a）の IV-IV 線に沿う断面図である。

【図 24】（a）は、本発明の第 3 の実施の形態の薄膜トランジスタ装置を示す平面図であり、（b）は同図（a）の VI-VI 線に沿う断面図である。

【図 25】本発明の第 4 の実施の形態の薄膜トランジスタ装置を備えた液晶表示装置を示す平面図である。

【図 26】（a）は、同じく図 25 の IX-IX 線に沿う断面図であり、（b）は同じく図 25 の X-X 線に沿う断面図である。

【図 27】本発明の第 5 の実施の形態の薄膜トランジスタ装置を備えた液晶表示装置を示す平面図である。

【図 28】（a）は、同じく図 27 の XII-XII 線に沿う断面図であり、（b）は同じく図 27 の XIII-XIII 線に沿う断面図である。

【図 29】従来例の薄膜トランジスタ装置を示す断面図である。

【図 30】従来例の薄膜トランジスタ装置の製造方法における問題点を示す断面図である。

【図 31】（a）、（b）は、従来例の薄膜トランジスタ装置の製造方法における他の問題点を示す断面図である。

【図 32】（a）は、従来例の薄膜トランジスタ装置の製造方法の途中工程を示す平面図であり、（b）の上の図は同じく薄膜トランジスタ装置の製造方法の他の途中工程を示す平面図であり、下の図は XIV-XIV 線に沿う断面図である。

【図 33】従来例の他の薄膜トランジスタ装置を示す断面図である。

【図 34】（a）、（b）は、従来例の他の薄膜トラン

ジスタ装置の製造方法における問題点を示す断面図である。

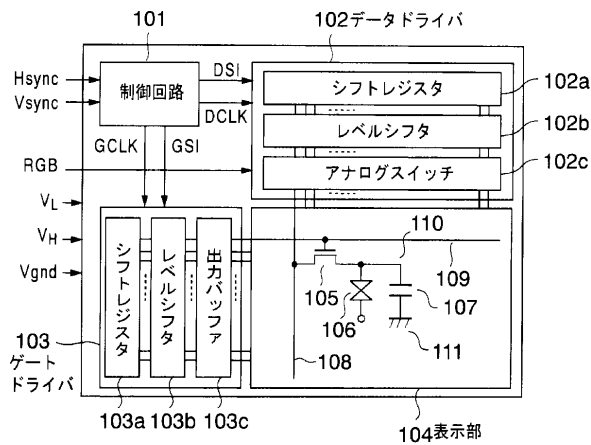
【符号の説明】

21 ガラス基板、
 22 下地絶縁膜、
 22a、32 シリコン窒化膜、
 22b、31 シリコン酸化膜、
 24 ポリシリコン膜（第 1 の半導体膜）、
 24a 第 1 の島状半導体膜、
 24aa、24ab、24ba、24bb 高濃度不純物領域（オーミックコンタクト領域、ソース/ドレイン領域）、
 24ac、24be チャネル領域、
 24b 第 2 の島状半導体膜、
 24bc、24bd 低濃度不純物領域（LDD 領域、低濃度ソース/ドレイン領域）、
 25、62、81、81b 第 1 のシリコン酸化膜（第 1 の絶縁膜）、
 25a 28a、28b ゲート絶縁膜、
 26 ネガティブフォトリソグレイム膜、
 28、64、83、83a、83b、83c 第 2 のシリコン酸化膜（第 2 の絶縁膜）、
 29 Al-Nd 膜（導電体膜）、
 29a、54a、82 第 1 のゲート電極、
 29b、54b 第 2 のゲート電極、
 30a レジストマスク（第 1 のマスクパターン）、
 30b レジストマスク（第 2 のマスクパターン）、
 34a 乃至 34d ソース/ドレイン電極、
 36、90、110 画素電極、
 51 アモルファスシリコン膜（半導体膜）、
 51a シリコン酸化膜（半導体膜を酸化してなる絶縁膜、第 1 のゲート絶縁膜）、
 52 シリコン酸化膜（絶縁膜）、
 52a シリコン酸化膜のパターン（絶縁膜のパターン）、
 55、87 シリコン窒化膜（第 1 の層間絶縁膜）、
 58 樹脂膜（第 2 の層間絶縁膜）、
 63 アモルファスシリコン膜（第 2 の半導体膜）、
 63a 第 1 の島状のアモルファスシリコン膜（第 2 の絶縁膜のパターンを含まない第 2 の半導体膜）、
 63b 第 2 の島状のアモルファスシリコン膜（第 2 の絶縁膜のパターンを含む第 2 の半導体膜）、
 64a 第 2 のシリコン酸化膜のパターン（第 2 の絶縁膜のパターン）、
 81a 第 1 のシリコン酸化膜（第 1 のゲート絶縁膜）、
 82a、82b、84b 乃至 84e 電界緩和電極、
 82c、111 蓄積容量バスライン、
 83d 容量絶縁膜、
 84 第 2 の Al-Nd 膜（第 2 の導電体膜）、

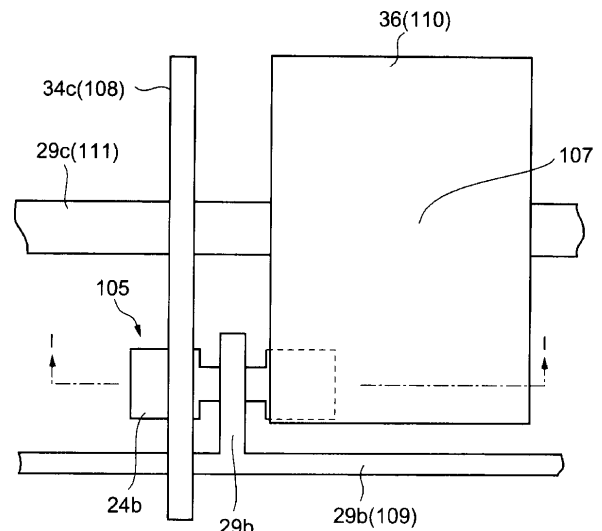
84a 第2のゲート電極（ゲートバスライン）、
 84f 電極、
 85 レジストマスク（マスクパターン）、
 86 第2のゲート絶縁膜、
 88c、108 ソース/ドレイン電極（データバスラ*

*イン）、
 88d ソース/ドレイン電極、
 89 シリコン窒化膜（第2の層間絶縁膜）、
 109 ゲートバスライン。

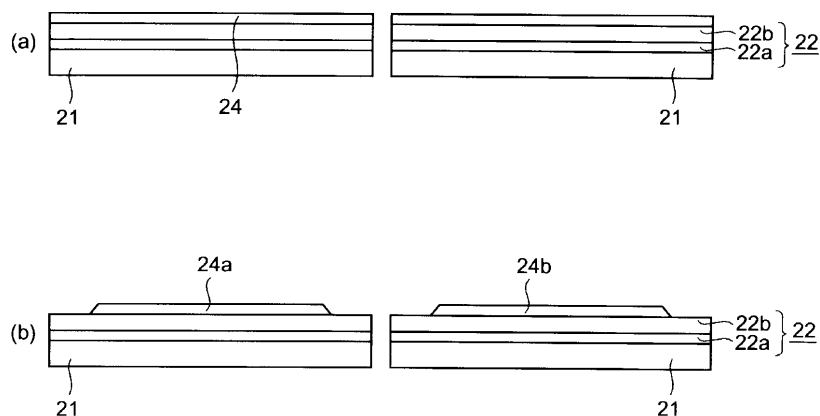
【図1】



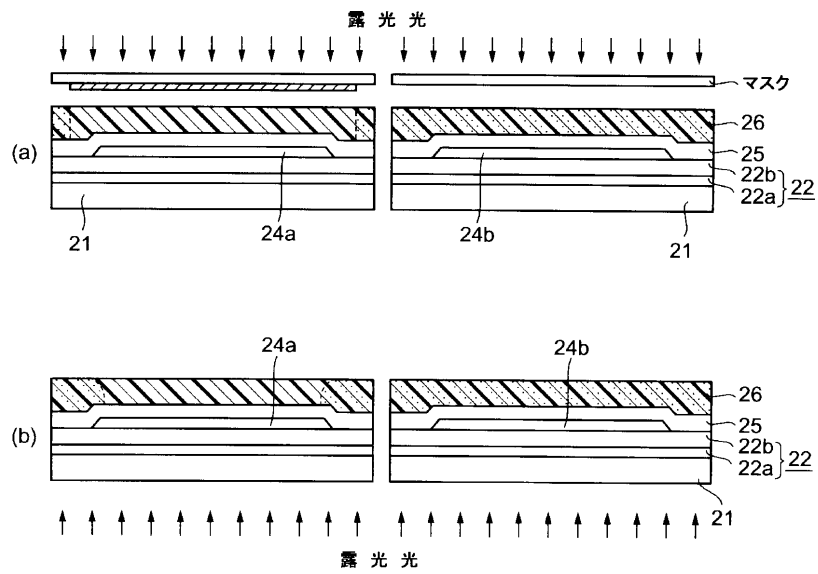
【図2】



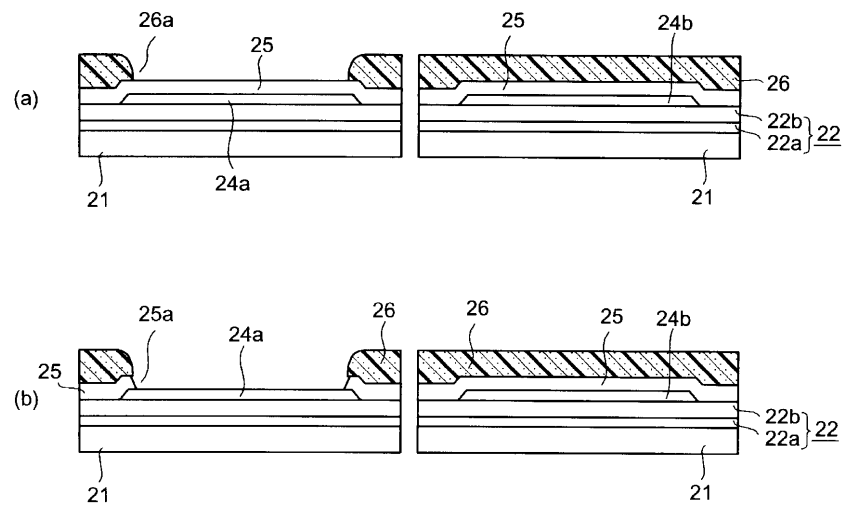
【図3】



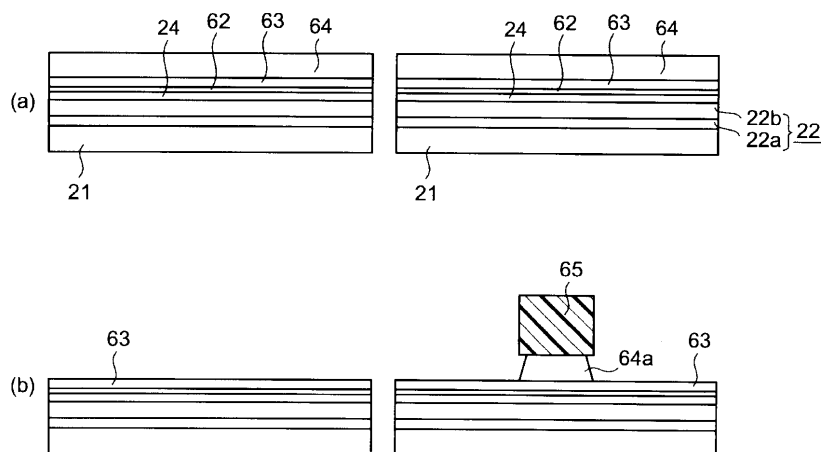
【図4】



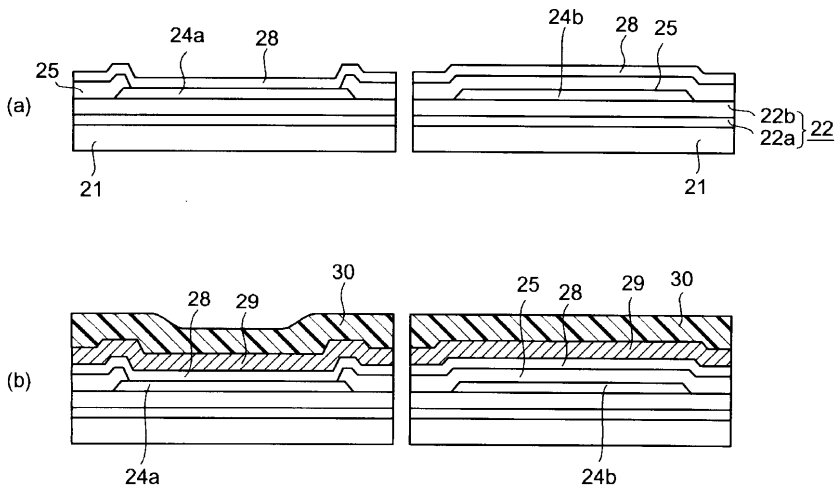
【図5】



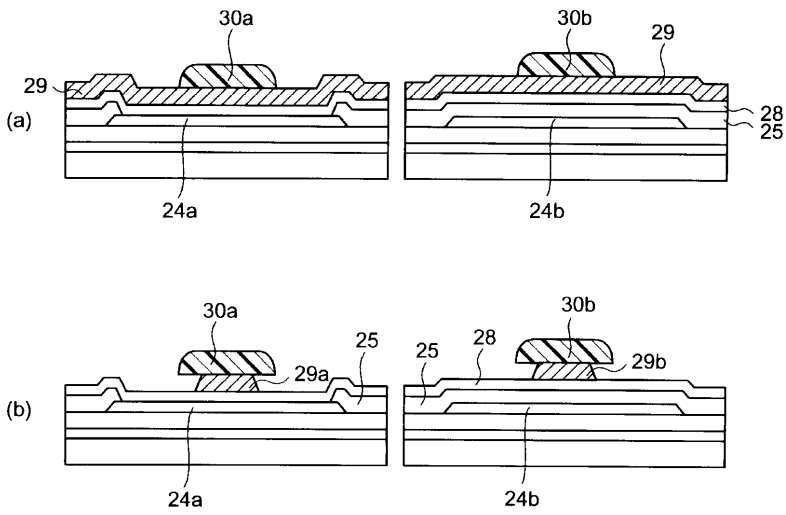
【図17】



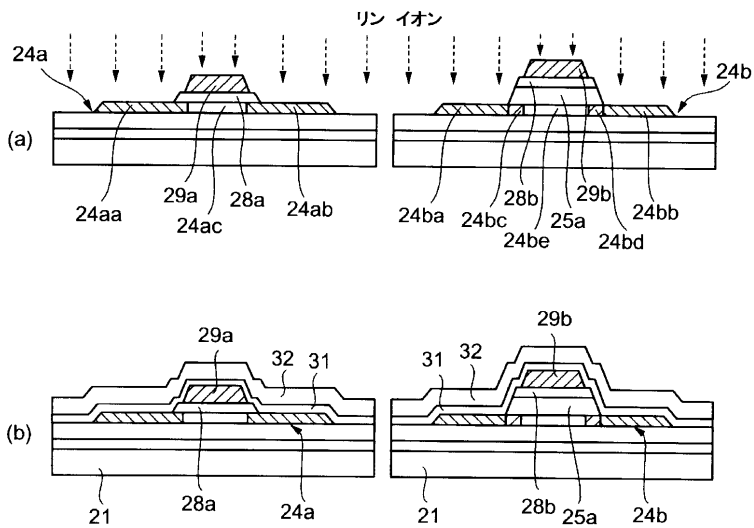
【図6】



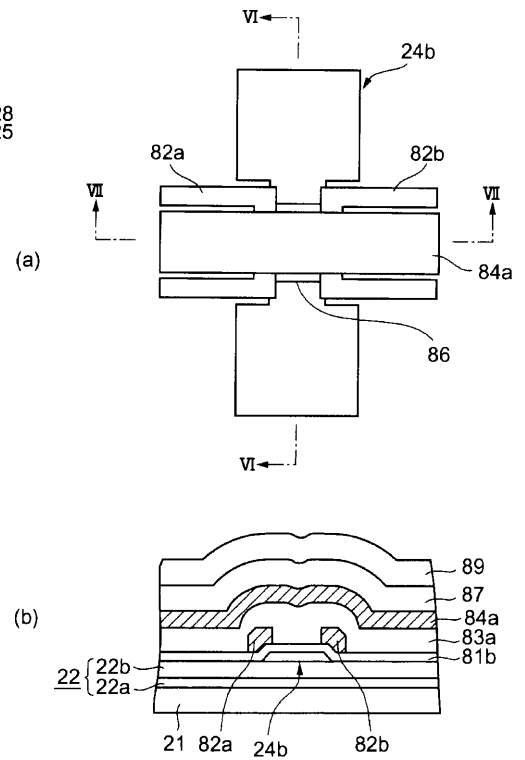
【図7】



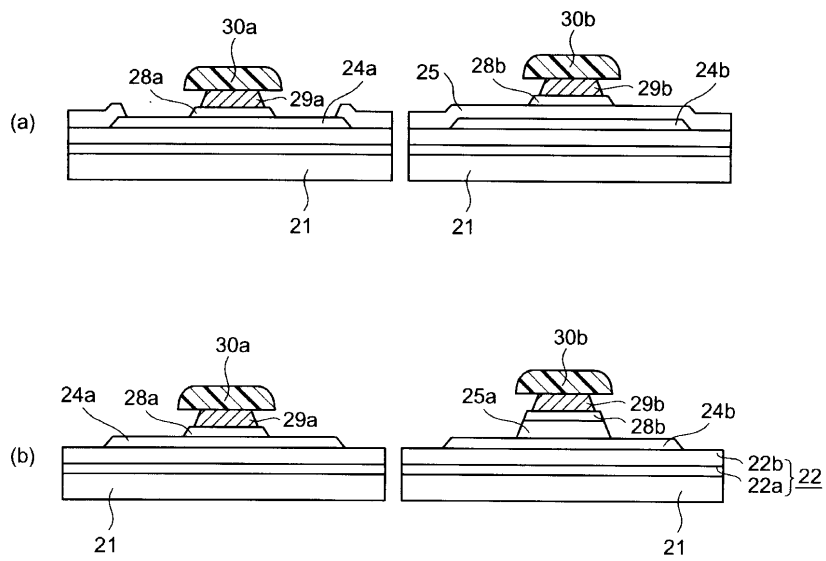
【図9】



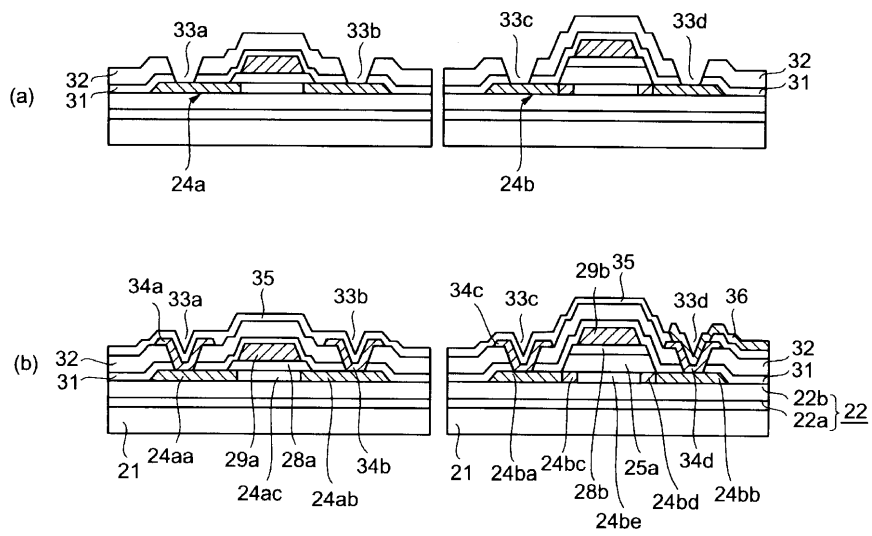
【図24】



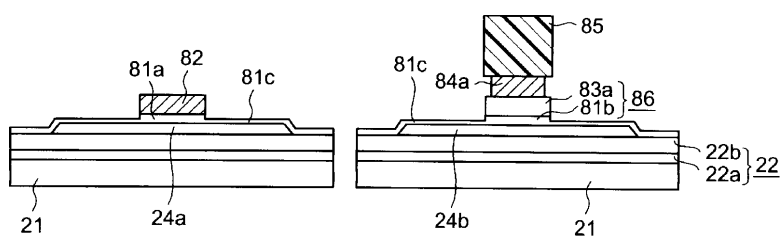
【図8】



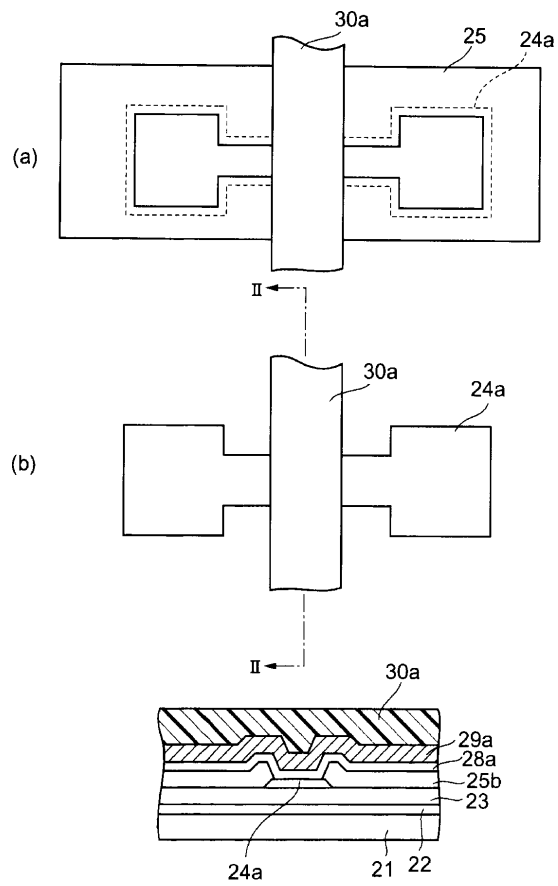
【図10】



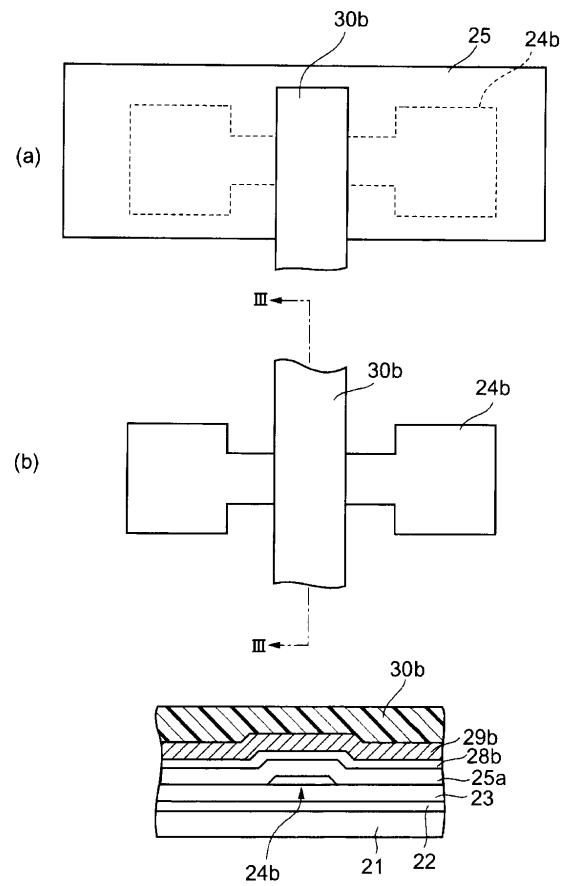
【図22】



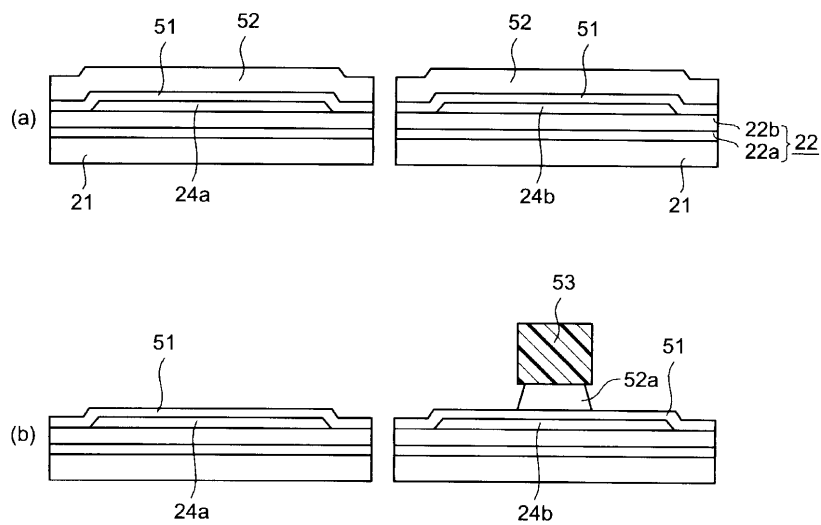
【図11】



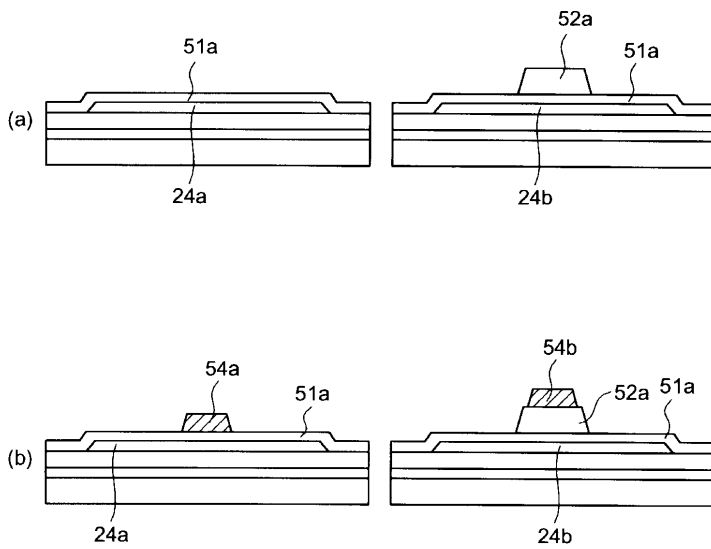
【図12】



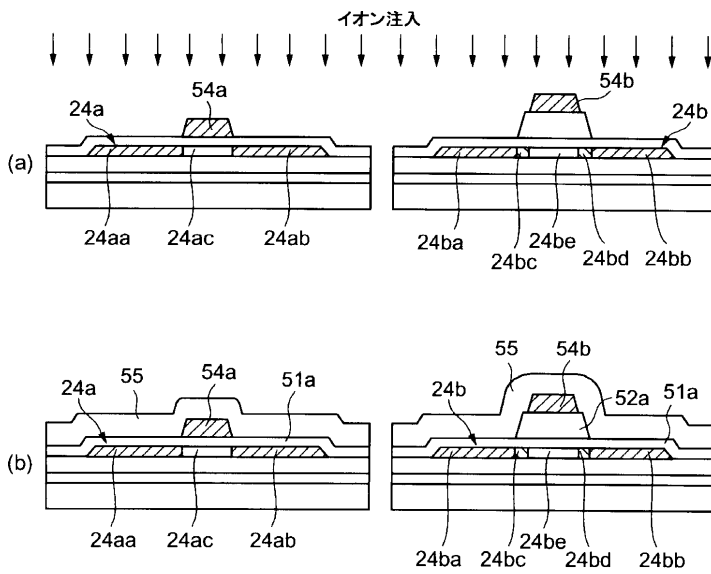
【図13】



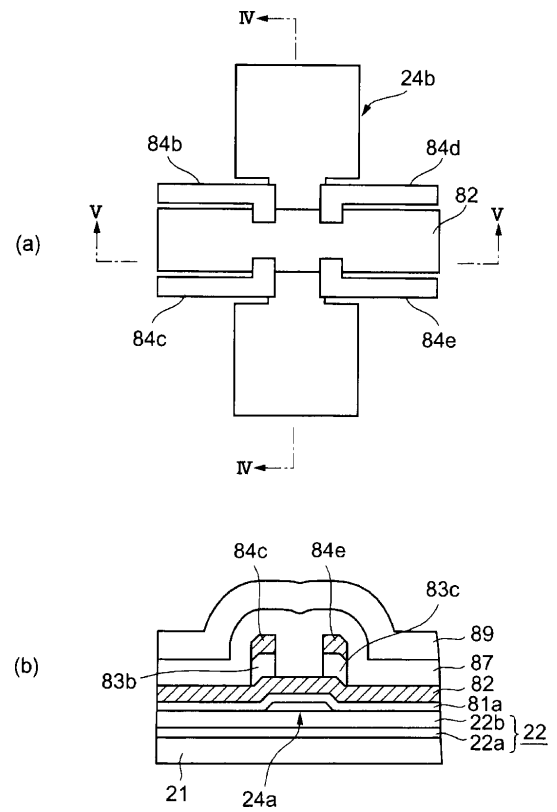
【図 14】



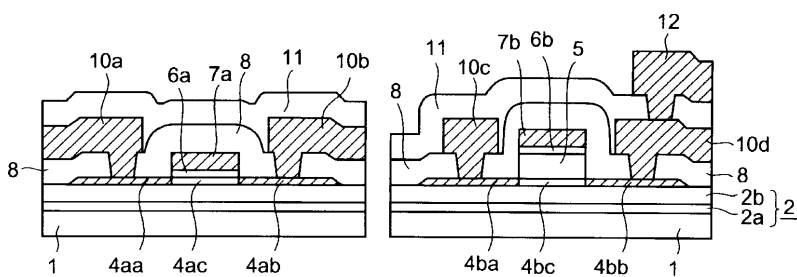
【図 15】



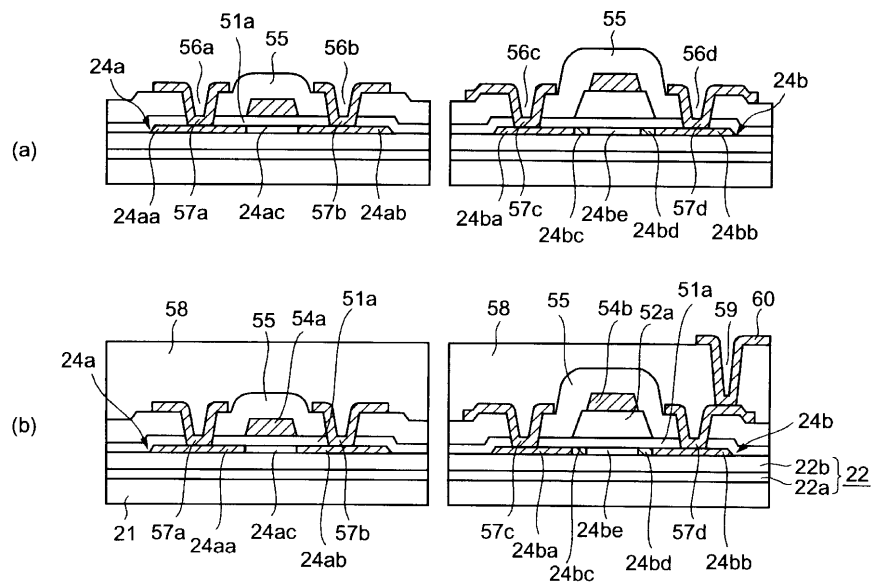
【図 23】



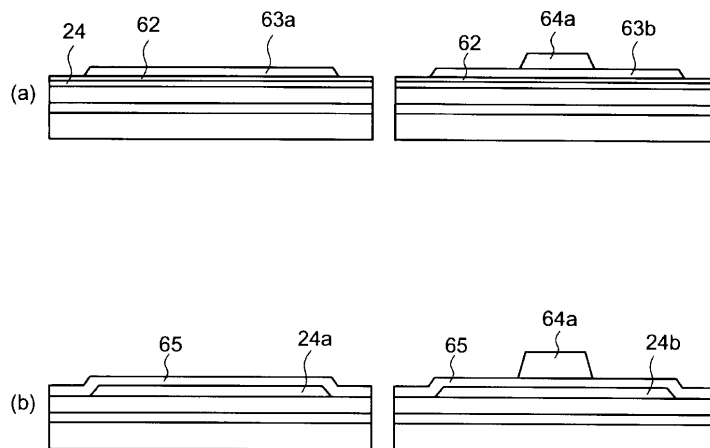
【図 29】



【図 16】



【図 18】



【図 19】

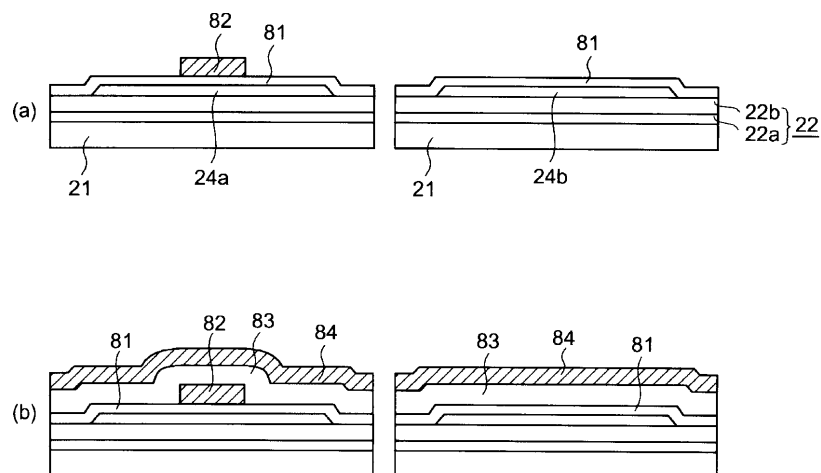
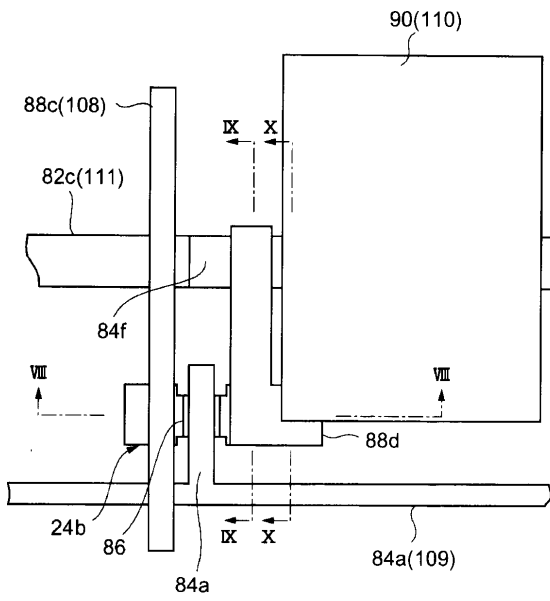


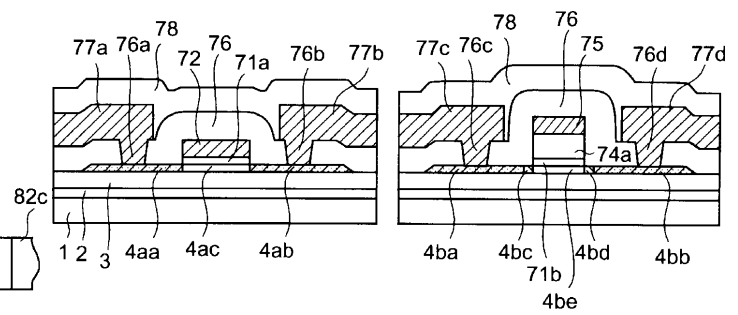
Figure 1 consists of two cross-sectional views, (a) and (b), of a semiconductor device. In view (a), a substrate 24a is shown with a conductive layer 81. A conductive pad 82 is formed on the conductive layer 81, and a conductive line 83 is formed on the conductive layer 81. In view (b), a second conductive layer 84a is added on top of the first conductive layer 81. A second conductive pad 85 is formed on the second conductive layer 84a, and a second conductive line 84b is formed on the second conductive layer 84a. The conductive layer 81 is labeled 81a and 81b, and the conductive pad 82 is labeled 82a and 82b.

Figure 1 consists of two cross-sectional views, (a) and (b), of a semiconductor device. View (a) shows the device after ion implantation, with labels 24a, 82, 81a, 24aa, 24ac, and 24ab. View (b) shows the device after a second process, with labels 24b, 88a, 87a, 87, 82, 87b, 88b, 21, 24aa, 24ac, 24ab, 81a, 84, 87, 87d, 90, 89a, 88d, 24b, 22b, 22a, 21, 24ba, 24bc, 24bd, 24bb, 24be, and 86. Arrows indicate ion implantation direction.

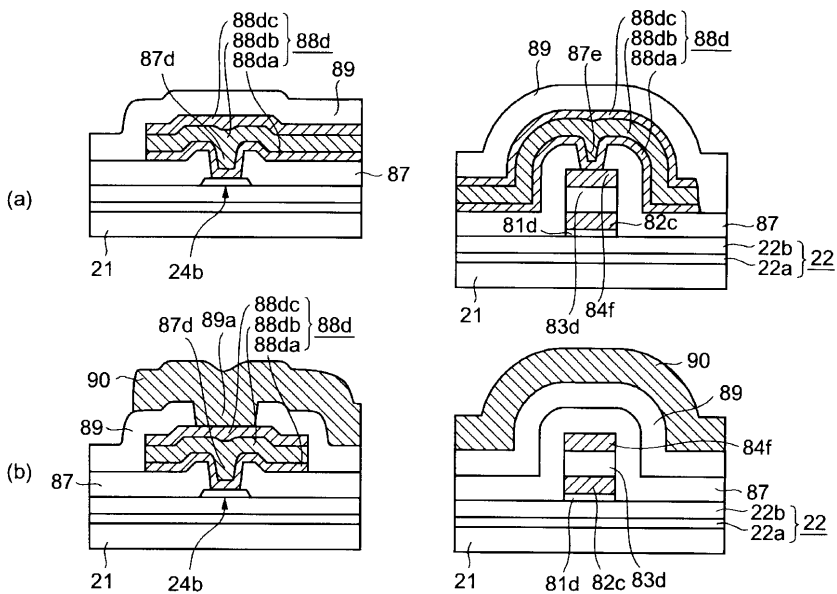
【図 25】



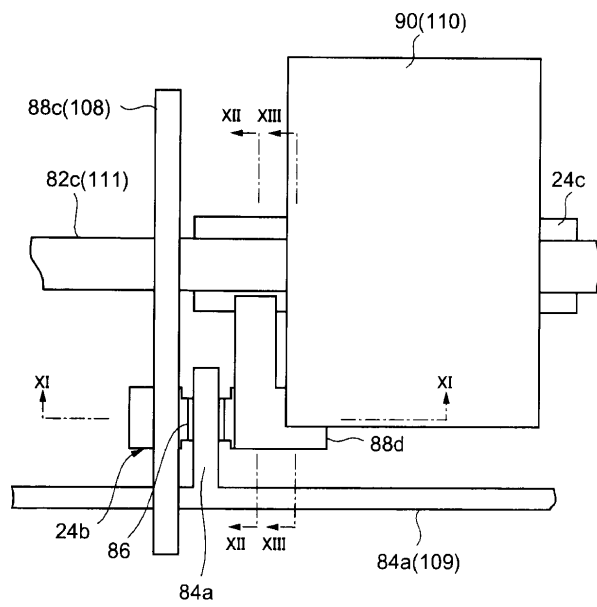
【図 33】



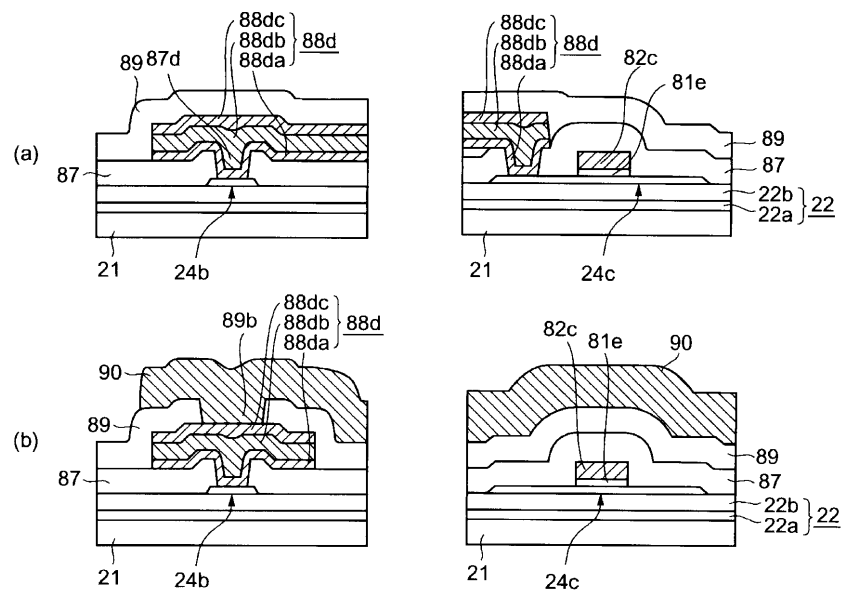
【図 26】



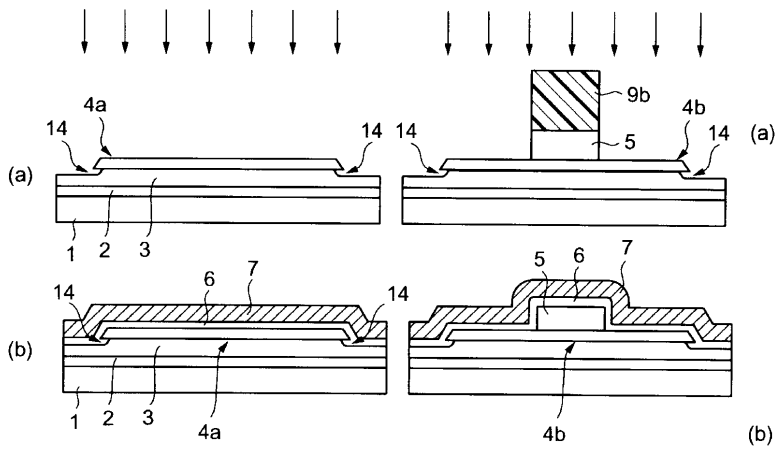
【図 27】



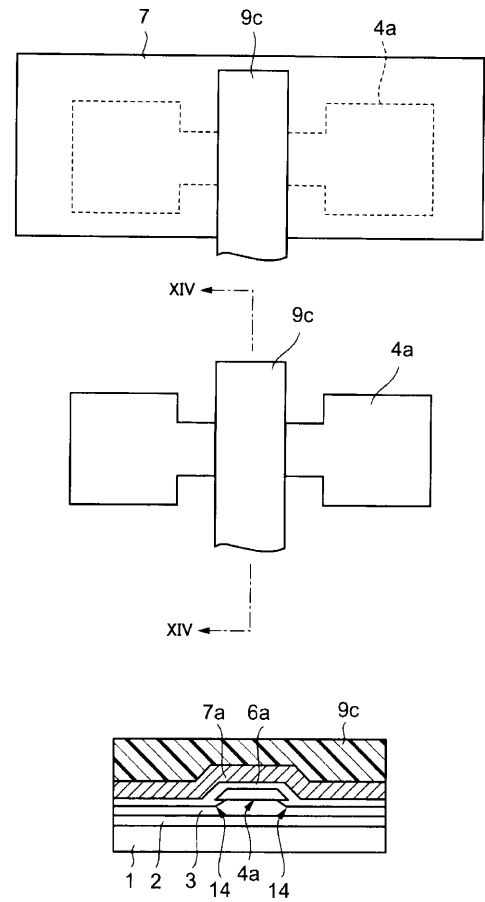
【図 28】



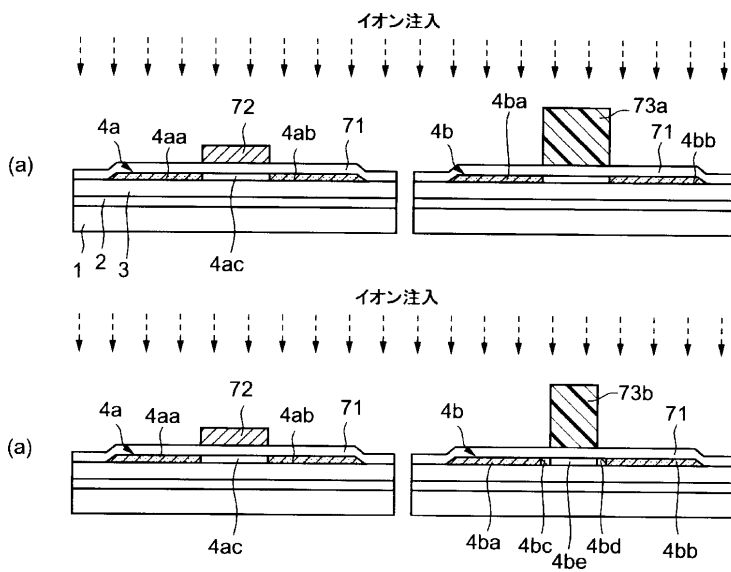
【図31】



【図32】



【図34】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-コード [*] (参考)
H 0 1 L 21/8238		H 0 1 L 29/78	6 1 7 S
27/08	3 3 1		6 2 7 C
27/092			6 1 3 A
29/786			6 1 2 B
			6 1 6 A
			6 1 7 N
			6 1 3 Z
		27/08	3 2 1 D
(72)発明者 堀田 和重		F タ-ム(参考)	2H092 GA59 HA04 JA25 JA33 JA35
神奈川県川崎市中原区上小田中 4 丁目 1 番			JA36 JA47 JB57 JB69 KA04
1 号 富士通株式会社内			KA05 KA12 KA16 KA17 KB04
(72)発明者 平野 琢也			MA05 MA08 MA16 MA17 MA30
神奈川県川崎市中原区上小田中 4 丁目 1 番			MA42 NA21 NA23
1 号 富士通株式会社内		5C094	AA05 AA42 AA43 BA03 BA43
(72)発明者 梁井 健一			CA19 DA15 EA04 EA07 GB10
神奈川県川崎市中原区上小田中 4 丁目 1 番			HA08
1 号 富士通株式会社内		5F048	AA05 AA07 AB10 AC04 BA16
			BB16 BC06 BC16 BG05
		5F110	AA12 AA16 AA26 BB02 BB04
			CC02 DD02 DD13 DD14 DD17
			EE04 EE06 EE24 EE29 EE44
			FF02 FF03 FF09 FF12 FF22
			FF23 FF25 FF30 FF35 GG02
			GG13 GG25 HJ01 HJ04 HJ13
			HJ23 HL03 HL04 HL07 HL12
			HL23 HM15 NN03 NN04 NN23
			NN24 NN27 NN35 NN36 NN73
			NN78 PP03 PP35 QQ11 QQ12
		5G435	AA01 AA17 BB12 CC09 KK05
			KK09 LL07

专利名称(译)	薄膜晶体管器件，其制造方法和液晶显示器件		
公开(公告)号	JP2003188183A	公开(公告)日	2003-07-04
申请号	JP2001388306	申请日	2001-12-20
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	土井誠児 堀田和重 平野琢也 梁井健一		
发明人	土井 誠児 堀田 和重 平野 琢也 梁井 健一		
IPC分类号	G02F1/1368 G02F1/136 G02F1/1362 G09F9/00 G09F9/30 G09F9/35 H01L21/336 H01L21/77 H01L21/8238 H01L21/84 H01L27/08 H01L27/092 H01L27/12 H01L29/423 H01L29/786		
CPC分类号	H01L27/1288 G02F1/13454 H01L27/1214 H01L27/1237 H01L27/127 H01L29/42384		
FI分类号	G02F1/1368 G09F9/00.342.Z G09F9/30.338 G09F9/35 H01L27/08.331.E H01L29/78.617.S H01L29/78.627.C H01L29/78.613.A H01L29/78.612.B H01L29/78.616.A H01L29/78.617.N H01L29/78.613.Z H01L27/08.321.D G09F9/00.342 H01L27/088.331.E H01L27/092.D		
F-TERM分类号	2H092/GA59 2H092/HA04 2H092/JA25 2H092/JA33 2H092/JA35 2H092/JA36 2H092/JA47 2H092/JB57 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA12 2H092/KA16 2H092/KA17 2H092/KB04 2H092/MA05 2H092/MA08 2H092/MA16 2H092/MA17 2H092/MA30 2H092/MA42 2H092/NA21 2H092/NA23 5C094/AA05 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA15 5C094/EA04 5C094/EA07 5C094/GB10 5C094/HA08 5F048/AA05 5F048/AA07 5F048/AB10 5F048/AC04 5F048/BA16 5F048/BB16 5F048/BC06 5F048/BC16 5F048/BG05 5F110/AA12 5F110/AA16 5F110/AA26 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE04 5F110/EE06 5F110/EE24 5F110/EE29 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF12 5F110/FF22 5F110/FF23 5F110/FF25 5F110/FF30 5F110/FF35 5F110/GG02 5F110/GG13 5F110/GG25 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL07 5F110/HL12 5F110/HL23 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN36 5F110/NN73 5F110/NN78 5F110/PP03 5F110/PP35 5F110/QQ11 5F110/QQ12 5G435/AA01 5G435/AA17 5G435/BB12 5G435/CC09 5G435/KK05 5G435/KK09 5G435/LL07 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB44 2H192/CB53 2H192/CB83 2H192/CC72 2H192/DA12 2H192/DA43 2H192/EA22 2H192/EA43 2H192/FB15 2H192/HA32		
代理人(译)	横山纯一		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种薄膜晶体管器件，该薄膜晶体管器件在同一基板上具有具有不同栅绝缘膜厚度的TFT，防止击穿电压变差，并抑制在操作层的边缘部分的寄生TFT操作。 本发明的目的是提供一种能够在提高效率的同时制造的薄膜晶体管器件的制造方法。 SOLUTION：在覆盖第一岛状半导体膜24a的第一绝缘膜25上形成负性光刻胶膜26，并从透明基板21的背面侧暴露负性光刻胶膜26的步骤，显影以形成从第一岛状半导体膜24a的周缘在内表面上具有开口的抗蚀剂掩模的步骤；在抗蚀剂掩模的开口中蚀刻第一绝缘膜25的步骤；以及在第一抗蚀剂掩模的开口中蚀刻第一绝缘膜25的步骤。形成覆盖绝缘膜25和其上的导体膜的第二绝缘膜，并且通过对导体膜进行构图来形成第一栅电极和第二栅电极的步骤。 有。

