

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2003 - 44017

( P2003 - 44017A )

(43)公開日 平成15年2月14日 (2003.2.14)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-ト* ( 参考 )
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A
			611 C
	612		612 U

審査請求 未請求 請求項の数 14 O L ( 全 16数 ) 最終頁に続く

(21)出願番号 特願2001 - 236840(P2001 - 236840)

(22)出願日 平成13年8月3日(2001.8.3)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 田島 章光

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 能勢 崇

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100099830

弁理士 西村 征生

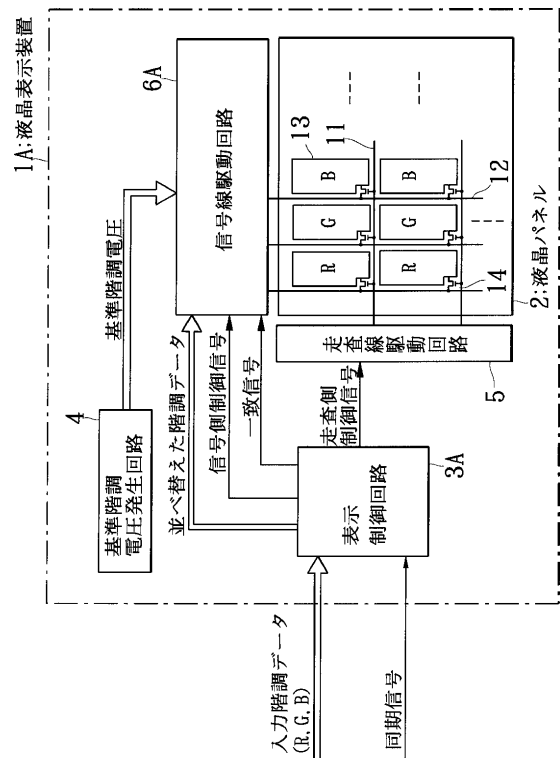
最終頁に続く

(54)【発明の名称】 画像表示装置

(57)【要約】

【課題】 画像表示装置において、デジタル階調データの実質的転送量を低減することによって、低消費電力化と低 E M I 化を図る。

【解決手段】 開示される液晶表示装置 1 は、各行の走査線と各列の信号線を配置した液晶パネル 2 に対して、階調データを出力する表示制御回路 3 A と、走査線の走査を行う走査線駆動回路 5 と、信号線に信号電圧を供給する信号線駆動回路 6 A とを備えた液晶表示装置について、表示制御回路で、入力階調データと 1 走査前のラインの階調データと比較を行い、一致しない場合は信号線駆動回路に向けて階調データを出力し、信号線駆動回路ではその階調データに基づいた D / A 変換を行い信号電圧として出力するが、一致する場合は表示制御回路では一致信号を出力して階調データバスの状態をホールドし、信号線駆動回路では 1 走査周期前でラッチした階調データに基づいた D / A 変換を行い信号電圧として出力する。



## 【特許請求の範囲】

【請求項1】 走査線と信号線の交点ごとに画素電極を配置してなる表示パネルに対して、デジタル階調データ入力を前記表示パネルの画素配列に対応して並べ替えて出力する表示制御手段と、前記各行の走査線を走査周期ごとに順次走査する走査線駆動手段と、前記並べ替えた各信号線の階調データに応じて信号電圧を発生して、走査周期ごとに対応する前記各列の信号線に供給する信号線駆動手段とを備えた画像表示装置において、前記表示制御手段に階調データ比較制御手段を備えて、10 入力階調データと1走査周期前の階調データとの比較結果の一致、不一致を示す一致信号を発生し、該一致信号が、不一致のとき階調データを出力し、一致のとき階調データの出力を停止するように制御するとともに、前記信号線駆動手段において、前記一致信号が不一致を示すときは、各信号線の駆動タイミングを示すラッチパルスに応じて入力階調データをラッチして該階調データに基づいて信号電圧を生成して出力するとともに、一致を示すときは、前走査周期においてラッチされた階調データに基づく信号電圧を出力するように構成されている 20 ことを特徴とする画像表示装置。

【請求項2】 前記階調データ比較制御手段が、入力階調データを保持して1走査周期後に出力するラインメモリと、入力階調データと前記ラインメモリの出力階調データとを比較して一致したとき前記一致信号を出力する比較手段と、前記一致信号の一致、不一致に応じて、階調データ出力を停止し又は発生するデータ出力制御手段とからなることを特徴とする請求項1記載の画像表示装置。

【請求項3】 前記比較手段が、入力階調データと前記 30 ラインメモリの出力階調データとの一致に対応するビットごとに検出する複数のイクスクルーシブノア回路と、該複数のイクスクルーシブノア回路の出力の論理積によって前記一致信号を出力するアンド回路とからなることを特徴とする請求項2記載の画像表示装置。

【請求項4】 前記データ出力制御手段が、前記一致信号が不一致を示すとき、前記入力階調データをビットごとにラッチして出力を更新する複数のフリップフロップ 40 からなることを特徴とする請求項2又は3記載の画像表示装置。

【請求項5】 前記信号線駆動手段が、前記ラッチパルス入力を順次転送して各信号線に対応して出力する複数段のシフトレジスタと、前記シフトレジスタの各段の出力に対応して設けられた複数のゲート回路からなり、前記一致信号が不一致を示すとき前記シフトレジスタの対応する段の出力をラッチ信号として出力するラッチ信号出力部と、前記各ゲート回路のラッチ信号出力に応じて複数ビットからなる入力階調データをビットごとにラッチして、対応するそれぞれの信号線に出力するデータラッチとを備えていることを特徴とする請求項1乃至4の 50

いずれか一記載の画像表示装置。

【請求項6】 画像表示装置において、走査線と信号線の交点ごとに画素電極を配置した表示パネルに対して、前記表示パネルの画素配列に対応して並べ替えたデジタル階調データに応じて各信号線に対する信号電圧を発生して、各行の走査線を順次走査しながら前記信号電圧を各列の信号線に供給することによって画像表示を行う際に、入力階調データと1走査周期前の階調データとの比較結果の一致、不一致を示す一致信号を発生して、前記入力階調データを、前記一致信号が、不一致を示すときは出力し、一致を示すときは出力しないように制御するとともに、前記一致信号が不一致を示すときは、各信号線の駆動タイミングを示すラッチパルスに応じて前記入力階調データをラッチして該階調データに基づいて信号電圧を生成して出力するとともに、前記一致信号が一致を示すときは、前走査周期においてラッチされた階調データに基づいて信号電圧を生成して出力することを特徴とする画像表示装置の駆動方法。

【請求項7】 走査線と信号線の交点ごとに画素電極を配置してなる表示パネルに対して、デジタル階調データ入力を連続して入力される*i*組分ごとに順次並列に出力する表示制御手段と、前記各行の走査線を走査周期ごとに順次走査する走査線駆動手段と、前記並列の階調データに応じて信号電圧を発生して、対応する*i*組の信号線ごとに供給する信号線駆動手段とを備えた画像表示装置において、前記表示制御手段に階調データ比較制御手段を備えて、*i*組分の入力階調データと1走査周期前の*i*組分の階調データとの比較結果の一致、不一致を示す一致信号を発生し、不一致のとき*i*組分の階調データを出力し、一致したとき*i*組分の階調データの出力を停止するように制御するとともに、前記信号線駆動手段において、前記一致信号が不一致を示すときは、前記*i*組の信号線の駆動タイミングを示すラッチパルスに応じて*i*組分の入力階調データをラッチして該階調データに基づいて信号電圧を生成して出力するとともに、一致を示すときは、前走査周期においてラッチされた*i*組分の階調データに基づく信号電圧を出力するように構成されていることを特徴とする画像表示装置。

【請求項8】 前記階調データ比較制御手段が、前記入力階調データを保持して1走査周期後に出力するラインメモリと、前記入力階調データと前記ラインメモリの出力階調データとを比較して一致したとき前記一致信号を出力する比較手段と、前記一致信号の一致、不一致に応じて、前記階調データ出力を停止し又は発生するデータ出力制御手段とからなることを特徴とする請求項7記載の画像表示装置。

【請求項 9】 前記比較手段が、前記入力階調データと前記ラインメモリの出力階調データとの一致を対応するビットごとに検出する複数のイクスクルーシブノア回路と、該複数のイクスクルーシブノア回路の出力の論理積によって前記一致信号を出力するアンド回路とからなることを特徴とする請求項 8 記載の画像表示装置。

【請求項 10】 前記データ出力制御手段が、前記一致信号が不一致を示すとき、前記入力階調データをビットごとにラッチして出力を更新する複数のフリップフロップからなることを特徴とする請求項 8 又は 9 記載の画像表示装置。

【請求項 11】 前記信号線駆動手段が、前記ラッチパルス入力を順次転送して、3 i 番目の信号線ごとに出力する複数段のシフトレジスタと、前記シフトレジスタの各段の出力に対応して設けられた複数のゲート回路からなり、前記一致信号が不一致を示すとき前記シフトレジスタの対応する段の出力をラッチ信号として出力するラッチ信号出力部と、前記各ゲート回路のラッチ信号出力に応じて i 組の R, G, B の複数ビットからなる入力階調データをビットごとにラッチして、対応するそれぞれ 20 の信号線に出力するデータラッチとを備えていることを特徴とする請求項 7 乃至 10 のいずれか一記載の画像表示装置。

【請求項 12】 前記表示パネルは、液晶パネルであることを特徴とする請求項 1 乃至 11 のいずれか一記載の画像表示装置。

【請求項 13】 画像表示装置において、走査線と信号線の交点ごとに画素電極を配置した表示パネルに対して、順次連続して並列に入力される i 組分のデジタル階調データに応じて各信号線に対する信号電圧を発生し 30 て、各行の走査線を順次走査しながら前記信号電圧を各列の信号線に供給することによって画像表示を行う際に、i 組分の入力階調データと 1 走査周期前の i 組分の階調データとの比較結果の一致、不一致を示す一致信号を発生して、前記 i 組分の入力階調データを、前記一致信号が、不一致を示すときは出力し、一致を示すときは出力しないように制御するとともに、前記一致信号が不一致を示すときは、前記 i 組分の信号線の駆動タイミングを示すラッチパルスに応じて前記 i 組 40 分の入力階調データをラッチして、該階調データに基づいて i 組分の信号電圧を生成して出力するとともに、前記一致信号が一致を示すときは、前走査周期においてラッチされた i 組分の階調データに基づいて i 組分の信号電圧を生成して出力することを特徴とする画像表示装置の駆動方法。

【請求項 14】 前記表示パネルは、液晶パネルであることを特徴とする請求項 13 記載の画像表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタル階調データに応じて画像信号を表示する画像表示装置、特に、液晶表示装置に代表されるフラット表示装置について低ノイズ化、低消費電力化を必要とする画像表示装置に関する。

【0002】

【従来の技術】液晶表示装置、プラズマディスプレイ等のように、デジタル階調データにより画面を構成する表示装置が広く用いられている。以下、従来の液晶表示装置を例にとってその構成、動作について説明する。図 11 は、従来の液晶表示装置の構成例を示す図、図 12 は、従来の信号線駆動回路の構成例を示す図、図 13 は、従来の液晶表示装置における表示制御回路と信号線駆動回路の動作を示すタイミングチャート、図 14 は、従来の液晶表示装置における階調データの転送を概念的に説明する図である。

【0003】従来の液晶表示装置 1 は、図 11 に示すように、液晶パネル 2 に対して、表示制御回路 3 と、走査線駆動回路 5 と、信号線駆動回路 6 とを備えた概略構成を有している。液晶パネル 2 は、表示面に横（水平）方向に複数行のゲートバスライン（走査線）11 を形成する配線を配列するとともに、縦（垂直）方向に複数列のデータバスライン（信号線）12 を形成する配線を配列し、さらに各行のゲートバスラインと各列のデータバスラインとの交点ごとに、画素電極 13 を配置し、それぞれの画素電極と対応するデータバスラインとの間に薄膜トランジスタ（Thin Film Transistor: TFT）14 を設け、各 TFT のゲートに対応するゲートバスラインに接続した構成を有している。この場合、各画素電極は、図示のように、水平方向に R, G, B の各色が順次に配列されてゲートバスラインに接続されることによって 1 画素を構成し、このような画素が水平方向に所定数、ゲートバスラインに沿って配列されているとともに、垂直方向には、各データバスラインごとに同色の画素電極が所定数、接続されて、1 画面を構成するようになっている。

【0004】表示制御回路 3 は、各色の入力階調データについて、液晶パネル 2 の画素配列に対応して適切な並べ替え、および、置き換えを行って並べ替えた階調データとして信号線駆動回路 6 に出力するとともに、走査線駆動回路 5 に対して走査側制御信号を出力し、信号線駆動回路 6 に対して信号側制御信号を出力する。

【0005】従来の信号線駆動回路は、図 12 に示すように、フリップフロップからなるシフトレジスタ 61 と、ラッチ信号出力部 62 と、データラッチ 63 と、デジタルアナログ変換部（DAC）64 と、出力制御部 65 とから概略構成されている。シフトレジスタ 61 は、液晶表示装置の水平方向の画素数に対応したフリップフロップ F1, F2, F3, F4, ..., Fm が直列に

接続してあり、ラッチパルスをクロックによって、順次、後段に伝達する。ラッチ信号出力部 6 2 は、フリップフロップ F 1, F 2, F 3, F 4, ..., F m の出力にそれぞれ接続されたゲート回路 G 1, G 2, G 3, G 4, ..., G m からなり、ゲートパルスに応じてオンになって、対応するフリップフロップの出力状態を、ラッチ信号 P 1, P 2, P 3, P 4, ..., P m として、データラッチ 6 3 へ出力する。データラッチ 6 3 は、ラッチ信号 P 1, P 2, P 3, P 4, ..., P m に応じて、表示制御回路 3 から供給される並べ替えた階調データバスにおける、各画素電極に対応する位置の階調データをラッチして、出力 Q 1, Q 2, Q 3, Q 4, ..., Q m を発生する。DAC 6 4 は、入力 Q 1, Q 2, Q 3, Q 4, ..., Q m の階調信号についてデジタル - アナログ変換を行い、それぞれの画素電極に対して、直流電圧出力 D 1, D 2, D 3, D 4, ..., D m を発生する。出力制御部 6 5 は、ゲート回路 H 1, H 2, H 3, H 4, ..., H m からなり、出力制御パルスに応じて、直流電圧出力 D 1, D 2, D 3, D 4, ..., D m を、一斉に、液晶パネルのそれぞれの対応するデータバスラインへ出力する。

【0006】以下、図 1 1, 図 1 2 を参照して、従来の液晶表示装置の概略の動作を説明する。パソコン等からなる画像描画装置（不図示）は、R, G, B の各色ごとに、例えばデジタル信号からなる階調データを出力する。各色の階調データは、表示しようとする画像の階調数に対応して、例えば 6 4 階調の場合、6 ビットのデジタル化された信号からなっている。また、同期信号として、各フィールドの表示期間に対応して垂直同期信号を出力し、各行の走査期間に対応して水平同期信号を出力する。

【0007】走査線駆動回路 5 は、上から下へ 1 つづつゲートバスラインを走査する。信号線駆動回路 6 は、ゲートバスラインの電圧レベルが選択状態にある複数の画素の各々に対して、光の強度が定められた階調データに基づいて対応する画素と接続されているデータバスラインの電圧レベルを制御する。これによって、走査線駆動回路 5 に走査されるゲートバスラインと接続されている画素について、階調データに応じた光量を透過させることが可能である。

【0008】液晶表示装置 1 において、表示制御回路 3 は、入力された R, G, B の各階調データと同期信号とに応じて、階調データをゲートバスラインごとに、R, G, B の繰り返しに並べ替えることによって、液晶パネル 1 の画素配列に対応して並べ替えられた階調データを信号線駆動回路 6 に出力するとともに、同期信号に応じて、走査線駆動回路 5 に対して走査側制御信号を出力し、信号線駆動回路 6 に対して信号側制御信号を出力する。

【0009】図 1 3 は、従来の表示制御回路と信号線駆動回路の動作を説明するものであって、画素データ入力

に対して、表示制御回路 3 では、常時、画素データを出し続けており、また、信号駆動回路 6 も、常時、画素データのラッチ動作を行っていることが示されている。

【0010】図 1 4 は、従来の液晶表示装置における階調データの転送を概念的に説明するものであって、図中においては、各ラインの表示画像データを説明の簡略化のためモノクロ画像の黒、白として表現しているが、カラー画像の場合も同様であって、カラー画像の場合は、

は基準となるある色の、ある明るさの表示画像を示し、はと異なるある色の、ある明るさの表示画像を示し、「0」は画像データに対応する階調データ、「1」は画像データに対応する階調データである。図示のように、垂直方向に、相関がない場合（例えば 1 ライン目と 2 ライン目）も、相関がある場合（例えば 2 ライン目と 3 ライン目）も、階調データはすべて伝送されるので、従って、階調データバスにおけるデータの変化が多いことになる。

【0011】

【発明が解決しようとする課題】このように、従来の画像表示装置では、表示パネル（液晶パネル）画面における垂直方向の相関の有無にかかわらず、各画素電極に対する信号出力の変化に対応して、入力階調データが変化する。そのため、階調データバスにおける伝送データ量が多く、従って、階調データ伝送に伴う消費電力が増大し、また階調データバスの電流変位に基づく EMI（Electro Magnetic Interference：電磁妨害雑音）が増加する等の問題が生じていた。

【0012】この発明は、上述の事情に鑑みてなされたものであって、垂直画素方向の相関の有無に基づいて、階調データの転送量を実質的に削減することが可能な、画像表示装置を提供することを目的としている。

【0013】

【課題を解決するための手段】上記課題を解決するため、請求項 1 記載の発明は画像表示装置に係り、走査線と信号線の交点ごとに画素電極を配置してなる表示パネルに対して、デジタル階調データ入力を上記表示パネルの画素配列に対応して並べ替えて出力する表示制御手段と、上記各行の走査線を走査周期ごとに順次走査する走査線駆動手段と、上記並べ替えた各信号線の階調データに応じて信号電圧を発生して、走査周期ごとに対応する上記各列の信号線に供給する信号線駆動手段とを備えた画像表示装置において、上記表示制御手段に階調データ比較制御手段を備えて、入力階調データと 1 走査周期前の階調データとの比較結果の一致、不一致を示す一致信号を発生し、該一致信号が、不一致のとき階調データを出力し、一致のとき階調データの出力を停止するように制御するとともに、上記信号線駆動手段において、上記一致信号が不一致を示すときは、各信号線の駆動タイミングを示すラッチパルスに応じて入力階調データをラッチして該階調データに基づいて信号電圧を生成して出

力するとともに、一致を示すときは、前走査周期においてラッチされた階調データに基づく信号電圧を出力するように構成されていることを特徴としている。

【0014】また、請求項2記載の発明は、請求項1記載の画像表示装置に係り、上記階調データ比較制御手段が、入力階調データを保持して1走査周期後に出力するラインメモリと、入力階調データと上記ラインメモリの出力階調データとを比較して一致したとき上記一致信号を出力する比較手段と、上記一致信号の一致、不一致に応じて、階調データ出力を停止し又は発生するデータ出力制御手段とからなることを特徴としている。

【0015】また、請求項3記載の発明は、請求項2記載の画像表示装置に係り、上記比較手段が、入力階調データと上記ラインメモリの出力階調データとの一致を対応するビットごとに検出する複数のイクスクルーシブノア回路と、該複数のイクスクルーシブノア回路の出力の論理積によって上記一致信号を出力するアンド回路とからなることを特徴としている。

【0016】また、請求項4記載の発明は、請求項2又は3記載の画像表示装置に係り、上記データ出力制御手段が、上記一致信号が不一致を示すとき、上記入力階調データをビットごとにラッチして出力を更新する複数のフリップフロップからなることを特徴としている。

【0017】また、請求項5記載の発明は、請求項1乃至4のいずれか一記載の画像表示装置に係り、上記信号線駆動手段が、上記ラッチパルス入力を順次転送して各信号線に対応して出力する複数段のシフトレジスタと、上記シフトレジスタの各段の出力に対応して設けられた複数のゲート回路からなり、上記一致信号が不一致を示すとき上記シフトレジスタの対応する段の出力をラッチ信号として出力するラッチ信号出力部と、上記各ゲート回路のラッチ信号出力に応じて複数ビットからなる入力階調データをビットごとにラッチして、対応するそれぞれの信号線に出力するデータラッチとを備えていることを特徴としている。

【0018】また、請求項6記載の発明は、画像表示装置の駆動方法に係り、画像表示装置において、走査線と信号線の交点ごとに画素電極を配置した表示パネルに対して、上記表示パネルの画素配列に対応して並べ替えたデジタル階調データに応じて各信号線に対する信号電圧を発生して、各行の走査線を順次走査しながら上記信号電圧を各列の信号線に供給することによって画像表示を行う際に、入力階調データと1走査周期前の階調データとの比較結果の一致、不一致を示す一致信号を発生して、上記入力階調データを、上記一致信号が、不一致を示すときは出力し、一致を示すときは出力しないように制御するとともに、上記一致信号が不一致を示すときは、各信号線の駆動タイミングを示すラッチパルスに応じて上記入力階調データをラッチして該階調データに基づいて信号電圧を生成して出力するとともに、上記一致

信号が一致を示すときは、前走査周期においてラッチされた階調データに基づいて信号電圧を生成して出力することを特徴としている。

【0019】また、請求項7記載の発明は、画像表示装置に係り、走査線と信号線の交点ごとに画素電極を配置してなる表示パネルに対して、デジタル階調データ入力を連続して入力されるi組分ごとに順次並列に出力する表示制御手段と、上記各行の走査線を走査周期ごとに順次走査する走査線駆動手段と、上記並列の階調データに応じて信号電圧を発生して、対応するi組の信号線ごとに供給する信号線駆動手段とを備えた画像表示装置において、上記表示制御手段に階調データ比較制御手段を備えて、i組分の入力階調データと1走査周期前のi組分の階調データとの比較結果の一致、不一致を示す一致信号を発生し、不一致のときi組分の階調データを出力し、一致したときi組分の階調データの出力を停止するように制御するとともに、上記信号線駆動手段において、上記一致信号が不一致を示すときは、上記i組の信号線の駆動タイミングを示すラッチパルスに応じてi組分の入力階調データをラッチして該階調データに基づいて信号電圧を生成して出力するとともに、一致を示すときは、前走査周期においてラッチされたi組分の階調データに基づく信号電圧を出力するように構成されていることを特徴としている。

【0020】また、請求項8記載の発明は、請求項7記載の画像表示装置に係り、上記階調データ比較制御手段が、上記入力階調データを保持して1走査周期後に出力するラインメモリと、上記入力階調データと上記ラインメモリの出力階調データとを比較して一致したとき上記一致信号を出力する比較手段と、上記一致信号の一致、不一致に応じて、上記階調データ出力を停止し又は発生するデータ出力制御手段とからなることを特徴としている。

【0021】また、請求項9記載の発明は、請求項8記載の画像表示装置に係り、上記比較手段が、上記入力階調データと上記ラインメモリの出力階調データとの一致を対応するビットごとに検出する複数のイクスクルーシブノア回路と、該複数のイクスクルーシブノア回路の出力の論理積によって上記一致信号を出力するアンド回路とからなることを特徴としている。

【0022】また、請求項10記載の発明は、請求項8又は9記載の画像表示装置に係り、上記データ出力制御手段が、上記一致信号が不一致を示すとき、上記入力階調データをビットごとにラッチして出力を更新する複数のフリップフロップからなることを特徴としている。

【0023】また、請求項11記載の発明は、請求項請求項7乃至10のいずれか一記載の画像表示装置に係り、上記信号線駆動手段が、上記ラッチパルス入力を順次転送して、3i番目の信号線ごとに出力する複数段のシフトレジスタと、上記シフトレジスタの各段の出力に

対応して設けられた複数のゲート回路からなり、上記一致信号が不一致を示すとき上記シフトレジスタの対応する段の出力をラッチ信号として出力するラッチ信号出力部と、上記各ゲート回路のラッチ信号出力に応じて  $i$  組の  $R, G, B$  の複数ビットからなる入力階調データをビットごとにラッチして、対応するそれぞれの信号線に出力するデータラッチとを備えていることを特徴としている。

【0024】また、請求項 12 記載の発明は、請求項 1 乃至 11 のいずれか一記載の画像表示装置に係り、上記表示パネルは、液晶パネルであることを特徴としている。

【0025】また、請求項 13 記載の発明は、画像表示装置の駆動方法に係り、画像表示装置において、走査線と信号線の交点ごとに画素電極を配置した表示パネルに対して、順次連続して並列に入力される  $i$  組分のデジタル階調データに応じて各信号線に対する信号電圧を発生して、各行の走査線を順次走査しながら上記信号電圧を各列の信号線に供給することによって画像表示を行う際に、 $i$  組分の入力階調データと 1 走査周期前の  $i$  組分の階調データとの比較結果の一致、不一致を示す一致信号を発生して、上記  $i$  組分の入力階調データを、上記一致信号が、不一致を示すときは出力し、一致を示すときは出力しないように制御するとともに、上記一致信号が不一致を示すときは、上記  $i$  組の信号線の駆動タイミングを示すラッチパルスに応じて上記  $i$  組分の入力階調データをラッチして、該階調データに基づいて  $i$  組分の信号電圧を生成して出力するとともに、上記一致信号が一致を示すときは、前走査周期においてラッチされた  $i$  組分の階調データに基づいて  $i$  組分の信号電圧を生成して出力することを特徴としている。

【0026】また、請求項 14 記載の発明は、請求項 13 記載の画像表示装置の駆動方法に係り、上記表示パネルは、液晶パネルであることを特徴としている。

【0027】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

#### 第 1 実施例

図 1 は、この発明の第 1 実施例である画像表示装置の構成を示す図、図 2 は、本実施例の液晶表示装置の表示制御回路における階調データ比較制御部の構成を示す図、図 3 は、本実施例の表示制御回路における比較回路の構成を示す図、図 4 は、本実施例の表示制御回路におけるデータ出力制御回路の構成を示す図、図 5 は、本実施例の液晶表示装置における信号線駆動回路の構成を示す図、図 6 は、本実施例の信号線駆動回路の具体的構成例を示す図、図 7 は、本実施例の液晶表示装置における表示制御回路と信号線駆動回路の動作を示すタイミングチャート、図 8 は、本実施例の液晶表示装置における階調

データの転送を概念的に説明する図である。

【0028】この例の液晶表示装置 1A は、図 1 に示すように、液晶パネル 2 と、表示制御回路 3A と、基準階調電圧発生回路 4 と、走査線駆動回路 5 と、信号線駆動回路 6A とから概略構成されている。これらのうち、液晶パネル 2、基準階調電圧発生回路 4、走査線駆動回路 5 の構成、動作は、図 11 に示された従来例の場合と同様なので、以下においては、これらについての詳細な説明を省略する。表示制御回路 3A は、 $R, G, B$  の各色の入力階調データを、同期信号に従って、走査線ごとに、液晶パネル 2 の画素配列に対応して並べ替えて、並べ替えた階調データを生成して信号線駆動回路 6A に出力し、同期信号に応じて、走査線駆動回路 5 に対して走査側制御信号を出力し、信号線駆動回路 6 に対して信号側制御信号を出力する。また階調データ比較制御部を備え、階調データバスにおける現在の並べ替えた階調データと、1 走査周期前の並べ替えた階調データとを逐次比較して、一致しているとき「1」となり、一致しないとき「0」となる一致信号を出力するとともに、一致信号の「0」、「1」に応じて、階調データバスに、信号線駆動回路 6A に対する並べ替えた階調データを出力し、又は停止するように制御を行う。

【0029】信号線駆動回路 6A は、信号側制御信号に応じて 1 走査期間ごとに、表示制御回路 3A からの並べ替えられた階調データと、基準階調電圧発生回路 4 からの基準階調電圧とに応じて、液晶パネル 2 の  $V-T$  特性に対応してガンマ補正を行われた信号を生成して、各信号線ごとに出力するが、この際、一致信号入力が「1」の区間は、前走査期間の階調データを保持して、このデータに対応する信号を生成して出力する。

【0030】この例の表示制御回路 3A における階調データ比較制御部 30 は、図 2 に示すように、ラインメモリ 31 と、比較回路 32 と、データ出力制御回路 33 とから構成されている。ラインメモリ 31 は、 $n$  ビットの階調データバスのバス幅に対応する行数からなる、1 走査線分すなわち液晶パネルの水平方向の画素電極数 ( $m$ ) に対応する段数のシフトレジスタからなり、階調データバス入力をクロックに応じて順次、蓄積する。比較回路 32 は、階調データバスの現在のデータと、ラインメモリ 31 からの 1 走査周期前の階調データバスのデータとを比較して、一致したとき「1」となり、一致しないとき、「0」となる一致信号を出力する。データ出力制御回路 33 は、一致信号が「0」のときは、階調データバスの信号をそのまま通過させ、一致信号が「1」のときは、階調データバスの信号を停止する。

【0031】この例の階調データ比較制御部 30 における比較回路 32 は、図 3 に示すように、階調データのビット数に対応する  $n$  個のイクスクルーシブノア回路  $EX1, EX2, \dots, EXn$  と、アンド回路  $A1$  とからなっている。各イクスクルーシブノア回路  $EX1, EX2,$

..., EXnは、それぞれ、階調データバスのnビットのデータD1, D2, ..., Dnと、ラインメモリ31のnビットの出力データDref1, Dref2, ..., Drefnとを比較して、一致したとき「1」を出力する。アンド回路A1は、すべてのイクスクルーシブノア回路の出力が「1」であったとき、一致信号として「1」を出力し、それ以外のときは、「0」を出力する。

【0032】この例の階調データ比較制御部30におけるデータ出力制御回路33は、図4に示すように、アンド回路A2と、D型フリップフロップL1, L2, ..., Lnとからなっている。アンド回路A2は、一致信号が「0」のとき、クロックに応じて各D型フリップフロップL1, L2, ..., Lnをアクティブにする。これによって、各D型フリップフロップL1, L2, ..., Lnは、入力側の階調データバスのデータD1, D2, ..., Dnをラッチして、更新された出力データQ1, Q2, ..., Qnを発生する。

【0033】この例の液晶表示装置における信号線駆動回路6Aは、図5に示すように、シフトレジスタ61と、ラッチ信号出力部62Aと、データラッチ63と、DAC64と、出力制御部65とから構成されている。これらのうち、シフトレジスタ61、データラッチ63、DAC64、出力制御部65の構成、動作は、図12に示された従来例の場合の信号線駆動回路6と同様なので、これらについての詳細な説明は省略する。ラッチ信号出力部62Aは、インバータINVと、ゲート回路G1, G2, G3, G4, ..., Gmとからなっており、表示制御回路3Aから入力される一致信号をインバータINVを介して反転した信号に応じて、ゲート回路G1, G2, G3, G4, ..., Gmのオン、オフを制御することによって、一致信号が「0」になった区間のみ、シフトレジスタ61の各フリップフロップF1, F2, F3, F4, ..., Fmの出力をデータラッチ63に転送し、一致信号が「1」のときは、フリップフロップF1, F2, F3, F4, ..., Fmの出力を遮断して、データラッチ63に転送しない。

【0034】図6は、この例の液晶表示装置における信号線駆動回路の具体的構成例を示したものであって、液晶パネルの水平方向に、R, G, Bの画素電極を順次繰り返して配列したm個の画素電極に対応して、m本の信号線を駆動する場合を例示している。図6においては、このような信号線駆動回路における、シフトレジスタ61と、ラッチ信号出力部62Aと、データラッチ63との構成を例示している。図中、F1, F2, ..., Fmはシフトレジスタ61を構成するD型フリップフロップ、INVはインバータ、G1, G2, ..., Gmは、ラッチ信号出力部62Aを構成するゲート回路、L1・1, L1・2, ..., L1・n, L2・1, L2・2, ..., L2・n, ..., Lm・1, Lm・2, ..., Lm・nは、それぞれ、nビットの階調データバスのデータData

(1), Data(2), ..., Data(n)に対応する、データラッチ63を構成するラッチ回路である。

【0035】D型フリップフロップF1, F2, ..., Fmは、クロックに応じて、ラッチパルスをラッチして順次転送する。ここでラッチパルスは、信号線駆動回路内において、各信号線に対応する信号出力部の動作開始を指示する信号であって、信号線制御信号中に含まれているものである。ゲート回路G1, G2, ..., Gmは、インバータINVを介する一致信号の反転信号に応じて、一致信号が「0」のとき、D型フリップフロップF1, F2, ..., FmのQ出力を、ラッチ信号としてデータラッチへ出力する。ラッチ回路L1・1, L1・2, ..., L1・n, L2・1, L2・2, ..., L2・n, ..., Lm・1, Lm・2, ..., Lm・nは、ゲート回路G1, G2, ..., Gmのラッチ信号出力が「1」のとき、階調データバスのデータData(1), Data(2), ..., Data(n)をラッチして、それぞれ階調データQ1として、Q1・1, Q1・2, ..., Q1・nを出力し、階調データQ2として、Q2・1, Q2・2, ..., Q2・nを出力し、以下同様にして、階調データQmとして、Qm・1, Qm・2, ..., Qm・nまでを出力する。

【0036】以下、図1乃至図6を参照して、この例の液晶表示装置の動作を説明する。表示制御回路3Aにおいて生成される一致信号は、現階調データと、その1走査周期前の階層データとが一致しているとき「1」となり、一致していないとき「0」となる信号であって、クロックごとに、ラッチパルスに対応して入力されるものである。表示制御回路3Aは、一致信号が「0」となる信号線位置では、階調データバスの並べ替えた階調データをそのまま出力させる。また、信号線駆動回路6Aでは、一致信号が「0」となる信号線位置では、ラッチ信号出力部62Aの対応するゲート回路がオンになるので、データラッチ63において、入力された並べ替えた階調データをラッチし、DAC64は、ラッチされた入力階調データに応じた直流電圧を発生して対応する信号線に出力する。一方、表示制御回路3Aは、一致信号が「1」となる信号線位置では、階調データバスにおいて、バス状態をホールドする。また、信号線駆動回路6Aでは、一致信号が「1」となる信号線位置では、ラッチ信号出力部62Aの対応するゲート回路がオフになるので、データラッチ63に新たな並べ替えた階調データがラッチされずに、前回走査時の階調データを保持しており、DAC64は、1走査期間前の階層データに応じた直流電圧を発生して対応する信号線に出力する。なお、前回走査時の階調データを保持する方法としては、具体的には、データラッチ63において、一致信号が「1」のときは、対応するラッチ素子で入力データをラッチしないようにしてもよく、又は、そのラッチ素子で前回のデータを再ラッチするようにしてもよい。

【0037】図7は、この例の液晶表示装置における、階調データの転送を説明するものである。この例の液晶表示装置において、一致信号が「0」のときの表示制御回路3A及び信号線駆動回路6Aの動作は、図13に示された従来例の場合と同様であって、表示制御回路3Aは並べ替えた階調データを出力し、信号線駆動回路6Aはラッチ動作を行って、並べ替えた階調データの現入力に対応する直流電圧を生成して信号線に出力する。一方、一致信号が「1」のときは、表示制御回路3Aは、バス状態をホールドして階調データを出力せず、信号線

10 駆動回路6Aは、入力データを無効(Invalid)にして、データラッチ63に保持されている、前回走査時の階調データを用いて生成された直流電圧を信号線に出力する。

【0038】図8は、この例の液晶表示装置における階調データの転送を説明するものであって、図中における画像表示データと階調データとの表現は、図14に示されたものと同様である。図示のように、1ライン目の表示画像の場合は、比較すべき画像がないので、1ライン目の階調データに対する一致信号としては、すべて

20 「0」が出力されるようになっている。次に、2ライン目では、2ライン目の表示画像と1ライン目の表示画像とを比較して、表示画像が変化している区間では、一致信号として「0」が出力されるので、この区間ではデータラッチの階調データが更新される。さらに、3ライン目では、2ライン目の表示画像と3ライン目の表示画像とがすべて一致しているので、一致信号としてすべて「1」が出力されて、データラッチにおけるすべての階調データが更新されない。

【0039】このように、この例の液晶表示装置では、

30 現ラインに対応する階調データと、前ラインに対応する階調データとを比較して、一致した区間については一致信号を出力することによって、信号線駆動回路において、前ラインの階調データを利用して画像信号を生成し、一致信号が出力されない区間のみ、現ラインの階調データによって画像信号を生成するようにしたので、実質的に階調データの転送量(階調データの振幅回数)を低減することができ、従って、液晶表示装置を構成するロジック部におけるパツファの貫通電流の低減等によって、液晶表示装置の低消費電力化に寄与するとともに、

40 液晶パネルのバス配線における階調データの電圧、電流振幅の変化の緩慢化による低EMI化が可能になる。

【0040】以上説明した第1実施例の液晶表示装置においては、表示制御回路から出力される階調データは、R、G、Bの各色の階調データを、液晶パネルの画素電極の配置に合わせて並べ替えたものであって、例えば6ビット幅の階調データバスによって信号線駆動回路に転送され、信号線駆動回路では、これを信号線ごとに順次ラッチして、直流電圧に変換して信号線に出力する処理を行っている。これに対して、表示制御回路から、

G、Bの各色の階調データを並べ替えることなく並列に信号線駆動回路に転送し、信号線駆動回路では、R、G、Bの組の階調データをまとめてラッチし、それぞれ直流電圧に変換して、R、G、Bの1組(1ポート)の信号線に一斉に出力するようにしてもよい。このような信号線駆動方式としては、例えば6ビット幅又は8ビット幅のR、G、B各色の1組の階調データによって、R、G、Bの1組の信号線に出力を発生する18ビット1ポート方式や24ビット1ポート方式、あるいは、6ビット幅又は8ビット幅のR、G、B各色の2組の階調データによって、R、G、Bの2組の信号線に出力を発生する36ビット2ポート方式や48ビット2ポート方式等がすでに知られている。本発明は、このような階調データ並列転送方式の液晶表示装置に適用することによって、階調データバスのバス幅は大きくなるが、各色ごとの階調データの転送速度が低下するので、より低EMI化を図ることができるようになる。以下においては、このような方式をとる場合の、本発明の実施例について説明する。

#### 【0041】 第2実施例

図9は、この発明の第2実施例である液晶表示装置の構成を示す図、図10は、本実施例における信号線駆動回路の具体的構成を示す図である。この例は、n(例えばn=6, 8, ...)ビットの階調データによって、R、G、Bの1ポートの信号線を駆動する、3nビット1ポート方式の場合を例示している。

【0042】この例の液晶表示装置は、図9に示すように、液晶パネル2と、表示制御回路3Bと、基準階調電圧発生回路4と、走査線駆動回路5と、信号線駆動回路6Bとから概略構成されている。これらのうち、液晶パネル2、基準階調電圧発生回路4、走査線駆動回路5の構成、動作は、図1に示された実施例の場合と同様なので、以下においては、これらについての詳細な説明を省略する。表示制御回路3Bは、1組のR、G、Bの各色の入力階調データを、並列に出力階調データとして信号線駆動回路6Bに出力し又は停止する制御を行い、同期信号に応じて、走査線駆動回路5に対して走査側制御信号を出力し、信号線駆動回路6Bに対して信号側制御信号を出力する。この際、信号側制御信号中のラッチパルスの周期は、図6に示された第1実施例の場合の3倍になっている。図示されない階調データ比較制御部では、階調データバスにおける、現在の1組のR、G、Bの階調データと、1走査周期前の1組のR、G、Bの階調データとを逐次比較して、ラッチパルス周期の間、一致しているとき「1」となり、一致しないとき「0」となる一致信号を出力するとともに、一致信号の「0」、「1」に対応して、それぞれの区間の間、信号線駆動回路6Bに対する階調データバスに1組のR、G、Bの階調データを出力し、又は停止するように制御を行う。

【0043】信号線駆動回路6Bは、信号側制御信号に

応じて1走査期間ごとに、表示制御回路3BからのR、G、Bの並列の出力階調データと、基準階調電圧発生回路4からの基準階調電圧とに応じて、液晶パネル2のV-T特性に対応してガンマ補正を行われた信号を生成して、R、G、Bの各組の信号線ごとに出力するが、この際一致信号が「0」の区間は、1組のR、G、Bの入力階調データを保持して、この階調データに基づいて信号電圧を生成して出力するが、一致信号入力が「1」の区間は、前走査周期において保持された1組のR、G、Bの階調データに基づいて信号電圧を生成して出力する。

【0044】図10は、この例の液晶表示装置における信号線駆動回路の具体的構成例を示したものであって、3nビット1ポート方式の場合を例示している。同図においては、このような信号線駆動回路における、シフトレジスタ61Aと、ラッチ信号出力部62Bと、データラッチ63Aとの構成を例示している。図中、F1、F2、...は、a(a=m/3)段のシフトレジスタ61Aを構成するD型フリップフロップ、INVはインバータ、G1、G2、...は、ラッチ信号出力部62Bを構成するa(a=m/3)個のゲート回路、L1・R1、L1・R2、...、L1・Rn、L1・G1、L1・G2、...、L1・Gn、L1・B1、L1・B2、...、L1・Bnは、データラッチ63Aを構成するラッチ回路のうち、第1の組のR、G、Bの各色の信号線と、nビットの各色の階調データバスのデータDataR(1)、DataR(2)、...、DataR(n)、DataG(1)、DataG(2)、...、DataG(n)、DataB(1)、DataB(2)、...、DataB(n)とに対応するラッチ回路である。なお、同図においては、データラッチ63Aにおける、他の(a-1)組のR、G、Bの各色の階調データに対応するラッチ回路は省略して示されている。

【0045】D型フリップフロップF1、F2、...は、水平走査期間に、クロックに応じて、順次連続する、R、G、Bの3本の信号線ごとに1回出力されるラッチパルスでラッチして順次転送し、ゲート回路G1、G2、...は、インバータINVを介する一致信号の反転信号に応じて、一致信号が「0」のとき、D型フリップフロップF1、F2、...のQ出力を、ラッチ信号としてデータラッチへ出力する。ラッチ回路L1・R1、L1・R2、...、L1・Rn、L1・G1、L1・G2、...、L1・Gn、L1・B1、L1・B2、...、L1・Bnは、ゲート回路G1のラッチ信号出力が「1」のとき、階調データバスのデータDataR(1)、DataR(2)、...、DataR(n)、DataG(1)、DataG(2)、...、DataG(n)、DataB(1)、DataB(2)、...、DataB(n)をラッチして、それぞれ階調データQ1・R1、Q1・R2、...、Q1・Rn、Q1・G1、Q1・G2、...、Q1・Gn、Q1・B1、Q1・B2、...、Q1・Bnを

DAC64へ出力する。

【0046】DAC64では、階調データQ1・R1、Q1・R2、...、Q1・Rn、Q1・G1、Q1・G2、...、Q1・Gn、Q1・B1、Q1・B2、...、Q1・Bnと、基準階調電圧発生回路4からの基準階調電圧とによって、第1の組のR、G、Bの各色の信号線に対する信号電圧を生成して、液晶パネル2に供給する。他の組のR、G、Bの各色の信号線に対する信号電圧の生成も同様に行われる。

【0047】このようにこの例の液晶表示装置では、現ラインに対応する階調データと、前ラインに対応する階調データとを比較して、一致した区間については一致信号を出力することによって、信号線駆動回路において、前ラインの階調データを利用して画像信号を生成し、一致信号が出力されない区間のみ、現ラインの階調データによって画像信号を生成するようにして、実質的に階調データの転送量を低減するとともに、さらに信号線駆動回路において、それぞれnビットの階調データによって、R、G、Bの1ポートごとにまとめて出力信号の生成を行うようにしたので、液晶パネルのバス配線における階調データの速度低下によって、第1実施例の場合と比較して、より低消費電力化と低EMI化が可能になる。

【0048】以上説明した第2実施例の液晶表示装置は、nビットのR、G、Bの階調データによって、任意のi(iは2以上の自然数)ポートのR、G、Bの信号線ごとに駆動を行う場合に拡張することができる。この場合は、表示制御回路は、シリアルデータからなるR、G、Bの各色の出力階調データを、順次i組ごとに並列に階調データバスを介して信号線駆動回路に出力し又は停止するとともに、同期信号に応じて、走査線駆動回路に対して走査側制御信号を出力し、信号線駆動回路に対して信号側制御信号を出力する。この際、信号側制御信号中のラッチパルスの周期は、図6に示された第1実施例の場合の3i倍になっている。図示されない階調データ比較制御部では、入力階調データバスにおける、現在のi組のR、G、Bの入力階調データと、1走査周期前のi組のR、G、Bの階調データとを逐次比較して、ラッチパルス周期間、一致しているとき「1」となり、一致しないとき「0」となる一致信号を出力するとともに、一致信号の「0」、「1」に応じて、信号線駆動回路に対する階調データバスにi組のR、G、Bの階調データを出力し、又は停止するように制御を行う。

【0049】また、信号線駆動回路は、一致信号が「0」の区間では、i組のR、G、Bの信号線の駆動タイミングを示すラッチパルスに応じて、表示制御回路からのi組のR、G、Bの並列の階調データと、基準階調電圧発生回路からの基準階調電圧とに応じて、液晶パネルのV-T特性に対応してガンマ補正を行われた信号電圧を生成して、i組のR、G、Bの信号線ごとに出力す

る。一方、一致信号入力が「1」の区間では、前走査期間に保持された*i*組のR、G、Bの並列の階調データと、基準階調電圧とに応じて、ガンマ補正を行われた信号電圧を生成して、*i*組のR、G、Bの信号線ごとに出力する。

【0050】また、信号線駆動回路の具体的構成としては、 $m/3i$ 個のD型フリップフロップからなるシフトレジスタと、 $m/3i$ 個のゲート回路からなるラッチ信号出力部と、1信号線当たり*n*個のラッチ回路を備えた*m*列のデータラッチとを備えたものを用いる。そして、10 順次入力される、*i*組の*n*ビットからなるR、G、Bの各色の階調データを、一致信号が「0」のとき、ゲート回路を経て出力されるラッチ信号に応じて、 $3i$ 組のラッチ回路において、*i*組の*n*ビットのR、G、Bの各色の階調データをラッチして、それぞれDACに出力するとともに、一致信号が「1」のときは、ラッチ信号が入力されないので、対応するラッチ回路では、保持されている前走査期間の*i*組の*n*ビットのR、G、Bの各色のデータをDACに出力することによって、DACから*i*組のR、G、Bの信号線ごとに、信号電圧を出力する。20

【0051】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、この発明において、各色の階調データのビット数*n*は、表現できる色の数に応じて任意であり、また、表示パネルを構成する水平方向と垂直方向の画素電極数の構成も任意である。また、この発明は、モノクロの画像表示装置に対して適用することも可能である。この場合は、複数行の走査線と複数列の信号線とをパネル面に配列して、各走査線と信号線の交点ごとに画素電極を配置した表示パネルに対して、表示制御手段を設けて、画素データを出力できるようにし、走査線駆動手段を設けて、各行の走査線を走査周期ごとに順次走査できるようにし、信号線駆動手段を設けて、モノクロの画素データを走査周期ごとに各列の信号線に供給できるようにする。そして、表示制御手段に画素データ比較制御手段を設けて、入力画素データと1走査周期前の画素データとの比較結果の一致、不一致を示す一致信号を発生して、この一致信号が、不一致のとき表示制御手段から画素データを出力し、一致のとき画素データの出力を停止するように制御するとともに、信号線駆動手段において、一致信号が不一致を示すときは、各信号線の駆動タイミングを示すラッチパルスに応じて入力画素データをラッチしてこの画素データに基づいて信号電圧を生成して出力するとともに、一致信号が一致を示すときは、前走査周期においてラッチされた画素データに基づいて信号電圧を生成して出力するようにすればよい。

【0052】

【発明の効果】以上、説明したように、この発明の画像 50

表示装置及びその駆動方法によれば、現ラインに対応する階調データ入力と、前ラインに対応する階調データとを比較して、一致した区間については前ラインの階調データを利用して画像信号を生成し、一致しない区間のみ、現ラインの階調データによって画像信号を生成するようにしたので、実質的に階調データの転送量を低減することができ、従って、画像表示装置の低消費電力化に寄与するとともに、表示パネルのバス配線における階調データ転送時の低EMI化を図ることが可能となる。また本発明は、R、G、Bの1又は複数のポートごとに信号線を駆動する方式の場合に適用することによって、より低消費電力化と低EMI化を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である液晶表示装置の構成を示す図である。

【図2】本実施例の液晶表示装置の表示制御回路における階調データと一致信号の出力部の構成を示す図である。

【図3】本実施例の表示制御回路における比較回路の構成を示す図である。

【図4】本実施例の表示制御回路におけるデータ出力制御回路の構成を示す図である。

【図5】本実施例の液晶表示装置における信号線駆動回路の構成を示す図である。

【図6】本実施例の信号線駆動回路の具体的構成例を示す図である。

【図7】本実施例の液晶表示装置における表示制御回路と信号線駆動回路の動作を示すタイミングチャートである。

【図8】本実施例の液晶表示装置における階調データの転送を概念的に説明する図である。

【図9】本発明の第2実施例である液晶表示装置の構成を示す図である。

【図10】本実施例における信号線駆動回路の具体的構成を示す図である。

【図11】従来の液晶表示装置の構成例を示す図である。

【図12】従来の信号線駆動回路の構成例を示す図である。

【図13】従来の液晶表示装置における表示制御回路と信号線駆動回路の動作を示すタイミングチャートである。

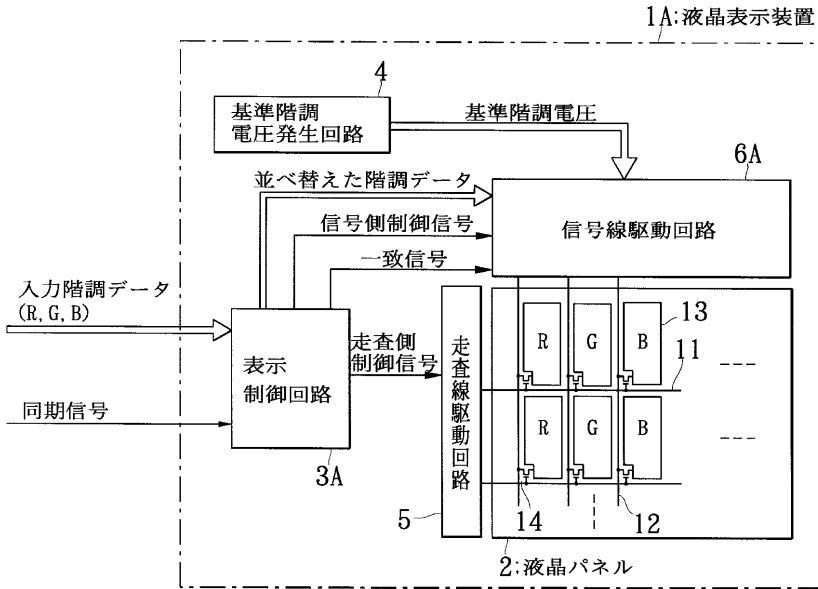
【図14】従来の液晶表示装置における階調データの転送を概念的に説明する図である。

【符号の説明】

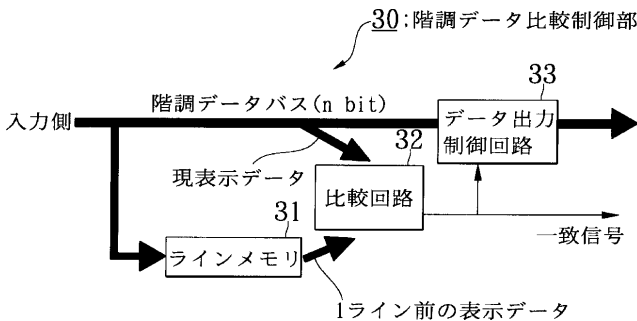
- 1, 1A, 1B      液晶表示装置
- 2              液晶パネル
- 3, 3A, 3B      表示制御回路（表示制御手段）
- 4              基準電圧発生回路（基準電圧発生手段）
- 5              走査線駆動回路（走査線駆動手段）

6, 6A, 6B	信号線駆動回路 (信号線駆動手 段)	* 3 3	データ出力制御回路 (データ出力制御手 段)
30	階調データ比較制御部 (階調データ比較制御 手段)	61, 61A	シフトレジスタ
31	ラインメモリ	62, 62A, 62B	ラッチ信号出力部
32	比較回路 (比較手段)	63, 63A	データラッチ
		* 64	デジタルアナログ変換部 (DAC)
		65	出力制御部

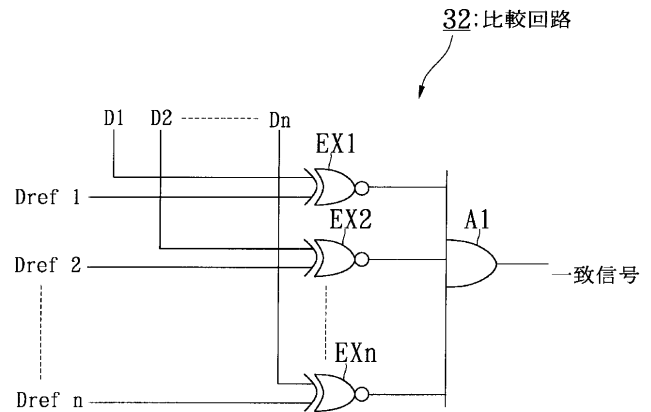
【図1】



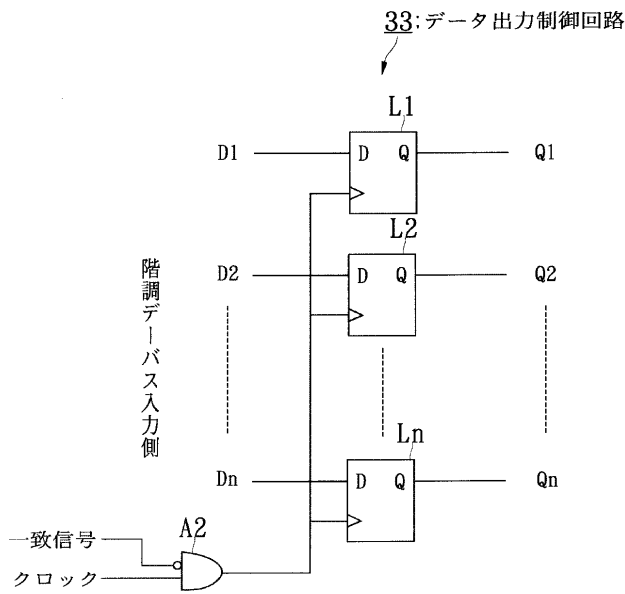
【図2】



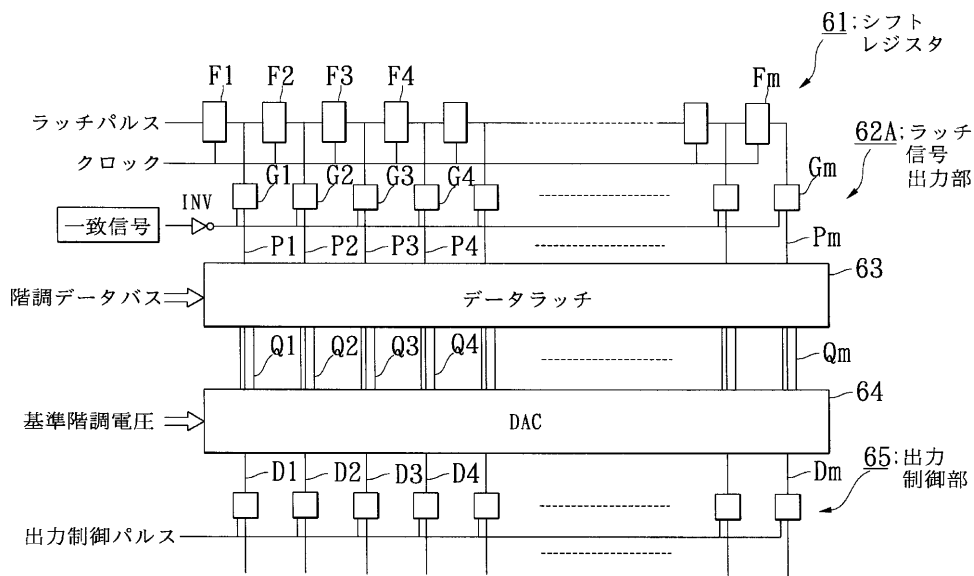
【図3】



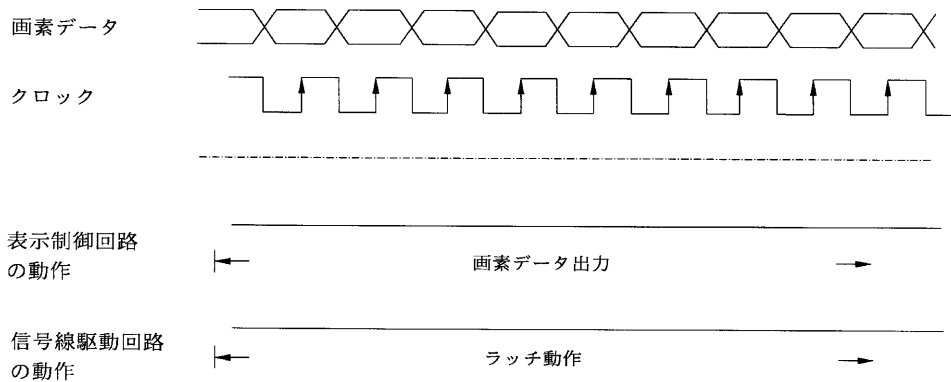
【図4】



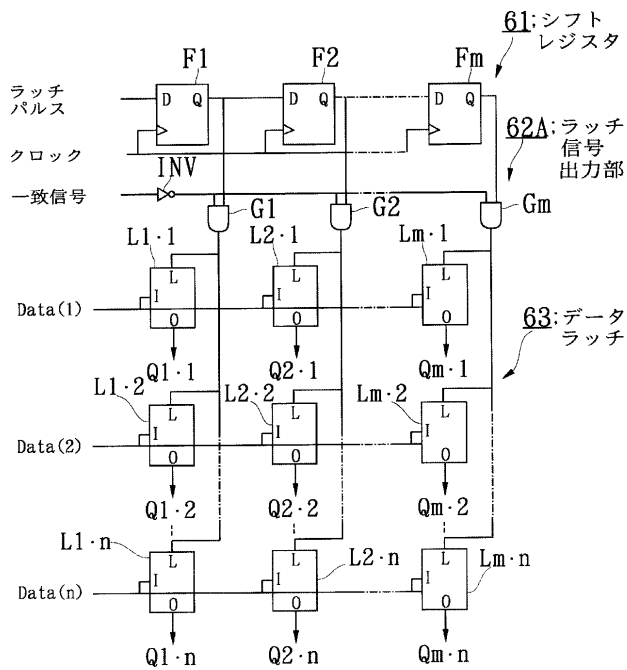
【図5】



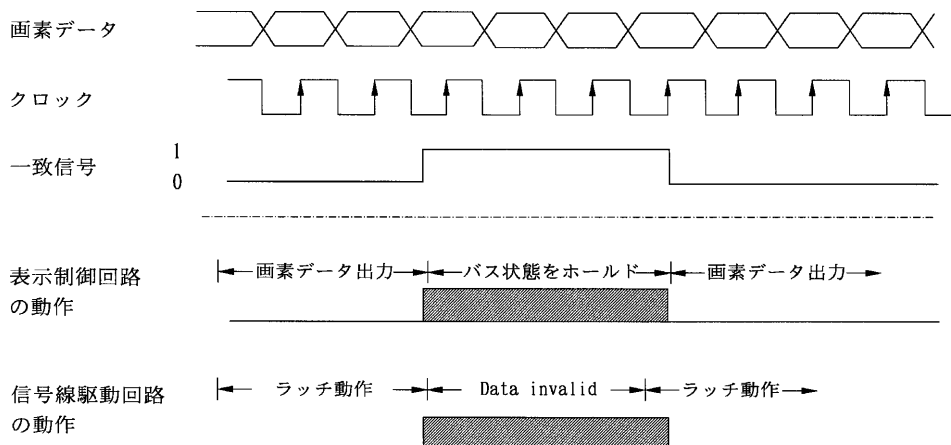
【図13】



【図6】

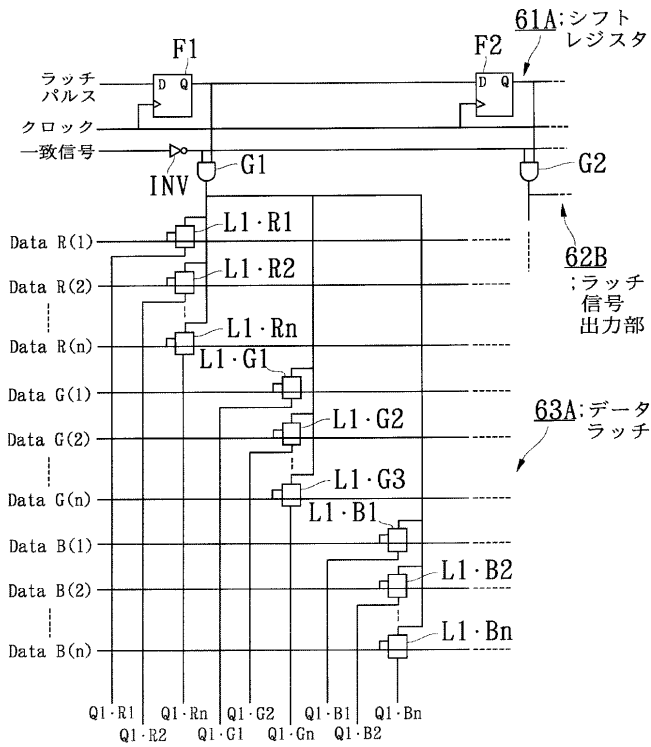


【図7】

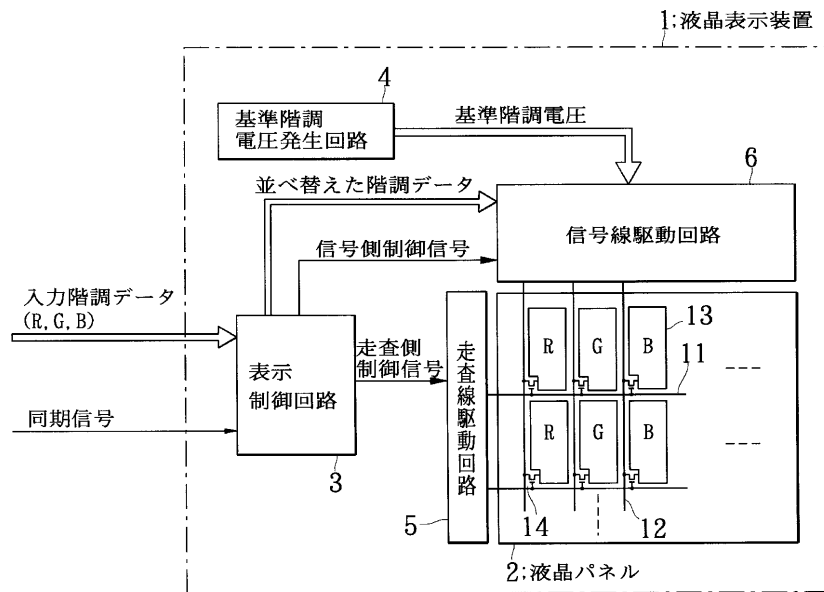




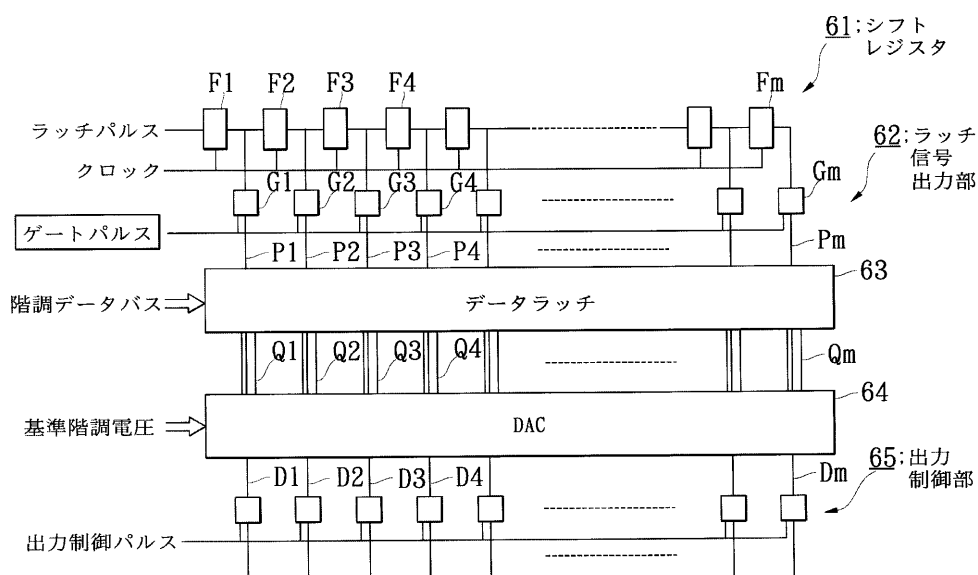
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ド (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 G

- F タ-ム(参考)
- 2H093 NA43 NA56 NA64 NA80 NC02
  - NC13 NC22 NC26 NC28 NC34
  - NC41 NC52 NC90 ND01 ND10
  - ND39 ND40
  - 5C006 AA16 AA22 AF45 AF82 BB16
  - BC16 BF04 BF05 BF14 BF26
  - FA32 FA47
  - 5C080 AA10 BB05 CC03 DD12 DD26
  - EE30 FF11 GG12 JJ02 JJ03
  - JJ04

专利名称(译)	画像表示装置		
公开(公告)号	<a href="#">JP2003044017A</a>	公开(公告)日	2003-02-14
申请号	JP2001236840	申请日	2001-08-03
申请(专利权)人(译)	NEC公司		
[标]发明人	田島章光 能勢崇		
发明人	田島章光 能勢崇		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00 H04N5/57		
CPC分类号	G09G5/006 G09G3/3688 G09G2320/103 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.611.C G09G3/20.612.U G09G3/20.623.G		
F-TERM分类号	2H093/NA43 2H093/NA56 2H093/NA64 2H093/NA80 2H093/NC02 2H093/NC13 2H093/NC22 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC41 2H093/NC52 2H093/NC90 2H093/ND01 2H093/ND10 2H093/ND39 2H093/ND40 5C006/AA16 5C006/AA22 5C006/AF45 5C006/AF82 5C006/BB16 5C006/BC16 5C006/BF04 5C006/BF05 5C006/BF14 5C006/BF26 5C006/FA32 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/DD26 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD26 2H193/ZE31 2H193/ZF02		
代理人(译)	西村 征生		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：通过减少图像显示设备中数字灰度数据的实质传输来降低功耗和降低EMI。解决方案：在所公开的液晶显示装置1中，设置有用于将灰度数据输出到液晶面板2的显示控制电路3A，其中排列有每行扫描线和每列信号线，扫描线驱动电路5用于扫描扫描线和用于向信号线提供信号电压的信号线驱动电路6A，显示控制电路将输入灰度数据与最后扫描线的灰度数据进行比较，并将灰度数据输出到信号线驱动电路。在他们不一致的情况下。信号线驱动电路基于灰度数据通过DA转换处理输入灰度数据，以将转换结果作为信号电压输出，同时显示控制电路根据保持灰度数据总线的状态输出信号。然后，信号线驱动电路基于在最后扫描周期锁存的灰度数据通过DA转换处理输入灰度数据，以输出转换结果作为电压信号。

