



## 【特許請求の範囲】

【請求項1】 半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、間隔を開けて設けられ、ソース/ドレイン領域として機能する第1導電型の第1高濃度不純物領域および第1導電型の第2高濃度不純物領域と、前記第1高濃度不純物領域と第2高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた第2導電型の複数のチャネル領域と、前記複数のチャネル領域のうち隣接する2つのチャネル領域の間に設けられた第1導電型の中間領域と、前記複数のチャネル領域のうち前記第1高濃度不純物領域の最も近くに位置するチャネル領域である第1チャネル領域と前記第1高濃度不純物領域との間に位置する前記第1導電型の第1低濃度不純物領域と、前記第1低濃度不純物領域とは異なるキャリア濃度を有し、前記第1低濃度不純物領域と前記第1チャネル領域との間に位置する前記第1導電型の第3低濃度不純物領域と、前記複数のチャネル領域のうち前記第2高濃度不純物領域の最も近くに位置するチャネル領域である第2チャネル領域と前記第2高濃度不純物領域との間に位置する前記第1導電型の第2低濃度不純物領域と、前記第3低濃度不純物領域とは異なるキャリア濃度を有し、前記第3低濃度不純物領域と前記第2チャネル領域との間に位置する前記第1導電型の第4低濃度不純物領域とを有する薄膜トランジスタ。

【請求項2】 各領域のキャリア濃度が、実質的に以下のように設定される請求項1に記載の薄膜トランジスタ。第1高濃度不純物領域 = 第2高濃度不純物領域 > 第1低濃度不純物領域 = 第2低濃度不純物領域 > 第3低濃度不純物領域 = 第4低濃度不純物領域 = 中間領域

【請求項3】 前記半導体層において、前記複数のチャネル領域、前記中間領域、前記第3低濃度不純物領域、および第4低濃度不純物領域には、略同じ濃度を有する第2導電型の不純物が選択的にドーピングされている請求項1または2に記載の薄膜トランジスタ。

【請求項4】 前記第3低濃度不純物領域および第4低濃度不純物領域には、前記第2導電型の不純物がドーピングされており、かつ、前記第1低濃度不純物領域および第2低濃度不純物領域にドーピングされた不純物と同一の第1導電型の不純物がドーピングされている請求項3に記載の薄膜トランジスタ。

【請求項5】 前記第3低濃度不純物領域および第4低濃度不純物領域のキャリア濃度と前記第1低濃度不純物領域および第2低濃度不純物領域のキャリア濃度との差は、前記第3低濃度不純物領域および第4低濃度不純物領域にドーピングされた前記第2導電型の不純物によって生

じる請求項4に記載の薄膜トランジスタ。

【請求項6】 前記第1低濃度不純物領域の長さと同様に前記第2低濃度不純物領域の長さが実質的に等しい請求項1または2に記載の薄膜トランジスタ。

【請求項7】 前記第3低濃度不純物領域の長さと同様に前記第4低濃度不純物領域の長さが実質的に等しい請求項1または2に記載の薄膜トランジスタ。

【請求項8】 前記中間領域の長さは、前記第1低濃度不純物領域の長さと同様に第3低濃度不純物領域の長さを足した長さ、および前記第2低濃度不純物領域の長さと同様に第4低濃度不純物領域の長さを足した長さよりも短い請求項1または2に記載の薄膜トランジスタ。

【請求項9】 絶縁性基板上に半導体薄膜を形成する工程と、前記半導体薄膜におけるチャネル領域として機能する部分を含む第1領域に第1導電型の第1不純物を選択的にドーピングする工程と、前記半導体薄膜上において、前記チャネル領域として機能する部分を覆うようにゲート電極を形成する工程と、前記ゲート電極を形成した後、前記ゲート電極をマスクとして、前記第1領域と前記第1領域の外側領域とを含む第2領域に、第2導電型の第2不純物をドーピングする工程と、前記第1領域と前記第2領域とが重なる領域の外側において、前記重なる領域と所定間隔離れるように規定された第3領域に第2導電型の第3不純物を選択的にドーピングし、これにより、ソース領域およびドレイン領域として機能し得る領域を形成する工程とを包含する薄膜トランジスタの製造方法。

【請求項10】 前記第2不純物のドーピング量は、前記第3不純物のドーピング量よりも小さい請求項9に記載の薄膜トランジスタの製造方法。

【請求項11】 半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、間隔を開けて設けられ、ソース/ドレイン領域として機能する第1高濃度不純物領域および第2高濃度不純物領域と、前記第1高濃度不純物領域と第2高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた複数のチャネル領域と、前記複数のチャネル領域のうち、隣接する2つのチャネル領域の間に設けられた中間領域と、前記複数のチャネル領域のうち前記第1高濃度不純物領域の最も近くに位置するチャネル領域である第1チャネル領域と前記第1高濃度不純物領域との間に位置する第1低濃度不純物領域と、前記複数のチャネル領域のうち前記第2高濃度不純物領域の最も近くに位置するチャネル領域である第2チャネル領域と前記第2高濃度不純物領域との間に位置する第

2 低濃度不純物領域とを有し、前記第 1 チャンネル領域は第 1 のイントリンシックチャンネル領域を有し、第 2 チャンネル領域は第 2 のイントリンシックチャンネル領域を有する薄膜トランジスタ。

【請求項 1 2】 前記第 1 のイントリンシックチャンネル領域および第 2 のイントリンシックチャンネルは、前記ゲート電極によって実質的に覆われている請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 3】 前記第 1 チャンネル領域および第 2 チャンネル領域のそれぞれは、前記第 1 のイントリンシックチャンネル領域と前記中間領域との間、および前記第 2 のイントリンシックチャンネル領域と前記中間領域との間に位置するドーパドチャンネル領域を有している請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 4】 前記第 1 チャンネル領域の前記ドーパドチャンネル領域、前記第 2 チャンネル領域の前記ドーパドチャンネル領域、および前記中間領域には、所定の濃度を有する第 1 導電型の不純物が選択的にドーパされている請求項 1 3 に記載の薄膜トランジスタ。

【請求項 1 5】 前記第 1 低濃度不純物領域の長さと同様に前記第 2 低濃度不純物領域の長さと同様に請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 6】 前記第 1 のイントリンシックチャンネル領域の長さ、前記第 2 のイントリンシックチャンネル領域の長さと同様に請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 7】 前記第 1 のイントリンシックチャンネル領域および前記第 2 のイントリンシックチャンネル領域の長さは、前記中間領域の長さ、前記第 1 低濃度不純物領域の長さ、および第 2 低濃度不純物領域の長さよりも短い請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 8】 絶縁性基板上に半導体薄膜を形成する工程と、前記半導体薄膜における第 1 領域に第 1 導電型の第 1 不純物を選択的にドーパする工程と、前記半導体薄膜上において、前記第 1 領域および前記第 1 領域の外側領域を覆うゲート電極を形成する工程と、前記ゲート電極を形成した後、前記ゲート電極をマスクとして、前記第 1 領域と前記第 1 領域の外側領域とを含む第 2 領域に、第 2 導電型の第 2 不純物をドーパする工程と、前記第 1 領域と、前記ゲート電極によって覆われる領域とを含む第 3 領域の外側において、前記第 3 領域と所定間隔離れるように規定された第 4 領域に第 2 導電型の第 3 不純物を選択的にドーパする工程とを包含する薄膜トランジスタの製造方法。

【請求項 1 9】 請求項 1 または 1 1 に記載の薄膜トランジスタ、前記薄膜トランジスタの第 1 高濃度不純物領域と電気的に接続される信号配線、前記ゲート電極に電気的に接続されるゲート配線、および前記薄膜トランジ

スタの第 2 高濃度不純物領域と電気的に接続される画素電極が形成された基板と、前記画素電極の電位に応じて光学状態を変化させる液晶層とを備えるアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置や密着型イメージセンサなどに適切に用いられる薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】近年、パーソナルコンピュータの表示装置、薄型テレビ、ビデオ撮像装置の表示装置等として、アクティブマトリクス型液晶表示装置が利用されている。アクティブマトリクス型液晶表示装置においては、薄膜トランジスタ(TFT:Thin Film Transistor)が、画素のオン/オフ状態を切り換えるスイッチング素子として広く用いられている。TFTは画素毎に設けられており、各画素の駆動は、それぞれに設けられたTFTによって制御される。

【0003】TFTのゲートに走査信号が印加されTFTがオン状態となっているとき、TFTのドレインに接続された画素電極には、TFTのソースに接続された信号配線から所定の信号電圧が印加される。液晶表示装置では、画素電極に印加された信号電圧の大きさに応じて液晶の配向状態が変化し、これによって画像の表示が行なわれる。

【0004】画素電極に所定の信号電圧を印加した後、この画素電極に新たな信号電圧を印加するまでの間(1フレーム期間)、TFTのゲートには走査信号が印加されずTFTはオフ状態にされている。この期間において、画素電極の電位を一定に保ち、所定の表示状態を維持するためである。TFTがオフ状態の間、TFTを流れる電流(リーク電流またはオフ電流)はできる限り小さいことが望ましい。オフ電流が大きい場合、液晶の配向状態が維持されず表示品位は低下してしまう。

【0005】特に、半導体層として多結晶シリコン層を用いたTFTの場合、多結晶シリコンの電界効果移動度が高いことから、非晶質シリコン層を用いたTFTに比べてオフ電流が高くなる傾向がある。このため、画素電極の電位を維持することがより困難になる。

【0006】また、表示装置の高精細化が進むにつれ、表示装置の画素数は増加してきている。画素数の多い表示装置では、より短い時間で画素を駆動するため、TFTのオン電流を高くする必要がある。

【0007】さらに、液晶プロジェクタ用の小型高精細液晶ディスプレイなどにおいて、画素のサイズはますます縮小してきている。このようなディスプレイにおいて、表示画像の明るさを向上させるためには、画素領域における開口率を高める必要があり、TFTのサイズを

より小さくすることが要求される。一方で、表示装置を高い歩留まりで生産するためには、種々の欠陥に起因したTFTのリーク不良対策が必要である。

【0008】以上説明したように、TFT、特に小型高精細液晶ディスプレイの画素を駆動するために用いられるTFTは、以下に示すような特徴を有することが望ましい。

- (1) リーク電流が小さい。
- (2) オン電流が大きい。
- (3) サイズが小さい。
- (4) リーク不良がない。

【0009】このような特性を有するTFTとして、所謂マルチゲート構造と所謂LDD(Lightly Doped Drain)構造とを組み合わせた構造を有するTFTが、例えば、特開平7-263705号公報において記載されている。以下、図13を参照して、上記公報に記載のTFTを説明する。

【0010】図13に示す従来のTFT90では、半導体薄膜92上に絶縁膜94を介して一对のゲート電極96aおよび96bが形成されている。半導体薄膜92において、ゲート電極96aおよび96bの真下にはチャンネル領域97aおよび97bがそれぞれ形成されており、チャンネル領域97aおよび97bの外側には、低濃度不純物領域98aおよび98bと、高濃度不純物領域99aおよび99b(ソース領域およびドレイン領域)とが形成されている。また、チャンネル領域間には低濃度不純物領域(中間領域)95が形成されている。

【0011】このようにドレイン領域(高濃度不純物領域)99bとチャンネル領域97bとの間に低濃度不純物領域(LDD領域)98bを設けることにより、ドレイン端での電界集中が緩和され、これによって、リーク電流が抑制される。また、マルチゲート型を採用し、等価回路的にはシングルゲート型のTFTを2つ直列接続する構成とすることによって、一方のTFTにリーク不良が生じた場合にも、他方のTFTによりスイッチング素子としての機能を果たすことができる。このため、リーク不良に対して冗長性を持たすことができる。

【0012】さらに、上記公報に記載のTFT90は、中間領域95の長さが低濃度不純物領域98aおよび98bの長さの合計より短くなるように構成されており、これによってオン電流を大きくしている。また、TFT90は、ゲート電極間に高濃度不純物領域を有していない構成であるので、ゲート電極間の間隔を狭めることができ、これによりTFTの微細化が可能である。

【0013】以下、図14を参照しながら、上記TFT90を備えた、液晶表示装置用のTFT基板の製造工程を説明する。

【0014】まず、絶縁性基板91上における素子領域に、多結晶シリコン(Poly-Si)等から形成される半導体薄膜92を設け、半導体薄膜92の表面部分を

酸化することなどによって、絶縁膜94を形成する(図14(a))。

【0015】次に、必要に応じて、半導体薄膜92全面に対してB<sup>+</sup>イオン等を所定のドーズ量(例えば、 $1 \sim 8 \times 10^{12} / \text{cm}^2$ )で注入する(図14(b))。この工程において、TFTのチャンネル領域の特性が決定され、TFTの閾値電圧が制御される。

【0016】次に、絶縁膜94で覆われた半導体薄膜92上に、ゲート電極96aおよび96bを形成する(図14(c))。ゲート電極96aおよび96bは、例えば、燐をドーピングした低抵抗のPoly-Si薄膜を成膜し、これに対して所定のパターニングを施すことによって形成される。なお、ゲート電極96aおよび96bを形成する前に、必要に応じて窒化シリコン膜などを設けても良い。

【0017】その後、LDD領域を形成するために、ゲート電極96aおよび96bをマスクとしてセルフアライメントでP<sup>+</sup>イオン等を比較的低いドーズ量で半導体膜全面に注入する(図14(d))。これにより、ゲート電極で覆われない部分において低濃度不純物領域が形成される。

【0018】次に、各ゲート電極の側面から所定の距離離れた部分まで覆うレジスト93を形成し、このレジスト93をマスクとしてAs<sup>+</sup>イオン等の不純物を比較的高いドーズ量で注入する(図14(e))。これにより、先に形成した低濃度不純物領域の一部を高濃度不純物領域に転換する。高濃度不純物領域は、TFTのソース領域およびドレイン領域として機能する。

【0019】このようにして形成されたTFTを絶縁性材料で覆い、注入不純物の活性化などを行ったのち、ソース領域の上部にコンタクトホールを形成する(図14(f))。

【0020】その後、導電性材料から形成される信号配線Sをコンタクトホールを介してソース領域と接触するように形成する。さらに、これらの全体を覆う絶縁膜を形成した後、ドレイン領域の上部にコンタクトホールを開口し、ITO等の材料を用いて透明電極(画素電極)Pをドレイン領域と接触するように形成する(図14(g))。これによって、アクティブマトリクス型液晶表示装置に用いられるTFT基板が完成する。

【0021】

【発明が解決しようとする課題】上記従来のTFT90は、マルチゲート構造を有しているため、リーク不良が発生する可能性を低下させることができる。また、中間領域を低濃度不純物領域で形成したことで、ゲート電極間の間隔を狭めることが可能になり、これにより、TFTのサイズを小さくすることができる。

【0022】しかし、TFT90では、リーク電流を小さくし、かつ、オン電流を大きくすることが困難であった。TFT90において、低濃度不純物領域の不純物濃

度を高くすると、オン電流を高くすることが可能であるが、この場合、リーク電流は増大してしまう。一方、不純物濃度を低くすると、リーク電流を低下させることができるが、この場合、オン電流は低下してしまう。

【0023】本発明は、かかる諸点を鑑みてなされたものであり、その主な目的は、リーク電流が小さく、オン電流が大きい薄膜トランジスタおよびその製造方法を提供することである。

【0024】本発明の他の目的は、上記薄膜トランジスタを備え、表示品位が向上した液晶表示装置を提供することにある。

【0025】

【課題を解決するための手段】本発明による薄膜トランジスタは、半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、間隔を開けて設けられ、ソース/ドレイン領域として機能する第1導電型の第1高濃度不純物領域および第1導電型の第2高濃度不純物領域と、前記第1高濃度不純物領域と第2高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに 20 対向するように設けられた第2導電型の複数のチャネル領域と、前記複数のチャネル領域のうち隣接する2つのチャネル領域の間に設けられた第1導電型の間領域と、前記複数のチャネル領域のうち前記第1高濃度不純物領域の最も近くに位置するチャネル領域である第1チャネル領域と前記第1高濃度不純物領域との間に位置する前記第1導電型の第1低濃度不純物領域と、前記第1低濃度不純物領域とは異なるキャリア濃度を有し、前記第1低濃度不純物領域と前記第1チャネル領域との間に 30 位置する前記第1導電型の第3低濃度不純物領域と、前記複数のチャネル領域のうち前記第2高濃度不純物領域の最も近くに位置するチャネル領域である第2チャネル領域と前記第2高濃度不純物領域との間に位置する前記第1導電型の第2低濃度不純物領域と、前記第3低濃度不純物領域とは異なるキャリア濃度を有し、前記第3低濃度不純物領域と前記第2チャネル領域との間に位置する前記第1導電型の第4低濃度不純物領域とを有する。

【0026】好ましい実施形態において、各領域のキャリア濃度は、実質的に次に示すように設定される。第1高濃度不純物領域 = 第2高濃度不純物領域 > 第1低濃度 40 不純物領域 = 第2低濃度不純物領域 > 第3低濃度不純物領域 = 第4低濃度不純物領域 = 中間領域。

【0027】好ましい実施形態において、前記半導体層において、前記複数のチャネル領域、前記中間領域、前記第3低濃度不純物領域、および第4低濃度不純物領域には、略同じ濃度を有する第2導電型の不純物が選択的にドーピングされている。

【0028】好ましい実施形態において、前記第3低濃度不純物領域および第4低濃度不純物領域には、前記第 50 2導電型の不純物がドーピングされており、かつ、前記第1

低濃度不純物領域および第2低濃度不純物領域にドーピングされた不純物と同一の第1導電型の不純物がドーピングされている。

【0029】好ましい実施形態において、前記第3低濃度不純物領域および第4低濃度不純物領域のキャリア濃度と前記第1低濃度不純物領域および第2低濃度不純物領域のキャリア濃度との差は、前記第3低濃度不純物領域および第4低濃度不純物領域にドーピングされた前記第2導電型の不純物によって生じる。

【0030】好ましい実施形態において、前記第1低濃度不純物領域の長さと同前記第2低濃度不純物領域の長さが実質的に等しい。

【0031】好ましい実施形態において、前記第3低濃度不純物領域の長さと同前記第4低濃度不純物領域の長さが実質的に等しい。

【0032】好ましい実施形態において、前記中間領域の長さは、前記第1低濃度不純物領域の長さと同第3低濃度不純物領域の長さを足した長さ、および前記第2低濃度不純物領域の長さと同第4低濃度不純物領域の長さと同を足した長さよりも短い。

【0033】本発明の薄膜トランジスタの製造方法は、絶縁性基板上に半導体薄膜を形成する工程と、前記半導体薄膜におけるチャネル領域として機能する部分を含む第1領域に第1導電型の第1不純物を選択的にドーピングする工程と、前記半導体薄膜上において、前記チャネル領域として機能する部分を覆うようにゲート電極を形成する工程と、前記ゲート電極を形成した後、前記ゲート電極をマスクとして、前記第1領域と同前記第1領域の外側領域とを含む第2領域に、第2導電型の第2不純物をドーピングする工程と、前記第1領域と同前記第2領域とが重なる領域の外側において、前記重なる領域と同所定間隔離れるように規定された第3領域に第2導電型の第3不純物を選択的にドーピングし、これにより、ソース領域およびドレイン領域として機能し得る領域を形成する工程とを包含する。

【0034】好ましい実施形態において、前記第2不純物のドーピング量は、前記第3不純物のドーピング量よりも小さい。

【0035】本発明の薄膜トランジスタは、半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、間隔を開けて設けられ、ソース/ドレイン領域として機能する第1高濃度不純物領域および第2高濃度不純物領域と、前記第1高濃度不純物領域と同第2高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた複数のチャネル領域と、前記複数のチャネル領域のうち、隣接する2つのチャネル領域の間に設けられた中間領域と、前記複数のチャネル領域のうち前記第1高濃度不純物領域の最も近くに位置するチャネル領域である第1チャネル領域と同前記 50

第1高濃度不純物領域との間に位置する第1低濃度不純物領域と、前記複数のチャンネル領域のうち前記第2高濃度不純物領域の最も近くに位置するチャンネル領域である第2チャンネル領域と前記第2高濃度不純物領域との間に位置する第2低濃度不純物領域とを有し、前記第1チャンネル領域および第2チャンネル領域のそれぞれは、第1のイントリンシックチャンネル領域および第2のイントリンシックチャンネル領域を有する。

【0036】好ましい実施形態において、前記第1のイントリンシックチャンネル領域および第2のイントリンシックチャンネルは、前記ゲート電極によって実質的に覆われている。

【0037】好ましい実施形態において、前記第1チャンネル領域および第2チャンネル領域のそれぞれは、前記第1のイントリンシックチャンネル領域と前記中間領域との間、および前記第2のイントリンシックチャンネル領域と前記中間領域との間に位置するドーパドチャンネル領域を有している。

【0038】好ましい実施形態において、前記第1チャンネル領域の前記ドーパドチャンネル領域、第2チャンネル領域の前記ドーパドチャンネル領域、および前記中間領域には、所定の濃度を有する第1導電型の不純物が選択的にドーパされている。

【0039】好ましい実施形態において、前記第1低濃度不純物領域の長さと同前記第2低濃度不純物領域の長さが実質的に等しい。

【0040】好ましい実施形態において、前記第1のイントリンシックチャンネル領域の長さと同前記第2のイントリンシックチャンネル領域の長さが実質的に等しい。

【0041】好ましい実施形態において、前記第1のイントリンシックチャンネル領域および前記第2のイントリンシックチャンネル領域の長さは、前記中間領域の長さ、前記第1低濃度不純物領域の長さ、および第2低濃度不純物領域の長さよりも短い。

【0042】本発明の薄膜トランジスタの製造方法は、絶縁性基板上に半導体薄膜を形成する工程と、前記半導体薄膜における第1領域に第1導電型の第1不純物を選択的にドーパする工程と、前記半導体薄膜上において、前記第1領域および前記第1領域の外側領域を覆うゲート電極を形成する工程と、前記ゲート電極を形成した後、前記ゲート電極をマスクとして、前記第1領域と前記第1領域の外側領域とを含む第2領域に、第2導電型の第2不純物をドーパする工程と、前記第1領域と、前記ゲート電極によって覆われる領域とを含む第3領域の外側において、前記第3領域と所定間隔離れるように規定された第4領域に第2導電型の第3不純物を選択的にドーパする工程とを包含する。

【0043】本発明のアクティブマトリクス型液晶表示装置は、上記何れかに記載の薄膜トランジスタ、前記薄膜トランジスタの第1高濃度不純物領域と電氣的に接続

される信号配線、前記ゲート電極に電氣的に接続されるゲート配線、および前記薄膜トランジスタの第2高濃度不純物領域と電氣的に接続される画素電極が形成された基板と、記画素電極の電位に応じて光学状態を変化させる液晶層と備える。

【0044】なお、「第1導電型」および「第2導電型」の用語は、n型およびp型を区別するものとして用いられており、n型およびp型のうちの一方を「第1導電型」と称し、他方を「第2導電型」と称する。第1導電型はn型またはp型の何れかであり、第2導電型はp型またはn型の何れかである。

【0045】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施形態を説明する。

【0046】(実施形態1)図1は、実施形態1の薄膜トランジスタ10が形成された、アクティブマトリクス型液晶表示装置用のTFT基板(アクティブマトリクス基板)の1画素領域に対応する部分を示す。画素領域は、画素電極6に信号電圧を供給するための信号配線2と、ゲート電極18に走査信号を供給するためのゲート配線4とによって囲まれている。

【0047】信号配線2とゲート配線4との交差部の近傍には、画素駆動用のスイッチング素子として形成されたマルチゲート型のTFT10が設けられている。TFT10のソースは、信号配線2と電氣的に接続されている。また、TFT10を構成している一对のゲート電極18aおよび18bは、ゲート配線4から延びている。TFT10のドレインは、画素電極6と電氣的に接続されている。

【0048】図1に示す形態では、TFT10のドレインに接続されたドレイン電極8と、このドレイン電極8に対向するように形成された電極部を有する補助容量配線9とを用いて、図1において斜線で示す領域に補助容量 $C_s$ が形成されている。ただし、補助容量は別の形態で形成されていてもよい。また、図1に示す形態では、TFT10のドレインは、ドレイン電極8を介して画素電極6に電氣的に接続されているが、TFT10のドレインと画素電極6とが直接接続されていてもよい。

【0049】以下、図2および図3を参照しながら、実施形態1のTFT10の構成を説明する。なお、以下には、例として、nチャンネル型のTFTの実施形態を説明するが、本発明はこれに限られず、pチャンネル型のTFTであってもよい。

【0050】TFT10は、石英基板などの絶縁性基板12上に形成されており、多結晶シリコンなどから形成される半導体層14と、半導体層14上にゲート絶縁膜16を介して形成された一对のゲート電極18とを備えている。一对のゲート電極18aおよび18bは、半導体層14の中央寄りの位置において互いに対して間隔を開けて設けられており、それぞれが半導体層14を横切

るように延びている。

【0051】半導体層14において、各ゲート電極18aおよび18bの下側には、それぞれチャンネル領域20aおよび20bがゲート電極18aおよび18bに対して自己整合的に形成されている。TFT10の閾値電圧を所望の値に設定するために、チャンネル領域にはBイオンなどのp型の不純物がドーブされている。図2に示すように、チャンネル長Lは、ゲート電極18のサイズによって決まり、チャンネル幅Wは、半導体層14のサイズによって決まる。

【0052】半導体層14の端部寄りの位置において、チャンネル領域20aおよび20bを挟むようにして、n型の高濃度不純物領域28aおよび28bが設けられている。第1高濃度不純物領域28aおよび第2高濃度不純物領域28bは、TFT10のソース領域およびドレイン領域として機能する。

【0053】n型第1高濃度不純物領域(ソース領域)28aと、これに近い方の第1チャンネル領域20aとの間には、キャリア濃度の異なる2種類のn型低濃度不純物領域24aおよび26aが設けられており、これらによってLDD領域が構成されている。ソース領域28aに隣接する側の第1低濃度不純物領域26aのキャリア濃度に比べて、チャンネル領域20aに隣接する側の第3低濃度不純物領域24aのキャリア濃度は低くなっている。

【0054】同様に、第2高濃度不純物領域(ドレイン領域)28bと、これに近い方の第2チャンネル領域20bとの間には、キャリア濃度の異なる2種類の低濃度不純物領域24bおよび26bが設けられており、これらによってLDD領域が構成されている。ドレイン領域28bに隣接する側の第2低濃度不純物領域26bのキャリア濃度に比べて、チャンネル領域20bに隣接する側の第4低濃度不純物領域24bのキャリア濃度は低くなっている。

【0055】また、チャンネル領域20aおよび20bの間には、n型の中間領域22が形成されている。

【0056】半導体層14に形成された各領域のキャリア濃度は、各領域にドーブされるn型不純物および/またはp型不純物の濃度によって決まる。キャリア濃度は、ドーブされているn型不純物の濃度 $N_D$ とp型不純物の濃度 $N_A$ との差( $N_D - N_A$ )の絶対値で表され、各領域のキャリア濃度は、例えば、図6(d)に示されるようなプロファイルを示す。各領域のキャリア濃度は、好ましくは、以下に示すように設定される。ソース領域28a = ドレイン領域28b > 第1低濃度不純物領域26a = 第2低濃度不純物領域26b > 第3低濃度不純物領域24a = 第4低濃度不純物領域24b = 中間領域22

【0057】このように、TFT10では、ドレイン領域28bとチャンネル領域20bとの間に、2種類のキャ

リア濃度を有する低濃度不純物領域24bおよび26bが形成され、よりゆるやかなキャリア濃度分布が実現される。これにより、ドレイン端での電界集中が小さくなり、リーク電流を低減することができる。

【0058】また、チャンネル領域20bと隣接する部分に第4低濃度不純物領域24bを設けたことによって、ドレイン領域28bと隣接する第2低濃度不純物領域26bのキャリア濃度を比較的高くした場合にも、リーク電流を低く抑えることができる。このようにすれば、第2低濃度不純物領域26bのキャリア濃度を従来の1段で形成されたLDD領域のそれよりも高く設定することが可能である。

【0059】このように、低濃度不純物領域24bおよび26bを設け、それぞれの領域のキャリア濃度を適切に制御すれば、従来の1段のLDD構造を有するTFTに比べて、低リーク電流化と高オン電流化とを両立させやすくなる。これにより、リーク電流を適切に抑制しつつTFT10のオン電流を実質的に高くすることが可能になる。

【0060】次に、半導体層14における各領域の長さについて説明する。なお、各領域の長さとは、半導体層14におけるドレイン領域からソース領域に向かう方向(あるいは、ドレイン領域からソース領域に向かう方向)における長さ寸法を意味している。図3には、チャンネル長Lとともに、第1低濃度不純物領域26aの長さL1、第2低濃度不純物領域26bの長さL2、第3低濃度不純物領域24aの長さL3、第4低濃度不純物領域24bの長さL4、および中間領域の長さLiが示されている。

【0061】アクティブマトリクス型液晶表示装置では、TFTのドレインに接続されている液晶容量および補助容量に対して充電と放電とが行なわれる。このため、電流は、TFTのドレイン - ソース間を双方向に流れ得る。この場合、TFTの特性は対称性を有していることが望ましい。このため、第1低濃度不純物領域26aの長さL1 = 第2低濃度不純物領域26bの長さL2であることが望ましい。また、第3低濃度不純物領域24aの長さL3 = 第4低濃度不純物領域24bの長さL4であることが望ましい。

【0062】このように、本実施形態のTFTでは、第1低濃度不純物領域のキャリア濃度および長さ、第2低濃度不純物領域のキャリア濃度および長さなどが等しく、ソース - ドレイン方向においてこれらが対称性を有していることが望ましい。また、第3低濃度不純物領域のキャリア濃度および長さ、第4低濃度不純物領域のキャリア濃度および長さなどが等しく、ソース - ドレイン方向においてこれらが対称性を有していることが望ましい。

【0063】また、オン電流を大きくするためには、中間領域の長さLiが比較的短いほうが良く、LDD領域

の長さよりも短いことが好ましい。すなわち、 $L1 + L3 > Li$ であることが望ましい。また、 $L2 + L4 > Li$ であることが望ましい。

【0064】以下、図4および図5を参照しながら、TFT10を有するアクティブマトリクス型液晶表示装置用TFT基板の製造工程の実施例を説明する。

【0065】まず、図4(a)に示すように、石英などを用いて形成される絶縁性基板12上に、LPCVD法(減圧CVD法)でa-Si(非晶質シリコン)薄膜を約45nmの厚さで形成する。a-Si薄膜を形成する10のための原料ガスとしては、例えば、 $Si_2H_6$ を用いることができる。なお、a-Si薄膜は、プラズマCVD法を用いて150~250程度の温度で形成してもよい。

【0066】形成されたa-Si薄膜を、窒素雰囲気中で、600程度の温度で24h程度アニールすることによって、大粒径化された多結晶シリコン(Poly-Si)薄膜40を形成する。

【0067】なお、上述のような方法とは異なり、基板12上に、LPCVD法を用いてPoly-Si薄膜40を成膜してもよい。この場合、必要に応じて、さらにSiイオンをイオン注入して一旦非晶質化させ、次に600程度の炉アニールでPoly-Si薄膜を大粒径化してもよい。また、このようにして形成されたPoly-Si薄膜40に対して、さらにレーザーアニールを行ない、結晶性を改善させてもよい。

【0068】次に、図4(b)に示すように、Poly-Si薄膜40をパターンングし、各画素に対応して設けられる素子形成領域に選択的に残す。これによってTFTの半導体層14が形成される。なお、半導体層を形成30する材料はPoly-Siに限られない。

【0069】次に、図4(c)に示すように、半導体層14の端部寄りの領域を選択的に覆うように形成されたフォトレジスト42をマスクとして、 $B^+$ イオンを $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量で所定の領域R1に注入する(イオン注入A)。このように、本実施形態では、半導体層14において、TFTのチャンネル領域を含むように選択された所定の領域R1のみにp型不純物をドーピングする。なお、 $B^+$ イオンに代えて $BF_2^+$ イオンを用いてもよい。40

【0070】次に、図4(d)に示すように、半導体層14の全体を覆うように、HTO(High Temperature Oxide)を約80nmの厚みで堆積し、ゲート絶縁膜16を形成する。なお、半導体層14の表面部を酸化することによってゲート絶縁膜16を形成してもよい。

【0071】次に、図4(e)に示すように、上記 $B^+$ イオンを注入した領域R1(図4(c))の上方に、互いに間隔を開けて設けられた一対のゲート電極18aおよび18bを形成する。ゲート電極18aおよび18b 50

のそれぞれは、p型不純物がドーピングされた領域R1を覆うように形成される。また、ゲート電極18aおよび18bのそれぞれは、所定の方向においてp型不純物がドーピングされた領域R1の境界から所定間隔だけ内側に離れた位置にゲート電極18aおよび18bの外側の端部18eが位置するように形成される。ゲート電極18aおよび18bは、図において紙面と略垂直な方向に延びており、好適には、半導体層14を横切っている。

【0072】このゲート電極18aおよび18bは、例えば、ゲート酸化膜16上にLPCVD法でPoly-Si薄膜を400nmの厚みで成膜した後、 $POCl_3$ ガスから燐をドーピングすることによって低抵抗Poly-Si薄膜を形成し、このよう形成した導電膜をパターンングすることによって形成される。なお、この導電膜をパターンングする工程において、図1に示したゲート配線および補助容量配線も、ゲート電極18aおよび18bと同時に形成されて良い。

【0073】後述するように、p型不純物がドーピングされた領域R1のうち、一対のゲート電極18aおよび18bによって覆われる領域がTFTのチャンネル領域となる。各チャンネル領域におけるチャンネル長Lは、各ゲート電極のサイズによって決まる。チャンネル長Lは、例えば約1.5 $\mu\text{m}$ に設定される。なお、チャンネル幅W(図2参照)は、例えば約1 $\mu\text{m}$ に設定される。

【0074】ゲート電極間の距離は、半導体層14においてチャンネル領域間に設けられた領域である中間領域の長さを実質的に規定する。中間領域の長さLiは、例えば、約1 $\mu\text{m}$ に設定される。また、半導体層14における領域R1の境界位置とゲート電極の外側の端部18eに対応する位置との間の距離L3およびL4は、後述する第3低濃度不純物領域24aおよび第4低濃度不純物領域24bの長さに相当する。この長さL3と長さL4とが等しいことが望ましく、L3およびL4は、例えば、約0.75 $\mu\text{m}$ に設定される。

【0075】次に、図4(f)に示すように、ゲート電極18aおよび18bをマスクとして $P^+$ イオンを $5 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量で注入する(イオン注入B)。 $P^+$ イオンに代えて $As^+$ イオンをドーピングしてもよい。半導体層14には、ゲート電極18aおよび18bの下方の領域を除き、n型不純物がドーピングされた領域がゲート電極18aおよび18bに対して自己整合的に形成される。

【0076】上述のように半導体層14には、ゲート電極を形成した後、p型不純物がドーピングされた領域R1および領域R1の外側領域を含む第2領域R2(本実施形態では、半導体層14の全面)にn型不純物がドーピングされる。このn型不純物のドーズ量は、上記p型不純物のドーズ量よりも実質的に大きい。これにより、ゲート電極によって覆われる領域(チャンネル領域20aおよび20b)を除いて、半導体層14には多数キャリアを電子

とするn型不純物領域が形成される。p型不純物イオンとn型不純物イオンとの両方が注入された領域には、キャリア濃度が比較的小さい低濃度のn型不純物領域が形成される。この低濃度のn型不純物領域のうち、チャンネル領域20aおよび20bの外側に形成される領域が、第3低濃度不純物領域24aおよび第4低濃度不純物領域24bとなる。また、チャンネル領域20aおよび20b間に形成される領域が、中間領域22となる。

【0077】次に、図5(g)に示すように、ゲート電極18aおよび18b、中間領域22、第3および第4低濃度不純物領域、および第3および第4低濃度不純物領域の外側に近接する領域を覆うレジスト44を形成する。レジスト44は、ゲート電極の端部18eから例えば1.5μm外側まで覆うように形成される。次に、このレジスト44をマスクとして、P<sup>+</sup>イオンを5×10<sup>14</sup>~5×10<sup>15</sup>cm<sup>-2</sup>のドーズ量で注入し(イオン注入C)、高濃度不純物領域28aおよび28bを形成する。このときの注入ドーズ量は、上記イオン注入Bにおける注入ドーズ量よりも、実質的に大きい。なお、P<sup>+</sup>イオンに代えてAs<sup>+</sup>イオンをドーピングしてもよい。

【0078】このように本実施形態では、第3および第4低濃度不純物領域24aおよび24bとして形成された、p型不純物とn型不純物とがドーピングされた領域(すなわち領域R1と領域R2とが重なる領域)の外側においてこの領域と間隔を開けて設けられる領域R3に、比較的高いドーズ量のn型不純物が選択的にドーピングされる。こうして形成された高濃度不純物領域28aおよび28bは、TFTのソース領域およびドレイン領域として機能する。

【0079】また、高濃度不純物領域28aおよび28bと低濃度不純物領域24aおよび24bとの間には、上記イオン注入Bにおいて注入された不純物によってキャリア濃度が決まる第1および第2低濃度不純物領域26aおよび26bが形成される。

【0080】このようにして、ソース領域とチャンネル領域との間、およびドレイン領域とチャンネル領域との間において、異なるキャリア濃度を有する2つの低濃度不純物領域で構成されたLDDが形成されたマルチゲート型TFT10が完成する。

\*【0081】その後、上記イオン注入Cで用いたレジスト44を除去した後、図5(h)に示すように、常圧CVD法でBPSG等から形成される絶縁膜46を600nmの厚さで基板全面上に成膜する。次に、950、30分間の窒素雰囲気中で熱処理を施し、半導体層14に注入された不純物の活性化を行う。さらに、半導体層14のソース領域28a及びドレイン領域28b上に第1コンタクトホール48および50を開口した後、AlSiなどから形成される導電膜を約600nmの厚さで形成し、所定の形状にパターニングする。これによって、コンタクトホール48および50を介してソース領域28a及びドレイン領域28bと接続されるソース電極(ソース配線)52およびドレイン電極54が形成される。

【0082】その後、図5(i)に示すように、プラズマCVD法等を用いて基板の全面を覆うように、P-SiNO膜56を約200nmの厚さで形成し、その上に、P-SiO膜57を約700nmの厚さで形成する。次に、アニールを施し、P-SiNO膜56中の水素をPoly-Si薄膜中に拡散させて水素化する。さらに、ドレイン電極54上に第2コンタクトホール58を開口し、ITO(インジウム錫酸化物)等から形成される透明導電膜を約150nmの厚さで形成し、これを所定の形状にパターニングすることによって画素電極59を形成する。

【0083】上記の製造方法における個別の工程(膜の堆積およびパターニング工程やイオン注入工程等)は、公知の方法を用いて行なうことができる。

【0084】このようにすれば、イオン注入A：ゲート電極形成前の閾値電圧制御用のイオン注入、イオン注入B：ゲート電極形成後の低濃度イオン注入、イオン注入C：ゲート電極形成後の高濃度イオン注入によって、TFT10を比較的容易な製造プロセスで作製することができる。イオン注入A~Cを行なうことによって、TFT10の半導体層14の各領域にドーピングされる不純物を下記表1に示す。

【0085】

【表1】

○：注入有り

領域	注入A B <sup>+</sup> または BF <sub>2</sub> <sup>+</sup>	注入B P <sup>+</sup> または As <sup>+</sup>	注入C P <sup>+</sup> または As <sup>+</sup>
チャンネル領域	○		
中間領域	○	○	
第1及び第2低濃度不純物領域		○	
第3及び第4低濃度不純物領域	○	○	
第1及び第2高濃度不純物領域		○	○

【0086】上述したように、各イオン注入工程における注入量（ドーズ量）は、好ましくは、注入Aにおける注入量（注入量A）： $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 、注入Bにおける注入量（注入量B）： $5 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 、注入Cにおける注入量（注入量C）： $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ であり、好ましくは、注入量C > 注入量B > 注入量Aである。

【0087】図6に、各領域においてドーパされた不純物の濃度プロファイルを示す。図6(a)にTFTの断面を示し、図6(b)に各領域においてドーパされたn型不純物の濃度（ $N_D$ ）プロファイルを示し、図6(c)に各領域においてドーパされたp型不純物の濃度（ $N_A$ ）プロファイルを示し、図6(d)に各領域においてドーパされたn型不純物の濃度とp型不純物の濃度との差（ $N_D - N_A$ ）の絶対値（すなわち、キャリア濃度）を示す。

【0088】図6(b)に示すように、チャンネル領域20aおよび20bを除く各領域にn型不純物がドーパされており、第1～第4低濃度不純物領域24a、24b、26a、26b、および中間領域22における不純物濃度 $N_D$ は実質的に等しく、第1および第2高濃度不純物領域28aおよび28bにおける不純物濃度 $N_D$ はこれよりも高い。また、図6(c)に示すように、p型不純物は、第3および第4低濃度不純物領域、チャンネル領域20aおよび20b、および中間領域22に選択的にドーパされており、これらの領域における不純物濃度 $N_A$ は実質的に等しい。これにより、半導体層におけるキャリア濃度（ $N_D - N_A$ ）は、図6(d)に示すように、高濃度不純物領域28aおよび28bとチャンネル領域20aおよび20bとの間において、2段階で低下することになる。

【0089】なお、上記実施形態では、nチャンネル型TFTを説明したが、本発明のTFTは、pチャンネル型TFTであっても良い。pチャンネル型TFTの場合は、注入Aにおいて注入するイオンを $P^+$ または $As^+$ にし、注入Bおよび注入Cにおいて注入するイオンを $B^+$ または $BF_2^+$ にすれば良い。

【0090】図15は、上記TFT10を備えるTFT基板100aを用いて構成されたアクティブマトリクス型液晶表示装置（LCD）100を示す。LCD100は、TFT基板100aと、対向基板100bと、TFT基板100aと対向基板100bとの間に挟持された液晶層100cとを有している。なお、対向基板100bは、絶縁基板と、絶縁基板上に形成された対向電極（共通電極）とを有している。

【0091】一般的なTNモードの液晶表示装置の場合、TFT基板100aおよび対向基板100bの液晶層100c側の表面に配向膜（不図示）が設けられ、TFT基板100aおよび対向基板100bのそれぞれの外側に偏光板（不図示）が設けられる。表示モードによ

っては、配向膜や偏光板を省略することができる。また、カラー表示を行なうために、対向基板100bにカラーフィルタ（不図示）が設けられていても良い。

【0092】（実施形態2）図7を参照しながら実施形態2のTFT60を説明する。実施形態2のTFT60が実施形態1のTFT10と異なる点は、3つのゲート電極18a、18b、18c、およびこれに対応する3つのチャンネル領域20a、20b、20cが設けられていることである。半導体層14において、各チャンネル領域20a、20b、20cの間には中間領域22aおよび22bが設けられている。なお、実施形態1のTFT10と実質的に同様の機能を有する構成要素を同じ参照符号で示し、ここでは説明を省略する。

【0093】TFT60では、第1高濃度不純物領域（ソース領域）28aと、これに近接するチャンネル領域20aとの間において、キャリア濃度の異なる2つの低濃度不純物領域24aおよび26aが形成される。また、第2高濃度不純物領域（ドレイン領域）28bと、これに近接するチャンネル領域20bとの間において、キャリア濃度の異なる2つの低濃度不純物領域24bおよび26bが形成される。

【0094】中央のゲート電極18cに対応して設けられたチャンネル領域20cとチャンネル領域20aとの間、およびチャンネル領域20cとチャンネル領域20bとの間には、それぞれ中間領域20aおよび20bが設けられている。中間領域20aおよび20bは、低濃度不純物領域24aおよび24bと同様の不純物濃度プロファイルを有している。これらの中間領域において、キャリア濃度の異なる2種類の低濃度不純物領域が形成されている必要はない。

【0095】なお、TFT60も、上記実施形態1のTFT10の製造方法と同様の方法によって作製することができる。

【0096】（実施形態3）図8を参照しながら実施形態3のTFT70の構成を説明する。なお、実施形態1のTFT10と実質的に同様の機能を有する構成要素を同じ参照符号で示し、ここでは説明を省略する。また、以下には、例として、nチャンネル型TFTの実施形態を説明するが、本発明はこれに限られずpチャンネル型TFTであってもよい。

【0097】TFT70の半導体層14において、ゲート電極18aの下側には、第1ドーパドチャンネル領域72aおよび第1イントリンシックチャンネル領域74aが形成されている。第1イントリンシックチャンネル領域74aは、チャンネル領域において、ソース領域（n型第1高濃度不純物領域）28aに近い側に形成されている。また、ゲート電極18bの下側には、第2ドーパドチャンネル領域72bおよび第2イントリンシックチャンネル領域74bが形成されている。第2イントリンシックチャンネル領域74bは、チャンネル領域において、ドレイン領

域（n型第2高濃度不純物領域）28bに近い側に形成されている。また、第1ドーパドチャンネル領域72aと第2ドーパドチャンネル領域72bとの間には、n型の間領域22が形成されている。

【0098】ドーパドチャンネル領域72aおよび72bには、TFT10の閾値電圧を所望の値に設定するために、B<sup>+</sup>イオンなどのp型の不純物がドーパされている。一方、イントリンシックチャンネル領域74aおよび74bには、このような不純物はドーパされていない。ただし、イントリンシックチャンネル領域74aおよび74bには、半導体層形成工程や不純物拡散工程などにおいて混入する不可避的な不純物が存在していても良い。

【0099】また、ソース領域28aと、これに近い方の第1イントリンシックチャンネル領域74aとの間には、n型の第1低濃度不純物領域76aが設けられおり、ドレイン領域28bと、これに近い方の第2イントリンシックチャンネル領域74bとの間には、n型の第2低濃度不純物領域76bが設けられている。第1低濃度不純物領域76aのキャリア濃度は、ソース領域28aのキャリア濃度より小さく設定され、第2低濃度不純物領域76bのキャリア濃度は、ドレイン領域28bのキャリア濃度より小さく設定される。

【0100】このように、TFT70では、ドレイン領域28bとドーパドチャンネル領域72bとの間に第2低濃度不純物領域76bおよび第2イントリンシックチャンネル領域74bが形成されており、よりゆるやかなキャリア濃度分布が実現される。これにより、ドレイン端での電界集中が小さくなり、リーク電流を低減することができる。また、第2ドーパドチャンネル領域72bと隣接する部分にイントリンシック領域74bを設け、リーク電流を抑制することによって、ドレイン領域28bと隣接する第2低濃度不純物領域76bのキャリア濃度を比較的高く設定することが可能である。このようにして、TFT70では、実施形態1のTFT10と同様、リーク電流を適切に抑制しつつオン電流を実質的に高くすることが可能になる。

【0101】本実施形態のTFT70においても、ドレイン-ソース間を電流が双方向に流れ得る。この場合、TFT70の特性は対称性を有していることが望ましい。このため、第1低濃度不純物領域76aの長さ、第2低濃度不純物領域76bの長さ、第1イントリンシックチャンネル領域74aの長さ、第2イントリンシックチャンネル領域74bの長さ、第1および第2低濃度不純物領域の長さよりも短いことが好ましい。

【0102】また、オン電流を大きくするためには、高抵抗を有する第1および第2イントリンシック領域の長さは比較的短い方がよい。このため、第1および第2イントリンシック領域の長さは、第1および第2低濃度不純物領域の長さよりも短いことが好ましい。

【0103】以下、図9および図10を参照しながら、TFT70を有するアクティブマトリクス型液晶表示装置用TFT基板の製造工程の実施例を説明する。なお、図4および図5において示した実施形態1のTFT10を製造するための工程と実質的に同様の工程については、ここでは詳細な説明を省略する。

【0104】まず、図9(a)および(b)に示すように、実施形態1と同様の工程によって、絶縁性基板12上に半導体層14を形成する。

【0105】次に、図9(c)に示すように、半導体層14の端部寄りの領域を選択的に覆うように形成されたフォトリジスト80をマスクとして、B<sup>+</sup>イオンを $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量で所定の領域R1にイオン注入する（イオン注入A）。このように、本実施形態では、半導体層14において選択された所定の領域R1のみにp型不純物イオンを注入する。

【0106】次に、図9(d)に示すように、実施形態1と同様の工程によって、半導体層14を覆うゲート絶縁膜16を形成する。

【0107】次に、図9(e)に示すように、半導体層14上に、互いに間隔を開けて設けられた一対のゲート電極18aおよび18bを形成する。ゲート電極18aおよび18bのそれぞれは、p型不純物がドーパされた領域R1の境界を覆うように（すなわち、領域R1と、領域R1の外側領域との両方を覆うように）形成される。

【0108】領域R1のうち、一対のゲート電極18aおよび18bによって覆われる領域がTFTのドーパドチャンネル領域となる。また、領域R1の外側の領域のうち、一対のゲート電極18aおよび18bによって覆われる領域がTFTのイントリンシックチャンネル領域となる。ドーパドチャンネル領域の長さおよびイントリンシックチャンネル領域の長さは、ゲート電極の幅や、ゲート電極と領域R1との位置関係によって決定される。例えば、ゲート電極の幅を約 $1.5 \mu\text{m}$ に設定した場合、ドーパドチャンネルの長さが約 $0.75 \mu\text{m}$ となるように、ゲート電極と領域R1との位置関係が制御される。また、中間領域の長さは、ゲート電極18aおよび18b間の距離によって決まる。中間領域の長さは、例えば、約 $1 \mu\text{m}$ に設定される。

【0109】次に、図9(f)に示すように、ゲート電極18aおよび18bをマスクとして、領域R1および領域R1の外側領域を含む第2領域R2（本実施形態では、半導体層14の全面）に、P<sup>+</sup>イオンを $5 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量で注入する（イオン注入B）。P<sup>+</sup>イオンに代えてAs<sup>+</sup>イオンを注入してもよい。

【0110】この工程において、p型不純物領域であるドーパドチャンネル領域72aおよび72b間に、n型の間領域22がセルフアライメントで形成される。ま

た、イントリンシックチャンネル領域74aおよび74bの外側に、セルフアライメントでn型低濃度不純物領域が形成される。

【0111】次に、図10(g)に示すように、ゲート電極18aおよび18b、中間領域22、およびイントリンシックチャンネル領域74aおよび74bの外側に近接するn型低濃度不純物領域76aおよび76bを覆うレジスト82を形成する。レジスト82は、ゲート電極の端部18eから例えば1.5μm外側まで覆うように形成される。次に、このレジスト82をマスクとして、P<sup>+</sup>イオンを5×10<sup>14</sup>~5×10<sup>15</sup>cm<sup>-2</sup>のドーズ量で注入し(イオン注入C)、第1高濃度不純物領域(ソース領域)28aおよび第2高濃度不純物領域(ドレイン領域)28bを形成する。

【0112】このようにして、ソース領域と第1ドープドチャンネル領域との間、およびドレイン領域と第2ドープドチャンネル領域との間において、低濃度不純物領域とイントリンシックチャンネル領域とを有するマルチゲート型TF T70が完成する。

\*【0113】なお、上述の実施形態3のTF T70の製造工程は、図9(c)に示すイオン注入A工程においてマスク42(図4(c)参照)に代えてマスク80を用いることを除き、他の工程を全て実施形態1のTF T10の製造工程と同様にして行なうことができる。

【0114】その後、図10(h)に示すように、実施形態1と同様の工程によって、ソース領域28a及びドレイン領域28bと接続されるソース電極(ソース配線)52およびドレイン電極54を形成する。その後、図10(g)に示すように、実施形態1と同様の工程によって、ITO(インジウム錫酸化物)等から形成される画素電極59を形成する。

【0115】このように、イオン注入A~Cを行なうことによって、TF T70を比較的容易な製造プロセスで作製することができる。TF T70の半導体層14の各領域にドープされる不純物を下記表2に示す。

【0116】

【表2】

○：注入有り

領域	注入A B <sup>+</sup> または BF <sub>2</sub> <sup>+</sup>	注入B P <sup>+</sup> または As <sup>+</sup>	注入C P <sup>+</sup> または As <sup>+</sup>
第1、第2ドープドチャンネル領域	○		
中間領域	○	○	
第1及び第2低濃度不純物領域		○	
第1及び第2イントリンシックチャンネル領域			
第1及び第2高濃度不純物領域		○	○

【0117】上述したように、各イオン注入工程における注入量(ドーズ量)は、好ましくは、注入Aにおける注入量(注入量A)：1×10<sup>11</sup>~5×10<sup>12</sup>cm<sup>-2</sup>、注入Bにおける注入量(注入量B)：5×10<sup>12</sup>~5×10<sup>13</sup>cm<sup>-2</sup>、注入Cにおける注入量(注入量C)：5×10<sup>14</sup>~5×10<sup>15</sup>cm<sup>-2</sup>であり、好ましくは、注入量C>注入量B>注入量Aである。

【0118】図11において、各領域においてドープされた不純物の濃度プロファイルを示す。図11(a)にTF T70の断面を示し、図11(b)に各領域においてドープされたn型不純物の濃度(N<sub>D</sub>)プロファイルを示し、図11(c)に各領域においてドープされたp型不純物の濃度(N<sub>A</sub>)プロファイルを示し、図11(d)に各領域においてドープされたn型不純物の濃度とp型不純物の濃度との差(N<sub>D</sub>-N<sub>A</sub>)の絶対値(すなわち、キャリア濃度)を示す。

【0119】図11(b)に示すように、ドープドチャンネル領域72a、72bおよびイントリンシックチャンネル領域74aおよび74bを除く各領域にn型不純物がドープされており、第1および第2低濃度不純物領域7

6a、76b、および中間領域22における不純物濃度N<sub>D</sub>は実質的に等しく、第1および第2高濃度不純物領域28aおよび28bにおける不純物濃度N<sub>D</sub>はこれよりも高い。また、図11(c)に示すように、p型不純物は、ドープドチャンネル領域72aおよび72b、および中間領域22に選択的にドープされており、これらの領域における不純物濃度N<sub>A</sub>は実質的に等しい。これにより、半導体層におけるキャリア濃度(N<sub>D</sub>-N<sub>A</sub>)は、図11(d)に示すように、高濃度不純物領域28aおよび28bとドープドチャンネル領域72aおよび72bとの間において、2段階で低下することになる。

【0120】なお、上記実施形態では、nチャンネル型TF Tを説明したが、本発明のTF Tは、pチャンネル型TF Tであっても良い。pチャンネル型TF Tの場合は、注入Aにおいて注入するイオンをP<sup>+</sup>またはAs<sup>+</sup>にし、注入Bおよび注入Cにおいて注入するイオンをB<sup>+</sup>またはBF<sub>2</sub><sup>+</sup>にすれば良い。

【0121】(実施形態4)図12を参照しながら実施形態4のTF T85を説明する。実施形態4のTF T85が実施形態3のTF T70と異なる点は、3つのゲー

40

50

ト電極18a、18b、18cが設けられていることである。なお、実施形態3のTF T70と実質的に同様の機能を有する構成要素を同じ参照符号で示し、ここでは説明を省略する。

【0122】TF T85では、第1高濃度不純物領域(ソース領域)28aに最も近いチャンネル領域(第1ゲート電極18aの下方に設けられるチャンネル領域)において、ドープドチャンネル領域72aおよびイントリンシックチャンネル領域74aが設けられている。また、第2高濃度不純物領域(ドレイン領域)28bに最も近いチャンネル領域(第2ゲート電極18bの下方に設けられるチャンネル領域)において、ドープドチャンネル領域72bおよびイントリンシックチャンネル領域74bが設けられている。

【0123】また、中央のゲート電極18cに対応して設けられたチャンネル領域72cには、イントリンシックチャンネル領域が設けられていない。チャンネル領域72cの不純物濃度プロファイルは、ドープドチャンネル領域72aおよび72bの不純物濃度プロファイルと同様である。

【0124】なお、TF T85も、上記実施形態3のTF T70の製造方法と同様の方法によって作製することができる。

【0125】

【発明の効果】本発明によれば、TF Tのソース・チャンネル間及びドレイン・チャンネル間のそれぞれにおいて、異なるキャリア濃度を有する少なくとも2つの領域を設けることによって、リーク電流を低減できるとともにオン電流を増大させることができる。また、マルチゲートLDD構造を有する従来のTF Tに比べ、サイズを拡大することなく、また、リーク不良に対する冗長性を損なうこともない。

【0126】特に、多結晶シリコンを半導体層に用いた小型・高密度・高精細のTF T液晶表示装置において本発明の効果は顕著である。

【図面の簡単な説明】

【図1】本発明の実施形態1によるTF Tが設けられたアクティブマトリクス基板の模式的な平面図である。

【図2】実施形態1のTF Tの模式的な平面図である。

【図3】実施形態1のTF Tの模式的な断面図である。

【図4】実施形態1のTF Tの製造工程の一例を示す断面図であり、(a)~(f)はそれぞれ別の工程を示す。

【図5】実施形態1のTF Tの製造工程の一例を示す断

面図であり、(g)~(i)はそれぞれ別の工程を示す。

【図6】実施形態1のTF Tにドープされた不純物の濃度プロファイルを説明するための図であり、(a)はTF Tの断面図を示し、(b)はn型不純物の濃度プロファイルを示し、(c)はp型不純物の濃度プロファイルを示し、(d)はキャリア濃度のプロファイルを示す。

【図7】本発明の実施形態2によるTF Tの模式的な断面図である。

【図8】本発明の実施形態3によるTF Tの模式的な断面図である。

【図9】実施形態3のTF Tの製造工程の一例を示す断面図であり、(a)~(f)はそれぞれ別の工程を示す。

【図10】実施形態3のTF Tの製造工程の一例を示す断面図であり、(g)~(i)はそれぞれ別の工程を示す。

【図11】実施形態3のTF Tにドープされた不純物の濃度プロファイルを説明するための図であり、(a)はTF Tの断面図を示し、(b)はn型不純物の濃度プロファイルを示し、(c)はp型不純物の濃度プロファイルを示し、(d)はキャリア濃度のプロファイルを示す。

【図12】本発明の実施形態4によるTF Tの模式的な断面図である。

【図13】従来のTF Tの模式的な断面図である。

【図14】従来のTF Tの製造工程を示す断面図であり、(a)~(g)はそれぞれ別の工程を示す。

【図15】本発明によるアクティブマトリクス型液晶表示装置を模式的に示す断面図である。

【符号の説明】

10 薄膜トランジスタ

12 絶縁性基板

14 半導体層

16 絶縁膜

18a, 18b ゲート電極

20a, 20b チャンネル領域

22 中間領域

24a 第3低濃度不純物領域

24b 第4低濃度不純物領域

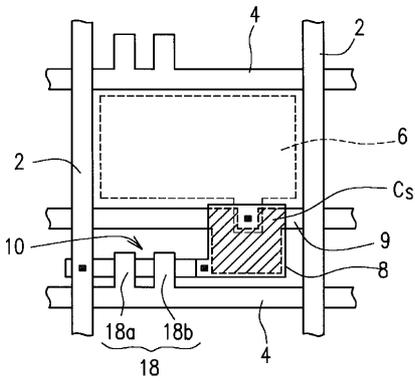
26a 第1低濃度不純物領域

26b 第2低濃度不純物領域

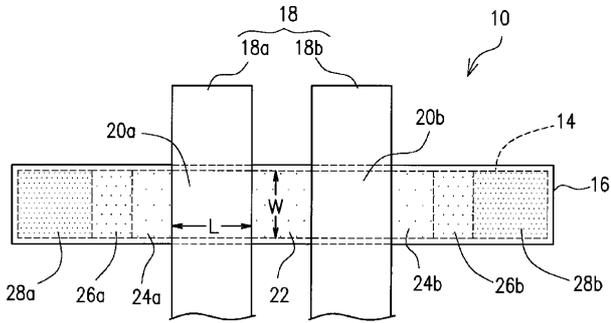
28a 第1高濃度不純物領域

28b 第2高濃度不純物領域

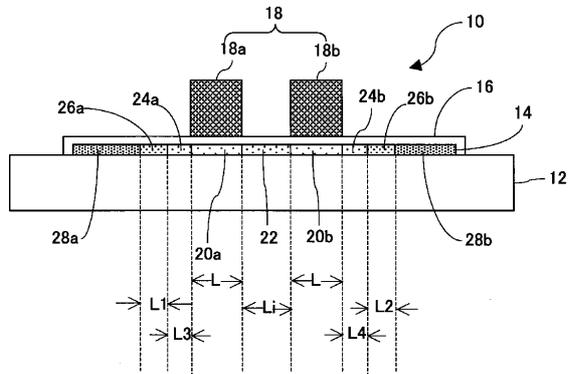
【図1】



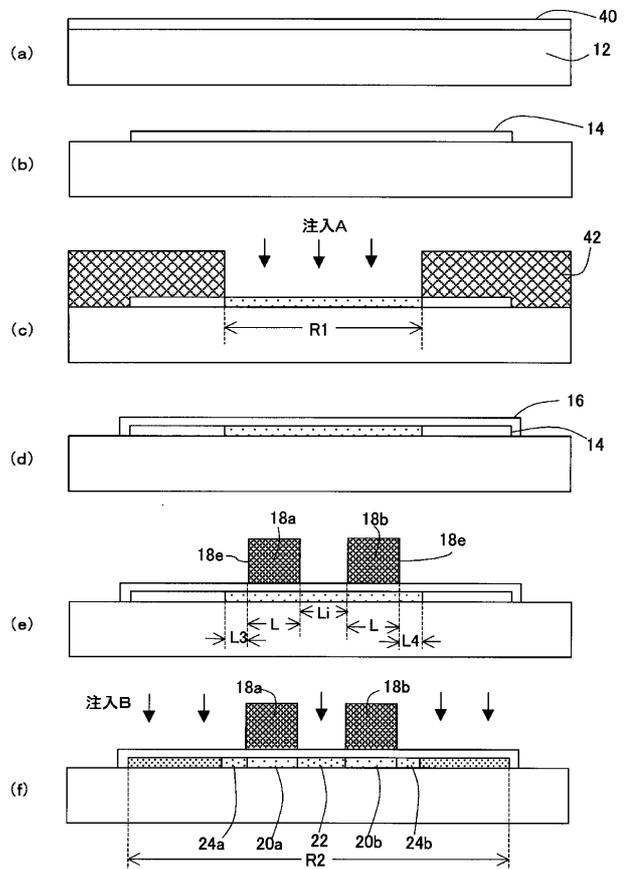
【図2】



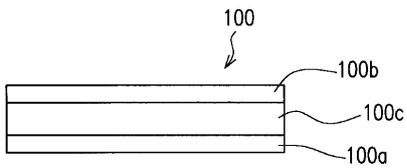
【図3】



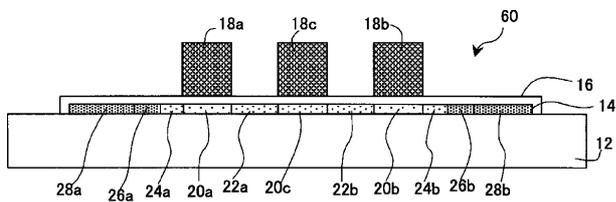
【図4】



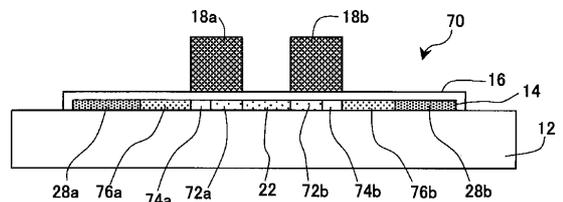
【図15】



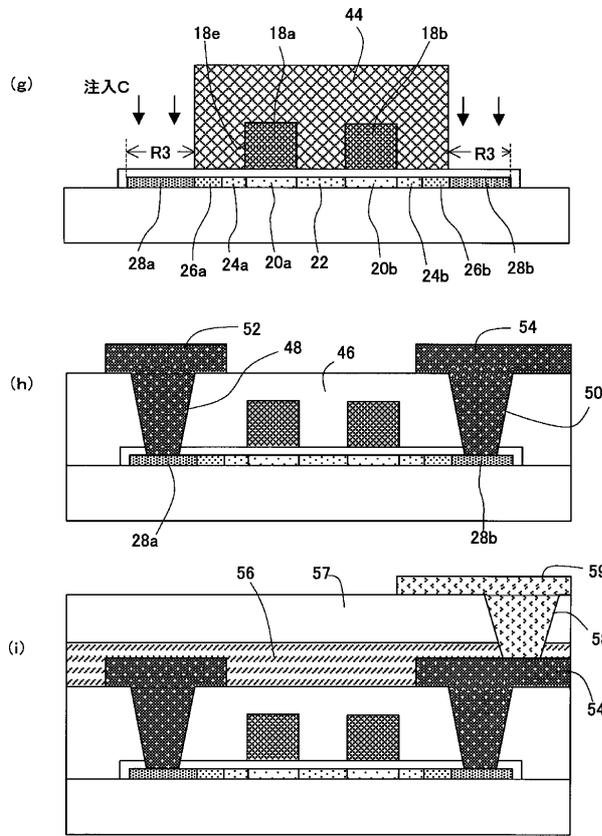
【図7】



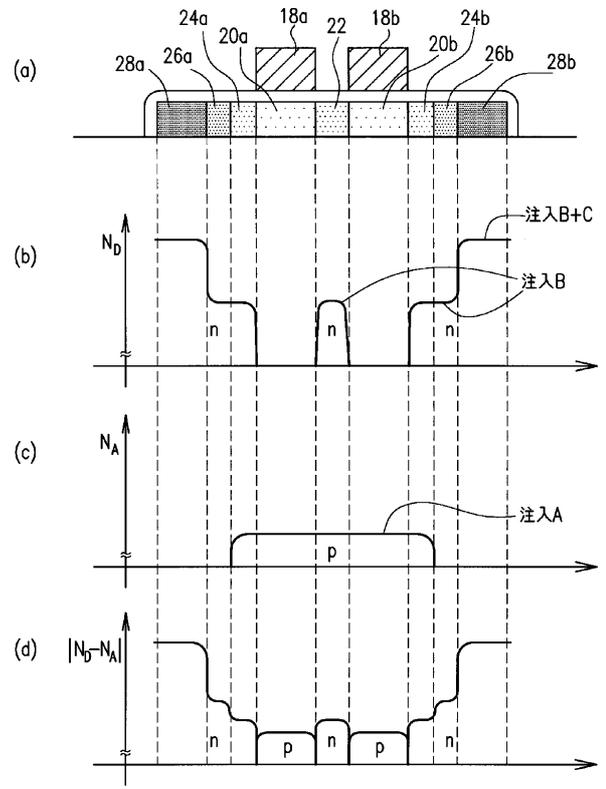
【図8】



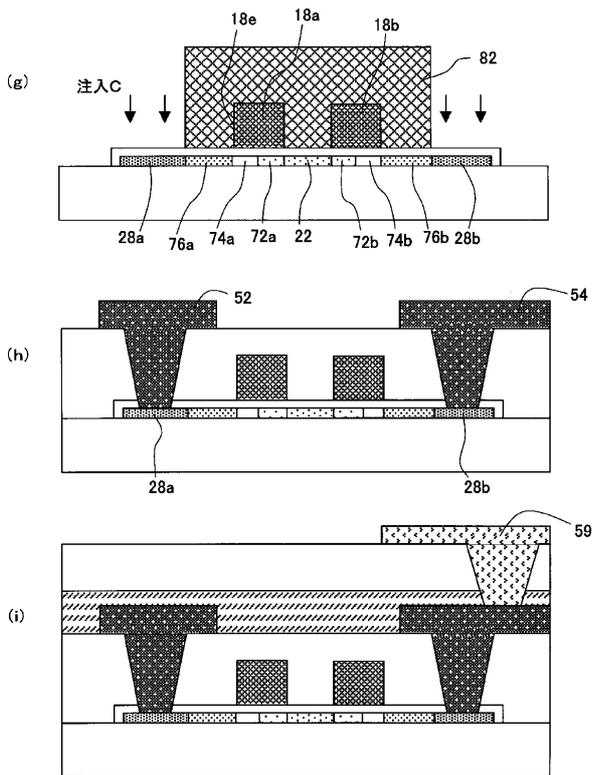
【図5】



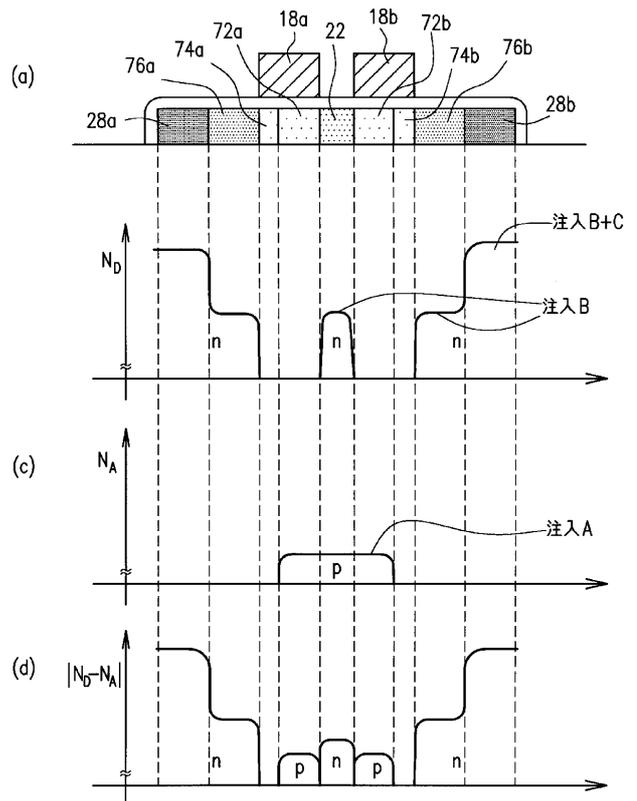
【図6】



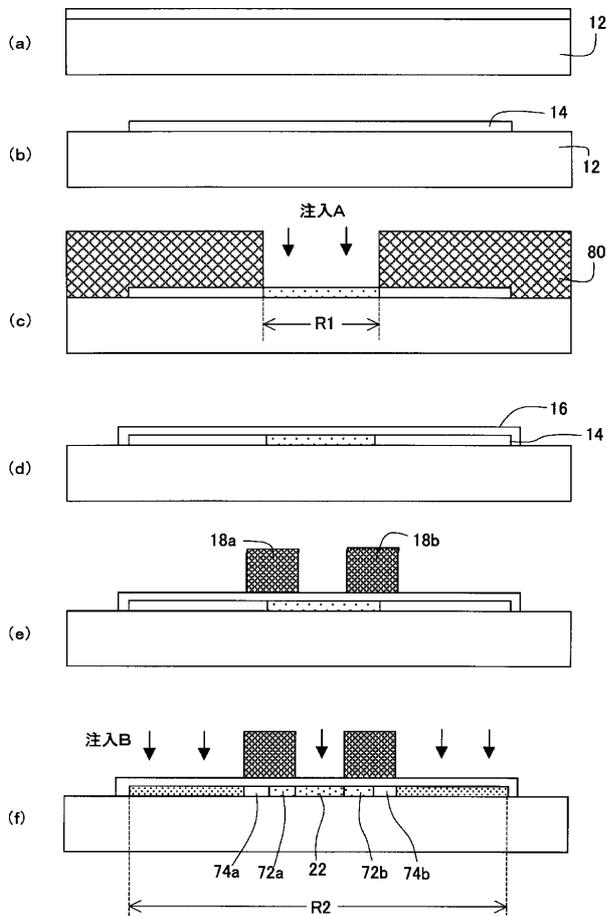
【図10】



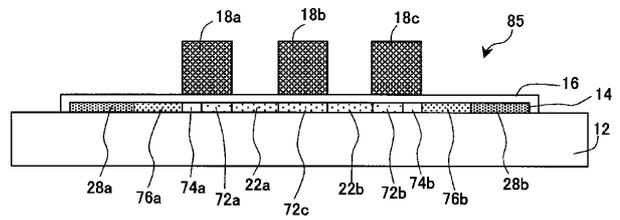
【図11】



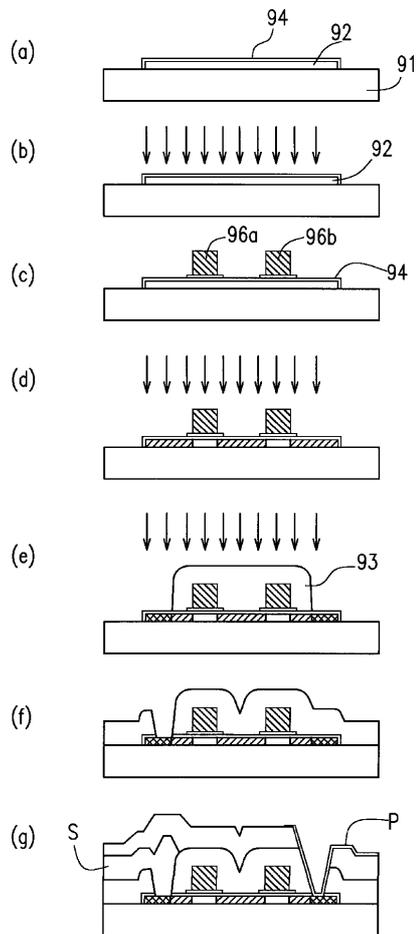
【図9】



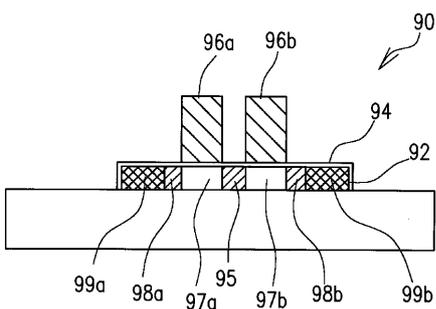
【図12】



【図14】



【図13】



【手続補正書】

【提出日】平成13年12月26日(2001.12.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、  
 間隔を開けて設けられ、ソース/ドレイン領域として機能する第1導電型の第1高濃度不純物領域および第1導電型の第2高濃度不純物領域と、  
 前記第1高濃度不純物領域と第2高濃度不純物領域との

間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた第2導電型の複数のチャンネル領域と、  
 前記複数のチャンネル領域のうち隣接する2つのチャンネル領域の間に設けられた第1導電型の間領域と、  
 前記複数のチャンネル領域のうち前記第1高濃度不純物領域の最も近くに位置するチャンネル領域である第1チャンネル領域と前記第1高濃度不純物領域との間に位置する前記第1導電型の第1低濃度不純物領域と、  
 前記第1低濃度不純物領域とは異なるキャリア濃度を有し、前記第1低濃度不純物領域と前記第1チャンネル領域との間に位置する前記第1導電型の第3低濃度不純物領域と、  
 前記複数のチャンネル領域のうち前記第2高濃度不純物領域の最も近くに位置するチャンネル領域である第2チャンネル領域と前記第2高濃度不純物領域との間に位置する前記第1導電型の第2低濃度不純物領域と、  
 前記第2低濃度不純物領域とは異なるキャリア濃度を有し、前記第2低濃度不純物領域と前記第2チャンネル領域との間に位置する前記第1導電型の第4低濃度不純物領域とを有する薄膜トランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

\*【0025】

【課題を解決するための手段】本発明による薄膜トランジスタは、半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、間隔を開けて設けられ、ソース/ドレイン領域として機能する第1導電型の第1高濃度不純物領域および第1導電型の第2高濃度不純物領域と、前記第1高濃度不純物領域と第2高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた第2導電型の複数のチャンネル領域と、前記複数のチャンネル領域のうち隣接する2つのチャンネル領域の間に設けられた第1導電型の間領域と、前記複数のチャンネル領域のうち前記第1高濃度不純物領域の最も近くに位置するチャンネル領域である第1チャンネル領域と前記第1高濃度不純物領域との間に位置する前記第1導電型の第1低濃度不純物領域と、前記第1低濃度不純物領域とは異なるキャリア濃度を有し、前記第1低濃度不純物領域と前記第1チャンネル領域との間に位置する前記第1導電型の第3低濃度不純物領域と、前記複数のチャンネル領域のうち前記第2高濃度不純物領域の最も近くに位置するチャンネル領域である第2チャンネル領域と前記第2高濃度不純物領域との間に位置する前記第1導電型の第2低濃度不純物領域と、前記第2低濃度不純物領域とは異なるキャリア濃度を有し、前記第2低濃度不純物領域と前記第2チャンネル領域との間に位置する前記第1導電型の第4低濃度不純物領域とを有する。

\*

フロントページの続き

Fターム(参考) 2H092 HA04 JA24 JA40 JA41 JA46  
 KA04 MA08 MA27 MA30 NA12  
 NA21 NA25  
 5F110 AA06 AA07 BB01 CC02 DD03  
 EE09 EE28 EE45 FF02 FF23  
 FF29 GG02 GG13 GG28 GG29  
 GG32 GG35 GG45 HJ01 HJ04  
 HJ07 HJ13 HL05 HM15 NN03  
 NN22 NN23 NN35 NN72 NN73  
 PP03 PP10 PP13 PP29 QQ11

