

(19)日本国特許庁（ J P ）

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001 - 159873
(P2001 - 159873A)

(43)公開日 平成13年6月12日 (2001.6.12)

(51) Int.Cl. ⁷	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 F 9/30	338		G 0 9 F 9/30	338
G 0 2 F 1/1368			9/00	348 C
G 0 9 F 9/00	348		G 0 2 F 1/136	500
H 0 1 L 29/786			H 0 1 L 29/78	612 B

審査請求 有 請求項の数 24 O L (全 10数)

(21)出願番号	特願2000 - 310309(P2000 - 310309)	(71)出願人	000153878
(62)分割の表示	特願平8 - 32980の分割		株式会社半導体エネルギー研究所
(22)出願日	平成2年12月25日 (1990.12.25)		神奈川県厚木市長谷398番地
		(72)発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 表示装置、液晶表示装置及び集積回路

(57)【要約】

【課題】 高性能な表示装置を提供すること。

【解決手段】 画素部及び前記画素部を駆動する回路を有する表示装置であって、前記画素部及び前記画素部を駆動する回路は、Pチャネル型の薄膜トランジスタからなることを特徴とする表示装置である。

【特許請求の範囲】

【請求項 1】画素部及び前記画素部を駆動する回路を有する表示装置であって、
前記画素部及び前記画素部を駆動する回路は、Pチャネル型の薄膜トランジスタからなることを特徴とする表示装置。

【請求項 2】画素部及び前記画素部に電氣的に接続された回路を有する表示装置であって、
前記画素部及び前記画素部に電氣的に接続された回路は、Pチャネル型の薄膜トランジスタからなることを特徴とする表示装置。

【請求項 3】画素部及び前記画素部を駆動する回路を有する表示装置であって、
前記画素部は、複数の第 1 の薄膜トランジスタを有し、
前記画素部を駆動する回路は、複数の第 2 の薄膜トランジスタを有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て Pチャネル型の薄膜トランジスタであることを特徴とする表示装置。

【請求項 4】画素部及び前記画素部に電氣的に接続された回路を有する表示装置であって、
前記画素部は、複数の第 1 の薄膜トランジスタを有し、
前記電氣的に接続された回路は、複数の第 2 の薄膜トランジスタを有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て Pチャネル型の薄膜トランジスタであることを特徴とする表示装置。

【請求項 5】画素部及び前記画素部を駆動する回路を有する表示装置であって、
前記画素部は、複数の第 1 の薄膜トランジスタを有し、
前記画素部を駆動する回路は、複数の第 2 の薄膜トランジスタを有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは、ソース領域、ドレイン領域およびチャネル形成領域を有する半導体層、前記半導体層に接するゲート絶縁膜ならびに前記ゲート絶縁膜に接するゲート電極を有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て Pチャネル型の薄膜トランジスタであることを特徴とする表示装置。

【請求項 6】画素部及び前記画素部に電氣的に接続された回路を有する表示装置であって、
前記画素部は、複数の第 1 の薄膜トランジスタを有し、
前記画素部に電氣的に接続された回路は、複数の第 2 の薄膜トランジスタを有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは、ソース領域、ドレイン領域およびチャネル形成領域を有する半導体層、前記半導体層に接するゲート絶縁膜ならびに前記ゲート絶縁膜に接するゲート電極を有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て Pチャネル型の薄膜トランジスタであることを特徴とする表示装置。

【請求項 7】請求項 5 又は 6 において、
前記半導体層は結晶性シリコンを有することを特徴とする表示装置。

【請求項 8】請求項 3 乃至 7 のいずれか一項において、
前記複数の第 1 の薄膜トランジスタには、画素電極が電氣的に接続されていることを特徴とする表示装置。

【請求項 9】画素部及び前記画素部を駆動する回路を有する液晶表示装置であって、
前記画素部及び前記画素部を駆動する回路は、Pチャネル型の薄膜トランジスタからなることを特徴とする液晶表示装置。

【請求項 10】画素部及び前記画素部に電氣的に接続された回路を有する液晶表示装置であって、
前記画素部及び前記画素部に電氣的に接続された回路は、Pチャネル型の薄膜トランジスタからなることを特徴とする液晶表示装置。

【請求項 11】画素部及び前記画素部を駆動する回路を有する液晶表示装置であって、
前記画素部は、複数の第 1 の薄膜トランジスタを有し、
前記画素部を駆動する回路は、複数の第 2 の薄膜トランジスタを有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て Pチャネル型の薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 12】画素部及び前記画素部に電氣的に接続された回路を有する液晶表示装置であって、
前記画素部は、複数の第 1 の薄膜トランジスタを有し、
前記画素部に電氣的に接続された回路は、複数の第 2 の薄膜トランジスタを有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て Pチャネル型の薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 13】画素部及び前記画素部を駆動する回路を有する液晶表示装置であって、
前記画素部は、複数の第 1 の薄膜トランジスタを有し、
前記画素部を駆動する回路は、複数の第 2 の薄膜トランジスタを有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは、ソース領域、ドレイン領域およびチャネル形成領域を有する半導体層、前記半導体層に接するゲート絶縁膜ならびに前記ゲート絶縁膜に接するゲート電極を有し、
前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て Pチャネル型の薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 14】画素部及び前記画素部に電氣的に接続された回路を有する液晶表示装置であって、

前記画素部は、複数の第 1 の薄膜トランジスタを有し、前記画素部に電氣的に接続された回路は、複数の第 2 の薄膜トランジスタを有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは、ソース領域、ドレイン領域およびチャネル形成領域を有する半導体層、前記半導体層に接するゲート絶縁膜ならびに前記ゲート絶縁膜に接するゲート電極を有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て P チャネル型の薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 15】請求項 13 又は 14 において、前記半導体層は結晶性シリコンを有することを特徴とする液晶表示装置。

【請求項 16】請求項 11 乃至 15 のいずれか一項において、

前記複数の第 1 の薄膜トランジスタには、画素電極が電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 17】画素部及び前記画素部を駆動する回路を有する集積回路であって、

前記画素部及び前記画素部を駆動する回路は、P チャネル型の薄膜トランジスタからなることを特徴とする集積回路。

【請求項 18】画素部及び前記画素部に電氣的に接続された回路を有する集積回路であって、

前記画素部及び前記画素部に電氣的に接続された回路は、P チャネル型の薄膜トランジスタからなることを特徴とする集積回路。

【請求項 19】画素部及び前記画素部を駆動する回路を有する集積回路であって、

前記画素部は、複数の第 1 の薄膜トランジスタを有し、前記画素部を駆動する回路は、複数の第 2 の薄膜トランジスタを有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て P チャネル型の薄膜トランジスタであることを特徴とする集積回路。

【請求項 20】画素部及び前記画素部に電氣的に接続された回路を有する集積回路であって、

前記画素部は、複数の第 1 の薄膜トランジスタを有し、前記画素部に電氣的に接続された回路は、複数の第 2 の薄膜トランジスタを有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て P チャネル型の薄膜トランジスタであることを特徴とする集積回路。

【請求項 21】画素部及び前記画素部を駆動する回路を有する集積回路であって、

前記画素部は、複数の第 1 の薄膜トランジスタを有し、前記画素部を駆動する回路は、複数の第 2 の薄膜トランジスタを有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の

* 2 の薄膜トランジスタは、ソース領域、ドレイン領域およびチャネル形成領域を有する半導体層、前記半導体層に接するゲート絶縁膜を介して設けられたゲート電極を有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て P チャネル型の薄膜トランジスタであることを特徴とする集積回路。

【請求項 22】画素部及び前記画素部に電氣的に接続された回路を有する集積回路であって、

前記画素部は、複数の第 1 の薄膜トランジスタを有し、前記画素部に電氣的に接続された回路は、複数の第 2 の薄膜トランジスタを有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは、ソース領域、ドレイン領域およびチャネル形成領域を有する半導体層、前記半導体層に接するゲート絶縁膜ならびに前記ゲート絶縁膜に接するゲート電極を有し、

前記複数の第 1 の薄膜トランジスタおよび前記複数の第 2 の薄膜トランジスタは全て P チャネル型の薄膜トランジスタであることを特徴とする集積回路。

【請求項 23】請求項 21 又は 22 において、前記半導体層は結晶性シリコンを有することを特徴とする集積回路。

【請求項 24】請求項 19 乃至 23 のいずれか一項において、

前記複数の薄膜トランジスタには、画素電極が電氣的に接続されていることを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタを用いて形成される液晶表示装置に関する。

【0002】

【従来の技術】OA 機器等のディスプレイとして CRT に代わりフラットディスプレイが注目され、特に大面積化への期待が強くなってきている。またフラットディスプレイのその他の応用として壁掛け TV の開発も急ピッチで進められている。また、フラットディスプレイのカラー化、高精細化の要求も相当高まってきている。

【0003】このフラットディスプレイの代表例として液晶表示装置が知られている。これは一対のガラス基板間に電極を挟んで保持された液晶組成物に電界を加えて、液晶組成物の状態を変化させ、この状態の違いを利用して、表示を行う。この液晶の駆動のために薄膜トランジスタ（以下 TFT という）やその他のスイッチング素子を設けたものや単純にマトリクス構成を持つものがある。何れの場合も、縦横（X、Y）方向の各配線に対して液晶を駆動するための信号を送り出すドライバー回路がディスプレイ周辺に設けられている。

【0004】このドライバー回路は通常は単結晶シリコンの MOS 集積回路（IC）で構成されている。この I

Cには各ディスプレイ電極に対応するパッド電極が設けられており、この両者の間にプリント基板が介在し、先ずICのパッド電極とプリント基板を接続し、次にプリント基板とディスプレイを接続していた。このプリント基板はガラスエポキシや紙エポキシの絶縁物基板またはフレキシブルなプラスチックよりなる基板であり、その占有面積はディスプレイと同じかまたはそれ以上の面積が必要であった。また、同様に容積も相当大きくする必要があった。

【0005】

【発明が解決しようとする課題】このような従来のディスプレイは前述のような構成のため以下のような欠点を有していた。

【0006】すなわち、マトリクス配線のX方向、Y方向の表示電極またはソース（ドレイン）配線またはゲート配線の数と同数の接続がプリント基板との間で行われるために、実装技術上接続可能な各接続部間の間隔に制限があるために、高精細な表示ディスプレイを作製することはできなかった。

【0007】表示ディスプレイ本体以外にプリント基板、ICおよび接続配線が必要であり、その必要面積および必要容積はディスプレイ本体の数倍にも及んでいた。

【0008】ディスプレイ本体とプリント基板およびプリント基板とICとの接続箇所が多く、しかも、かなりの重量があるので接続部分に無理な力が加わり、接続の信頼性が低かった。

【0009】一方、このような、欠点を解決する方法として、ディスプレイ特にアクティブ素子をスイッチング素子として使用した表示装置において、アクティブ素子と周辺回路とを同じ基板上にTFTで構成することが提案されている。しかしながらこの構成によると前述の3つの欠点はほぼ解決することができるが、新たに以下のような別の問題が発生した。

【0010】アクティブ素子以外に周辺回路をもTFT化した為に、同一基板上に形成する素子の数が増し、TFTの製造歩留りが低下した。従ってディスプレイの製造歩留りも低下した。

【0011】アクティブ素子部分の素子構造に比べ周辺回路部分は非常に複雑な素子構造を取っている。従って、回路パターンが複雑になり、製造プロセス技術もより高度になり、コストが上昇する。また、当然に多層配線部分が増し、プロセス工程数の増加とTFTの製造歩留りの低下が起こった。

【0012】周辺回路を構成するトランジスタは早い応答速度が要求されるため、通常は多結晶半導体を使用していた。そのため、半導体層を多結晶化するために、高温の処理を必要とし、高価な石英基板等を使用しなければならなかった。

【0013】

【課題を解決するための手段】本発明は上記のような6つ問題を適度にバランスよく解決するものであり、コストが低く、製造歩留りの高い液晶表示装置に関するものである。

【0014】本発明によると、複数のTFTがマトリクス状に配置された画素マトリクスと、前記画素マトリクスに接続された複数のデータ線と、前記画素マトリクスに接続された複数の走査線と、前記複数のデータ線のうち奇数番目のデータ線を駆動する第1の周辺回路と、前記複数のデータ線のうち偶数番目のデータ線を駆動する第2の周辺回路と、前記複数の走査線を駆動する第3の周辺回路と、を有する電気光学装置が提供される。

【0015】本発明によると、複数のTFTがマトリクス状に配置された画素マトリクスと、前記画素マトリクスに接続された複数のデータ線と、前記画素マトリクスに接続された複数の走査線と、前記複数のデータ線のうち奇数番目のデータ線を駆動する第1の周辺回路と、前記複数のデータ線のうち偶数番目のデータ線を駆動する第2の周辺回路と、前記複数の走査線を駆動する第3の周辺回路と、を有する電気光学装置であって、前記第1の周辺回路、前記第2の周辺回路および前記第3の周辺回路は、それぞれ、TFTを有する回路とICを有することを特徴とする電気光学装置が提供される。

【0016】本発明によると、複数のTFTがマトリクス状に配置された画素マトリクスと、前記画素マトリクスに接続された複数のデータ線と、前記画素マトリクスに接続された複数の走査線と、前記複数のデータ線のうち奇数番目のデータ線を駆動する第1の周辺回路と、前記複数のデータ線のうち偶数番目のデータ線を駆動する第2の周辺回路と、前記複数の走査線を駆動する第3の周辺回路と、を有する電気光学装置であって、前記第1の周辺回路、前記第2の周辺回路および前記第3の周辺回路は、それぞれ、TFTを有するアナログスイッチアレーとICを有することを特徴とする電気光学装置が提供される。

【0017】すなわち、複数のゲート線、複数のソース（ドレイン）線および薄膜トランジスタを有する画素マトリクスが形成された第1の基板と前記第1の基板に対抗して配置された第2の基板と前記一対の基板間に保持された液晶組成物よりなる電気光学装置であって、前記第1の基板上に形成されるXまたはY方向のマトリクス配線に接続されている周辺回路のうちの少なくとも一部の周辺回路を前記画素に接続されたアクティブ素子と同様の構造の薄膜トランジスタとし、残りの周辺回路は半導体チップで構成されているものである。

【0018】また、TFT化しない残りの周辺回路としてのICと基板との接続はICチップを直接基板上に設けて、各接続端子と接続するCOG法やICチップを1個毎にフレキシブルな有機樹脂基板上に設け、その樹脂基板とディスプレイ基板とを接続するTAB法によ

り、実現できる。

【0019】すなわち、本発明は液晶表示装置の周辺回路の全てを T F T 化するのでなく、素子構造の簡単な部分のみ、または素子数の少ない機能部分のみ、または汎用の I C が入手しにくい回路部分のみ、さらには I C のコストが高い部分のみを T F T 化して、液晶表示装置の製造歩留りを向上させるとともに、製造コストを下げる事ができる。

【0020】また、周辺回路の一部を T F T 化することにより、従来では相当な数が必要であった外付けの I C の数を減らし、製造コストを下げる事ができる。

【0021】さらにまた、アクティブ素子と周辺回路を同じプロセスにて作成した相補型構成 (C T F T) の薄膜トランジスタとすると、画素駆動の能力が向上し、周辺回路に冗長性を与えることができ、余裕のある液晶表示装置の駆動を行うことができた。

【0022】また、周辺回路全部を T F T 化するとディスプレイ用の基板の寸法を X 方向および Y 方向の両方に大きくする必要があり表示装置全体の専有面積が大きくなるが、一部のみを T F T 化するとほんの少しだけ基板を大きくするだけで済み、表示装置を使用するコンピューターや装置の外形寸法に容易にあわせることができかつ専有面積と専有容積の少ない表示装置を実現できる。

【0023】周辺回路中の素子構造が複雑である部分、例えば、多層配線が必要な素子構造やアンプの機能を持たせた部分等を T F T 化するのに高度な作製技術が必要になるが、一部を T F T 化することで、技術的に難しい部分は従来の I C を使用し、簡単な素子構造あるいは単純な機能の部分を T F T 化でき、低コストで高い歩留りで表示装置を実現できる。

【0024】また、一部のみ T F T 化することで、周辺回路部分の薄膜トランジスタの数を相当減らすことができる、単純に X 方向、Y 方向の周辺回路の機能が同じ場合はほぼその数は半数となる。このように、T F T 化する素子数を減らすことで、基板の製造歩留りを向上させることができ、かつ基板の面積、容積を減少できた表示装置を低コストで実現することが可能となった。

【0025】さらに、T F T に使用される半導体層を従来から使用されている、多結晶またはアモルファス半導体ではなく、新しい概念のセミアモルファス半導体を使用することで、低温で作製ができ、しかも、キャリアの移動度の非常に大きい、応答速度の早い T F T を実現することができる。

【0026】このセミアモルファス半導体とは、L P C V D 法、スパッタ法あるいは P C V D 法等により膜形成の後に熱結晶化処理を施して得られるが、以下にはスパッタ法を例にとり説明をする。

【0027】すなわちスパッタ法において単結晶のシリコン半導体をターゲットとし、水素とアルゴンとの混合気体でスパッタをすると、アルゴンの重い原子のスパッ

タ (衝撃) によりターゲットからは原子状のシリコンが離れ、被形成面を有する基板上に飛しょうするが、同時に数十～数十万個の原子が固まった塊がクラスタとしてターゲットから離れ、被形成面に飛しょうする。

【0028】この飛しょう中は、水素がこのクラスタの外周辺の珪素の不对結合手と結合し、結合した状態で被形成面上に秩序性の比較的高い領域として作られる。すなわち、被膜形成面上には秩序性の高い、かつ周辺に Si-H 結合を有するクラスタと純粋のアモルファス珪素との混合物の状態を実現する。これを 450 ～ 700 の非酸化性気体中での熱処理により、クラスタの外周辺の Si-H 結合は他の Si-H 結合と反応し、Si-Si 結合を作る。

【0029】この結合はお互い引っぱりあうと同時に、秩序性の高いクラスタはより高い秩序性の高い状態、すなわち結晶化に相を移そうとする。しかし、隣合ったクラスタ間は、互いに結合した Si-Si がそれぞれのクラスタ間を引っぱりあう。その結果は、結晶は格子歪を持ちレーザラマンでの結晶ピークは単結晶の 520cm^{-1} より低波数側にずれて測定される。

【0030】また、このクラスタ間の Si-Si 結合は互いのクラスタをアンカリング (連結) するため、各クラスタでのエネルギーバンドはこのアンカリングの個所を経て互いに電氣的に連結しあえる。そのため結晶粒界がキャリアのバリアとして働く多結晶シリコンとは根本的に異なり、キャリア移動度も $10 \sim 200\text{cm}^2/\text{V Sec}$ を得ることができる。

【0031】つまり、かるる定義に基づくセミアモルファス半導体は見掛け上結晶性を持ちながらも、電氣的には結晶粒界が実質的にない状態を予想できる。もちろん、アニール温度がシリコン半導体の場合の 450 ～ 700 という中温アニールではなく、1000 またはそれ以上の結晶成長をとまなう結晶化をさせる時はこの結晶成長により、膜中の酸素等が粒界に折出し、バリアを作ってしまう。これは、単結晶と同じ結晶と粒界のある材料 (多結晶) である。

【0032】また、この半導体におけるクラスタ間のアンカリングの程度をより大きくすると、よりキャリア移動度は大きくなる。このためにはこの膜中にある酸素量を $7 \times 10^{19}\text{cm}^{-3}$ 好ましくは $1 \times 10^{19}\text{cm}^{-3}$ 以下にすると、さらに 600 よりも低い温度で結晶化ができるに加えて、高いキャリア移動度を得ることができる。

【0033】

【実施例 1】本実施例では図 1 に示すような $m \times n$ の回路構成の液晶表示装置を用いて説明を行う。すなわち図 1 の X 方向の配線に接続された周辺回路部分のうちアナログスイッチアレー回路部分 1 のみを画素 6 に設けられたアクティブ素子と同様に T F T 化し、Y 方向配線に接続された周辺回路部分もアナログスイッチアレー回路部分 2 のみを T F T 化しその他の周辺回路部分は I C で、C O G 法により基板上に接続している。ここで、T F

T化した周辺回路部分は画素に設けられたアクティブ素子と同様にCTFT（相補型構成）として形成してある。

【0034】この回路構成に対応する実際の電極等の配置構成を図2に示している。図2は説明を簡単にする為2×2に相当する部分のみ記載されている。

【0035】まず、本実施例で使用する液晶表示装置上のTF Tの作製方法を図3を使用して説明する。図3(A)において、石英ガラス等の高価でない700以下、例えば約600の熱処理に耐え得るガラス50上にマグネトロンRF（高周波）スパッタ法を用いてプロッキング層51としての酸化珪素膜を1000～3000の厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度15、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30～100/分であった。

【0036】この上にシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも100～200低い450～550、例えば530でジシラン(Si_2H_6)またはトリシラン(Si_3H_8)をCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は50～250/分であった。NTFTとPTFTとのスレッシュホールド電圧(V_{th})に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0037】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150、周波数は13.56MHz、スパッタ出力は400～800W、圧力は0.5Paであった。

【0038】プラズマCVD法により珪素膜を作製する場合、温度は例えば300とし、モノシラン(SiH_4)またはジシラン(Si_2H_6)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0039】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{19} \sim 4 \times 10^{21} \text{ cm}^{-3}$ の範囲とした。水素は $4 \times 10^{20} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{ cm}^{-3}$ として比較すると1原子%であった。また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、ピクセル構成するTF Tのチャンネル形成

領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。その時周辺回路を構成するTF Tには光照射がなされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を有せしめることは、高周波動作をさせるための有効である。

【0040】次に、アモルファス状態の珪素膜を500～5000、例えば1500の厚さに作製の後、450～700の温度にて12～70時間非酸化物雰囲気にて中温の加熱処理、例えば水素雰囲気下にて600の温度で保持した。珪素膜の下基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0041】アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。レザマン分光により測定すると単結晶の珪素のピーク 522 cm^{-1} より低周波側にシフトしたピークが観察される。その見掛け上の粒径は半値巾から計算すると、50～500とマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合（アンカリング）がされたセミアモルファス構造の被膜を形成させることができた。

【0042】結果として、被膜は実質的にグレインバウンダリ（以下GBという）がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度(μ_h)= $10 \sim 200 \text{ cm}^2/\text{Vsec}$ 、電子移動度(μ_e)= $15 \sim 300 \text{ cm}^2/\text{Vsec}$ が得られる。

【0043】他方、上記の如き中温でのアニールではなく、900～1200の高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア（障壁）を作ってそこでのキャリアの移動を阻害してしまう。結果として $10 \text{ cm}^2/\text{Vsec}$ 以上の移動度がなかなか得られないのが実情である。即ち、本実施例ではかくの如き理由により、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

【0044】図3(A)において、珪素膜を第1のフォトマスクにてフォトリソを施し、PTFT用の領域22（チャンネル巾20 μm ）を図面の右側に、NTFT

用の領域13を左側に作製した。

【0045】この上に酸化珪素膜をゲイト絶縁膜として500～2000 例えば1000 の厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0046】この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 MoSi_2 または WSi_2 との多層膜を形成した。これを第2のフォトマスク

にてパターニングして図3(B)を得た。PTFT用のゲイト電極55、NTFT用のゲイト電極56を形成した。例えばチャネル長 $10 \mu\text{m}$ 、ゲイト電極としてリンドープ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。図3(C)において、フォトレジスト57をフォトマスクを用いて形成し、PTFT用のソース59ドレイン58に対し、ホウ素を $1 \sim 5 \times 10^{15} \text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。次に図3(D)の如く、フォトレジスト61をフォトマスクを用いて形成した。NTFT用のソース64、ドレイン62としてリンを $1 \sim 5 \times 10^{15} \text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。

【0047】これらはゲイト絶縁膜54を通じて行った。しかし図3(B)において、ゲイト電極55、56をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

【0048】次に、600 にて10～50時間再び加熱アニールを行った。PTFTのソース59、ドレイン58NTFTのソース64、ドレイン62を不純物を活性化してP⁺、N⁺として作製した。またゲイト電極55、56下にはチャネル形成領域60、63がセミアモルファス半導体として形成されている。

【0049】かくすると、セルフアライン方式でありながらも、700 以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、大画素の液晶表示装置にきわめて適したプロセスである。

【0050】本実施例では熱アニールは図3(A)、(D)で2回行った。しかし図3(A)のアニールは求める特性により省略し、双方を図3(D)のアニールにより兼ね製造時間の短縮を図ってもよい。図4(A)において、層間絶縁物65を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2 \sim 0.6 \mu\text{m}$ の厚さに形成し、その後、フォトマスクを用いて電極用の窓66を形成した。さらに、これら全体にアルミニウムをスパッタ法により形成し、リード71、72およびコンタクト67、68を

フォトマスクを用いて作製した後、表面を平坦化用有機樹脂69例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスクにて行った。

【0051】図4(B)に示す如く2つのTFTを相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO(インジウム・スズ酸化膜)を形成した。それをフォトマスクによりエッチングし、電極70を構成させた。このITOは室温～150 で成膜し、200～400 の酸素または大気中のアニールにより成就した。かくの如くにしてPTFT22とNTFT13と透明導電膜の電極70とを同一ガラス基板50上に作製した。得られたTFTの電気的な特性はPTFTで移動度は $20 (\text{cm}^2/\text{Vs})$ 、 V_{th} は $-5.9 (\text{V})$ で、NTFTで移動度は $40 (\text{cm}^2/\text{Vs})$ 、 V_{th} は $5.0 (\text{V})$ であった。

【0052】この液晶表示装置の画素部分の電極等の配置を図2に示している。NTFT13を第1の走査線15とデータ線21との交差部に設け、第1の走査線15とデータ線14との交差部にも他の画素用のNTFTが同様に設けられている。一方PTFTは第2の走査線18とデータ線21との交差部に設けられている。また、隣接した他の第1の走査線16とデータ線21との交差部には、他の画素用のNTFTが設けられている。このようなC/TFTを用いたマトリクス構成を有せしめた。NTFT13は、ドレイン64の入力端のコンタクトを介し第1の走査線15に連結され、ゲイト56は多層配線形成がなされたデータ線21に連結されている。ソース62の出力端はコンタクトを介して画素の電極17に連結している。

【0053】他方、PTFT22はドレイン58の入力端がコンタクトを介して第2の走査線18に連結され、ゲイト55はデータ線21に、ソース59の出力端はコンタクトを介してNTFTと同様に画素電極17に連結している。かくして一対の走査線15、18に挟まれた間(内側)に、透明導電膜よりなる画素23とC/TFTとにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、 2×2 のマトリクスをそれを拡大した 640×480 、 1280×960 といった大画素の液晶表示装置とすることができる。

【0054】このようにスイッチング素子と同じプロセスで作製されたNTFT13とPTFT22とが設けられたCMOS構成となっている。

【0055】上記のようにして、片方の基板を完成し、他方の基板と従来よりの方法で貼り合わせ、STN液晶を基板間に注入する。次に、残りの周辺回路として、IC4を使用する。このIC4はCOGにより基板のX方向の配線およびY方向の配線の各々と接続されている。このIC4には外部から電源、データの供給の為に接続リードが各々に接続されているだけで、基板の一辺全て

に接続の為に F P C が張りつけられているようなことはなく、接続部分の数が相当減り信頼性が向上する。上記のようにして、液晶表示装置を完成した。

【0056】本実施例においては、X 方向側の周辺回路のうちアナログスイッチアレー部分 1 のみを Y 方向側の周辺回路のうちアナログスイッチアレー部分 2 のみを T F T 化し、スイッチング素子と同じプロセスで C / T F T 化し、残りの周辺回路部分を I C 4 で構成したが、特にこの構成に限定されることはなく、T F T 化する際の歩留り、T F T 化する際のプロセス技術上の問題等を考慮して、より T F T 化が簡単な部分のみを T F T 化すればよい。

【0057】本実施例では半導体膜として、セミアモルファス半導体を使用したため、その移動度は非単結晶半導体を使用した T F T に比べて 10 倍以上の値が得られている。そのため、早い応答速度を必要とされる周辺の回路の T F T にも、十分使用でき、従来のように、周辺回路部分の T F T を特別に結晶化処理する必要もなくアクティブ素子と同じプロセスで作成することができた。

【0058】また、液晶の画素に接続されたアクティブ素子として、C / T F T 構成としたので、動作マージンが拡大し、画素の電位がふらつくことはなく一定の表示レベルを確保でき、また一方の T F T が不良でも特に目立った欠陥表示都ならない等の利点があった。

【0059】

【実施例 2】本実施例の液晶表示装置の概略外観図を図 5 に示す。基本的な回路等は実施例 1 と全く同じである。図 5 において、Y 方向の配線に接続された周辺回路のうち I C 4 で構成されている部分は、C O G 法により、基板上に直接 I C が形成されている。この I C 4 は 30 基板の上下の部分に分けて設けられている。

【0060】この場合 I C 4 のパッド電極と Y 方向配線との接続にいて、I C を片側のみに形成した場合に比べてより間隔を狭くできる。その為より高精細な表示画素を設計できる特徴をもつ。さらに、基板上に I C を設けたので、その容積は殆ど増すことがなく、より薄型の液晶表示装置を提供することができた。

【0061】上記の実施例において、アクティブ素子の T F T はいずれも C M O S 構成としたが、特にこの構成に限定されることはなく、N T F T、P T F T のみで構成してもよい、その場合は周辺回路の構成がより素子数が 40 増すことになる。

【0062】また、基板上に T F T を形成する位置を X 方向または Y 方向の配線と繋がっている一方側のみではなく、もう一方の側にも T F T を形成して、交互に T F T を接続し、T F T の密度を半分として、T F T の製造*

*歩留りを向上させることを実現した。

【0063】

【発明の効果】本発明により、液晶表示を外部の接続技術上の制限の為に高精細化できないことはなくなった。また、X 方向の配線または Y 方向の配線と外部の周辺回路との不要な接続を極力へらせることができたので、接続部分での信頼性が向上した。

【0064】一部の周辺回路のみを T F T 化するため、ディスプレイ基板自身の専有面積をへらすことができ、かつ必要とされる寸法形状に自由に基板の設計ができる。また、T F T の製造上の問題を回避して、製造歩留りの高い部分のみを T F T 化できる。よって、製造コストを下げることができた。

【0065】T F T に使用する半導体膜として、セミアモルファス半導体を使用したため、周辺回路用にも十分使用できる応答速度が得られ、アクティブ素子の作成プロセスのまま特別な処理をすることもなく、周辺回路用の T F T を同時に作成することができた。

【0066】本発明は相補型の T F T をマトリクス化された各画素に連結することにより、しきい値の明確化
スイッチング速度の増加 動作マ - ジンの拡大
不良 T F T が一部にあってもその補償をある程度行うことができる。 作製に必要なフォトマスク数は N T F T のみの従来例に比べて 2 回多くなるのみである。キャリアの移動度がアモルファス珪素を用いた場合に比べ 10 倍以上も大きいため、T F T の大きさを小さくでき、1 つのピクセル内に 2 つの T F T をつけても開口率の減少をほとんど伴わない。 という多くの特長を有する。

【0067】そのため、これまでの N T F T のみを用いるアクティブ T F T 液晶装置に比べて、数段の製造歩留まりと画面の鮮やかさを成就できるようになった。

【図面の簡単な説明】

【図 1】m × n の回路構成の液晶表示装置を示す図。

【図 2】液晶表示装置の画素部分の配置の様子を示す図。

【図 3】T F T の作製工程の概略を示す図。

【図 4】T F T の作製工程の概略を示す図。

【図 5】他の実施例を示す図。

【符号の説明】

1、2・・・周辺回路

4・・・I C

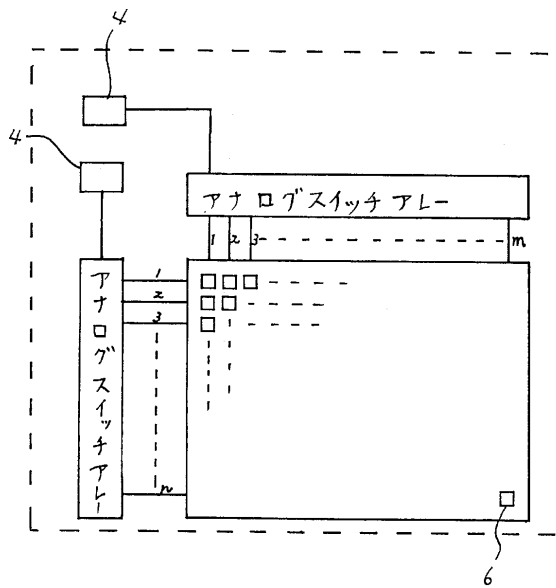
5・・・T F T 化した周辺回路

6・・・画素

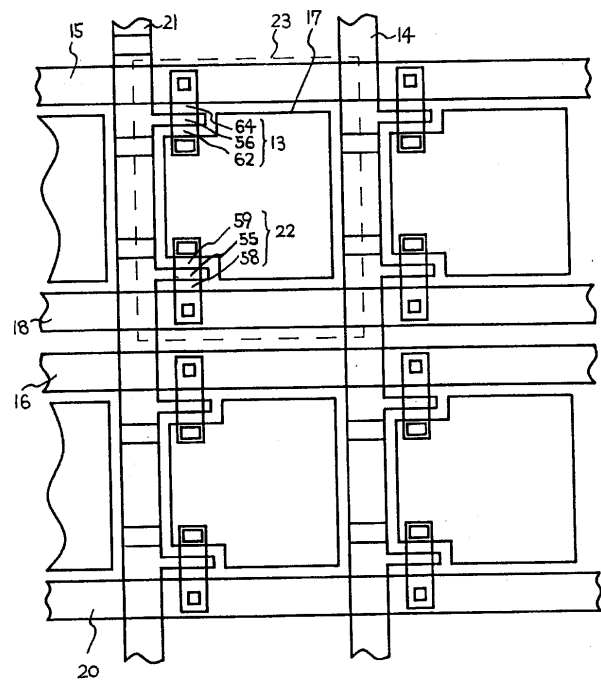
13・・・N T F T

22・・・P T F T

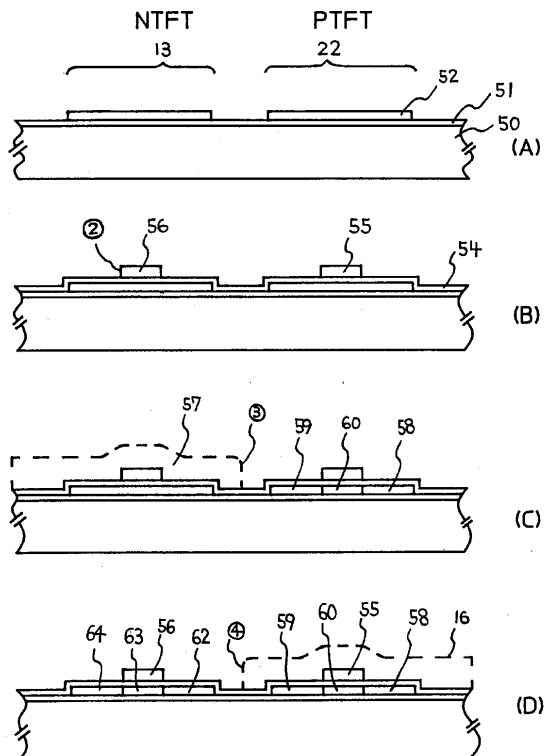
【図1】



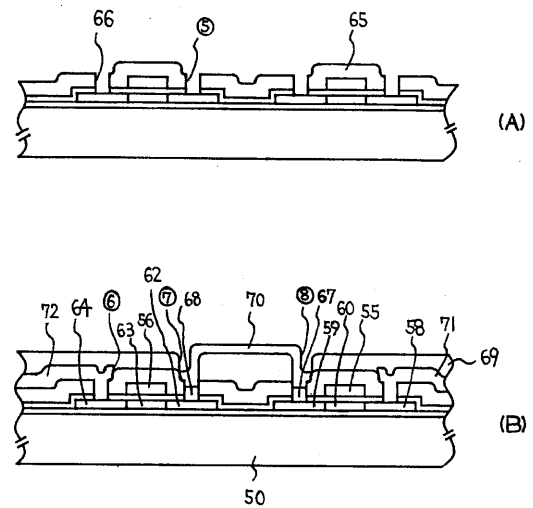
【図2】



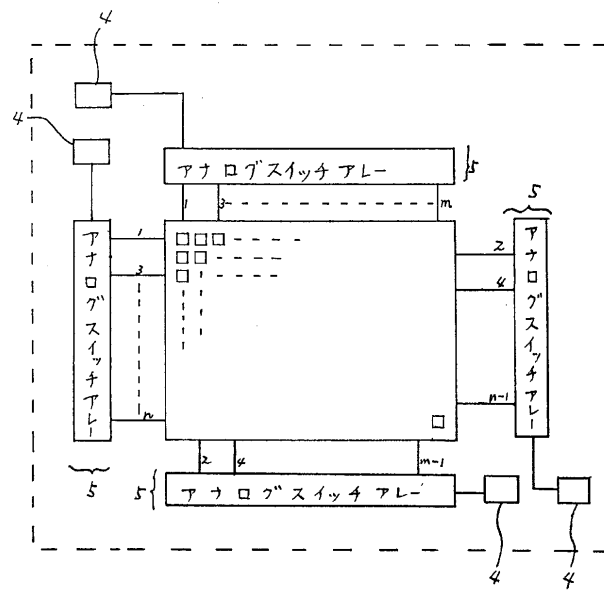
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テ-マコード(参考)

专利名称(译)	表示装置、液晶表示装置及び集积回路		
公开(公告)号	JP2001159873A	公开(公告)日	2001-06-12
申请号	JP2000310309	申请日	2000-10-11
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平		
发明人	山崎 舜平		
IPC分类号	G02F1/136 G02F1/1368 G09F9/00 G09F9/30 H01L29/786		
FI分类号	G09F9/30.338 G09F9/00.348.C G02F1/136.500 H01L29/78.612.B G02F1/1368 G09F9/00.348.Z		
F-TERM分类号	2H092/GA28 2H092/GA59 2H092/GA60 2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB42 2H092/KA03 2H092/KA05 2H092/MA05 2H092/NA27 2H092/NA29 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB24 2H192/CB34 2H192/CC72 2H192/EA67 2H192/FB03 2H192/FB05 2H192/FB27 5C094/AA42 5C094/AA43 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB02 5C094/DB04 5C094/EA04 5C094/EB02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GB10 5F110/AA16 5F110/AA17 5F110/BB01 5F110/CC02 5F110/CC07 5F110/DD02 5F110/DD13 5F110/EE09 5F110/FF02 5F110/FF28 5F110/GG02 5F110/GG15 5F110/GG24 5F110/GG32 5F110/GG33 5F110/GG43 5F110/GG45 5F110/GG47 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HJ23 5F110/HK04 5F110/HK05 5F110/HL03 5F110/NN02 5F110/NN03 5F110/NN24 5F110/NN27 5F110/NN34 5F110/NN35 5G435/AA14 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE37 5G435/KK05		
其他公开文献	JP3672084B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供高性能的显示设备。一种显示装置，包括像素部分和用于驱动像素部分的电路，其中，像素部分和用于驱动像素部分的电路是P沟道薄膜晶体管。有。

