

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5348582号
(P5348582)

(45) 発行日 平成25年11月20日(2013.11.20)

(24) 登録日 平成25年8月30日(2013.8.30)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 505
G02F 1/1368 (2006.01)	G02F 1/1368
G09G 3/20 (2006.01)	G02F 1/133 550
	G09G 3/20 642B
	請求項の数 15 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2008-86203 (P2008-86203)	(73) 特許権者	512187343
(22) 出願日	平成20年3月28日(2008.3.28)		三星ディスプレイ株式会社
(65) 公開番号	特開2009-109970 (P2009-109970A)		Samsung Display Co., Ltd.
(43) 公開日	平成21年5月21日(2009.5.21)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成23年3月23日(2011.3.23)		95, Samsung 2 Ro, Gih eung-Gu, Yongin-City , Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2007-0109670	(74) 代理人	110000051
(32) 優先日	平成19年10月30日(2007.10.30)		特許業務法人共生国際特許事務所
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 ボ ラ
前置審査			大韓民国 忠清南道 牙山市 湯井面 三星クリスタルス寄宿舎ビチ棟 605号
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の表示ブロックを含み、前記各表示ブロックに複数のゲートラインと、複数のデータラインと、各々前記ゲートライン及びデータラインにカップリングした複数の画素を含む液晶パネルと、

データと電荷共有制御信号を含む統合信号を供給するタイミングコントローラと、

前記複数の表示ブロックに各々対応し、前記タイミングコントローラと点对点 (point-to-point) 方式でカップリングし前記統合信号の供給を受けて電荷共有期間内に対応する表示ブロック内の複数のデータラインを互いに短絡させる複数のデータ駆動チップと、を有し、

前記複数のデータ駆動チップのうち少なくとも2個のデータ駆動チップの前記電荷共有期間を互いに異なるように調節し、該少なくとも2個のデータ駆動チップに対応する前記表示ブロックの画素の充電量を同一になるように調節することを特徴とする液晶表示装置

【請求項2】

電源電圧を発生する電源電圧発生器をさらに含み、

前記複数のデータ駆動チップと前記電源電圧発生器は互いにカスケード方式でカップリングされることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記複数のデータ駆動チップは第1及び第2データ駆動チップを含み、前記第2データ

駆動チップは前記第 1 データ駆動チップを通して前記電源電圧の供給を受け、

前記第 2 データ駆動チップは前記第 1 データ駆動チップより前記電荷共有期間を短く調節することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記各データ駆動チップは前記電源電圧発生器から前記電源電圧の供給を受け、前記対応するデータラインを駆動するための画像データ電圧を生成することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

前記各データ駆動チップは、

前記統合信号の供給を受けて電荷共有信号を供給するデコーディング部と、

前記複数のデータラインの間に形成されて前記電荷共有信号に応答して前記複数のデータラインを互いに短絡させる複数のスイッチング素子からなる電荷共有部を含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記統合信号はシングルエンドシグナルであることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記タイミングコントローラと前記複数のデータ駆動チップは電流駆動方式を利用して通信することを特徴とする請求項 1 又は 6 に記載の液晶表示装置。

【請求項 8】

前記複数のデータ駆動チップは前記液晶パネル上に COG (Chip On Glass) 方式で実装されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

第 1 及び第 2 表示ブロックを含み、前記各表示ブロックに複数のゲートラインと、複数のデータラインと、各々前記ゲートライン及びデータラインにカップリングされた複数の画素を含む液晶パネルと、

前記第 1 及び第 2 表示ブロックに各々対応する第 1 及び第 2 データ駆動チップと、を有し、

前記第 1 データ駆動チップは前記第 1 表示ブロックに含まれた複数のデータラインを第 1 期間の間に互いに短絡させた後前記第 1 表示ブロックに含まれた前記複数のデータラインに画像データ電圧を印加し、

前記第 2 データ駆動チップは前記第 2 表示ブロックに含まれた複数のデータラインを前記第 1 期間と異なる第 2 期間の間互いに短絡させた後前記第 2 表示ブロックに含まれた前記複数のデータラインに画像データ電圧を印加し、

前記第 2 データ駆動チップは前記第 2 表示ブロックに含まれた複数のデータラインを前記第 1 期間と異なる前記第 2 期間の間互いに短絡させることによって、前記第 1 及び第 2 表示ブロックの画素の充電量を同一になるように調節することを特徴とする液晶表示装置

【請求項 10】

前記第 1 データ駆動チップに第 1 電荷共有信号を供給し、前記第 2 データ駆動チップに前記第 1 電荷共有信号と異なる第 2 電荷共有信号を供給するタイミングコントローラをさらに含むことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記タイミングコントローラはデータと第 1 電荷共有信号を含む第 1 統合信号を第 1 データ駆動チップに供給し、データと第 2 電荷共有信号を含む第 2 統合信号を第 2 データ駆動チップに供給し、

前記第 1 及び第 2 統合信号はシングルエンドシグナルであることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第 1 及び第 2 データ駆動チップと前記タイミングコントローラと点对点 (point to point)

10

20

30

40

50

t - t o - p o i n t) 方式でカップリングされることを特徴とする請求項 1 0 に記載の液晶表示装置。

【請求項 1 3】

前記タイミングコントローラと前記第 1 及び第 2 データ駆動チップは電流駆動方式を利用して通信することを特徴とする請求項 1 0 に記載の液晶表示装置。

【請求項 1 4】

前記第 1 及び第 2 データ駆動チップに電源電圧を発生する電源電圧発生器をさらに含み、
前記第 1 及び第 2 データ駆動チップと前記電源電圧発生器は互いにカスケード方式でカップリングされ、

前記第 2 データ駆動チップは、前記第 2 データ駆動チップによって前記電源電圧の供給を受け、前記第 2 期間は前記第 1 期間より短いことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 1 5】

前記第 1 及び第 2 データ駆動チップは前記液晶パネル上に C O G (C h i p O n G l a s s) 方式で実装されていることを特徴とする請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、より詳細には各画素の電圧レベルを落とさないようにして視認性を改善した液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は画素電極が具備される下部ガラス板、共通電極が具備される上部ガラス板、下部ガラス板と上部ガラス板の間に注入された誘電率異方性 (d i e l e c t r i c a n i s o t r o p y) を有する液晶層を有する液晶パネルを含む。画素電極と共通電極の間に電界が形成され、この電界の強さが調節されることによって液晶パネルを透過する光の量が制御されて望む画像が表示される。このような液晶パネルは画像を表示する最小単位の複数の画素で形成され、各画素はゲートラインとデータラインとカップリングされている。また、液晶表示装置は複数の画素を駆動するためのゲート駆動部とデータ駆動部を含む。ゲート駆動部はゲートラインを通して各画素にゲート電圧を供給し、データ駆動部はデータラインを通して各画素に画像データ電圧を供給する。

【0003】

データ駆動部は複数のデータ駆動チップからなり、各データ駆動チップは複数の制御信号と電源電圧の供給を受けてデータ電圧を生成する。複数のデータ駆動チップは電源電圧を供給する電源電圧発生器とカスケード (c a s c a d e) 方式で接続される。このような場合、電源電圧は複数のデータ駆動チップを経て、電圧ラインの抵抗成分によって電圧レベルが落ちるようになる。したがって、複数のデータ駆動チップが互いに異なる電圧レベルの電源電圧を使用してデータ電圧を生成するようになるため、液晶表示装置の視認性が落ちるようになる。

【特許文献 1】韓国特許公開 2 0 0 7 - 0 0 1 6 3 5 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

そこで本発明は上記従来の液晶表示装置における問題点に鑑みてなされたものであって、本発明の目的は、複数のデータ駆動チップの電荷共有期間を互いに異なるように調節することにより、各画素の電圧レベルを落とさないようにして視認性を改善できる液晶表示装置を提供することにある。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 5 】

上記目的を達成するためになされた本発明による液晶表示装置は、複数の表示ブロックを含み、前記各表示ブロックに複数のゲートラインと、複数のデータラインと、各々前記ゲートライン及びデータラインにカップリングした複数の画素を含む液晶パネルと、データと電荷共有制御信号を含む統合信号を供給するタイミングコントローラと、前記複数の表示ブロックに各々対応し、前記タイミングコントローラと点对点 (p o i n t - t o - p o i n t) 方式でカップリングし前記統合信号の供給を受けて電荷共有期間内に対応する表示ブロック内の複数のデータラインを互いに短絡させる複数のデータ駆動チップと、を有し、前記複数のデータ駆動チップのうち少なくとも2個のデータ駆動チップの前記電荷共有期間を互いに異なるように調節し、該少なくとも2個のデータ駆動チップに対応する前記表示ブロックの画素の充電量を同一になるように調節することを特徴とする。

10

前記液晶表示装置は、電源電圧を発生する電源電圧発生器をさらに含み、前記複数のデータ駆動チップと前記電源電圧発生器は互いにカスケード方式でカップリングされることが好ましい。

【 0 0 0 6 】

前記複数のデータ駆動チップは第1及び第2データ駆動チップを含み、前記第2データ駆動チップは前記第1データ駆動チップを通して前記電源電圧の供給を受け、前記第2データ駆動チップは前記第1データ駆動チップより前記電荷共有期間を短く調節することが好ましい。

20

前記各データ駆動チップは前記電源電圧発生器から前記電源電圧の供給を受け、前記対応するデータラインを駆動するための画像データ電圧を生成することが好ましい。

前記各データ駆動チップは、前記統合信号の供給を受けて電荷共有信号を供給するデコーディング部と、前記複数のデータラインの間に形成されて前記電荷共有信号にตอบสนองして前記複数のデータラインを互いに短絡させる複数のスイッチング素子からなることが好ましい。

前記統合信号はシングルエンドシグナルであることが好ましい。

前記タイミングコントローラと前記複数のデータ駆動チップは電流駆動方式を利用して通信することが好ましい。

前記複数のデータ駆動チップは前記液晶パネル上にCOG (C h i p O n G l a s s) 方式で実装されていることが好ましい。

30

【 0 0 0 7 】

また、上記目的を達成するためになされた本発明による液晶表示装置は、第1及び第2表示ブロックを含み、前記各表示ブロックに複数のゲートラインと、複数のデータラインと、各々前記ゲートライン及びデータラインにカップリングされた複数の画素を含む液晶パネルと、前記第1及び第2表示ブロックに各々対応する第1及び第2データ駆動チップと、を有し、前記第1データ駆動チップは前記第1表示ブロックに含まれた複数のデータラインを第1期間の間に互いに短絡させた後前記第1表示ブロックに含まれた前記複数のデータラインに画像データ電圧を印加し、前記第2データ駆動チップは前記第2表示ブロックに含まれた複数のデータラインを前記第1期間と異なる第2期間の間互いに短絡させた後前記第2表示ブロックに含まれた前記複数のデータラインに画像データ電圧を印加し、前記第2データ駆動チップは前記第2表示ブロックに含まれた複数のデータラインを前記第1期間と異なる前記第2期間の間互いに短絡させることによって、前記第1及び第2表示ブロックの画素の充電量を同一になるように調節することを特徴とする。

40

前記液晶表示装置は前記第1データ駆動チップに第1電荷共有信号を供給し、前記第2データ駆動チップに前記第1電荷共有信号と異なる第2電荷共有信号を供給するタイミングコントローラをさらに含むことが好ましい。

前記タイミングコントローラはデータと第1電荷共有信号を含む第1統合信号を第1データ駆動チップに供給し、データと第2電荷共有信号を含む第2統合信号を第2データ駆動チップに供給し、前記第1及び第2統合信号はシングルエンドシグナルであることが好

50

ましい。

前記第1及び第2データ駆動チップと前記タイミングコントローラと点对点 (point-to-point) 方式でカップリングされることが好ましい。

前記タイミングコントローラと前記第1及び第2データ駆動チップは電流駆動方式を利用して通信することが好ましい。

前記第1及び第2データ駆動チップに電源電圧を発生する電源電圧発生器をさらに含み、前記第1及び第2データ駆動チップと前記電源電圧発生器は互いにカスケード方式でカップリングされ、前記第2データ駆動チップは、前記第2データ駆動チップによって前記電源電圧の供給を受け、前記第2期間は前記第1期間より短いことが好ましい。

前記第1及び第2データ駆動チップは前記液晶パネル上にCOG (Chip On Glass) 方式で実装されていることが好ましい。

10

【発明の効果】

【0008】

本発明に係る液晶表示装置によれば、電源電圧が複数のデータ駆動チップを経て電源ラインの抵抗成分によって電圧レベルが落ちるようになっていた従来の方式にかわって、複数のデータ駆動チップの電荷共有期間を互いに異なるように調節することにより、各画素の電圧レベルを落とさないようにして視認性を改善できるという効果がある。

【発明を実施するための最良の形態】

【0009】

20

次に本発明に係る液晶表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

【0010】

一つの素子 (elements) が他の素子と "接続された (connected to)" 又は "カップリングされた (coupled to)" と称されることは、他の素子と直接接続又はカップリングされた場合又は中間に他の素子を介在した場合をすべて含む。反面、一つの素子が異なる素子と "直接接続された (directly connected to)" 又は "直接カップリングされた (directly coupled to)" と称されることは中間に他の素子を介在しないことを表わす。明細書全体にかけて、同一参照符号は同一構成要素を意味する。"及び/又は" は言及されたアイテムの各々及び一つ以上のすべての組み合わせを含む。

30

【0011】

たとえば、第1、第2等が多様な素子、構成要素及び/又はセクションを叙述するために使用されるが、これら素子、構成要素及び/又はセクションはこれら用語によって、制限されないことはもちろんである。これら用語は単に一つの素子、構成要素又はセクションを他の素子、構成要素又はセクションと区別するために使用するものである。したがって、以下で言及される第1素子、第1構成要素又は第1セクションは本発明の技術的思想内で第2素子、第2構成要素又は第2セクションであり得ることはもちろんである。

【0012】

本明細書で使用された用語は実施形態を説明するためであり、本発明を制限しようとするものではない。本明細書で、単数型は文言で特別に言及しない限り複数型も含む。明細書で使用される "含む (comprises)" 及び/又は "含む (comprising)" は言及された構成要素、段階、動作及び/又は素子は一つ以上の他の構成要素、段階、動作及び/又は素子の存在又は追加を排除しない。

40

【0013】

他の定義がなければ、本明細書で使用されるすべての用語 (技術及び科学的用語を含む) は本発明が属する技術分野で通常の知識を有する者に共通に理解できる意味で使用され得るものである。また一般的に使用される辞典に定義されている用語は明白に特別に定義されていない限り理想的に又は過度に解釈されない。

【0014】

50

図1は本発明の一実施形態による液晶表示装置を説明するためのブロック図であり、図2は一画素の等価回路図である。図3は図1の複数のデータ駆動チップから出力される画像データ電圧を比較して表わした図である

【0015】

まず、図1を参照すれば、液晶表示装置10は液晶パネル300、ゲート駆動部400、データ駆動部500、タイミングコントローラ600を含む。

【0016】

先に、液晶パネル300は等価回路として見る時、複数の表示信号線(G1~Gn、D1~Dm)とこれに接続された複数の画素(未図示)を含む。複数の表示信号線(G1~Gn、D1~Dm)は複数のゲートライン(G1~Gn)と複数のデータライン(D1~Dm)を含む。

10

【0017】

液晶パネル300は複数の画素を含み、図2にある画素に対する等価回路が図示されている。画素(PX)、例えばf番目(f=1~n)ゲートライン(Gf)とg番目(g=1~m)データ線(Dg)に接続された画素(PX)は、ゲートライン(Gf)及びデータライン(Dg)に接続されたスイッチング素子(Qp)と、これに接続された液晶キャパシタ(liquid crystal capacitor)(Clc)及び維持キャパシタ(storage capacitor)(Cst)を含む。液晶キャパシタ(Clc)は下部ガラス板100の画素電極(PE)と、上部ガラス板200の共通電極(CE)を含む。共通電極(CE)の一部には色フィルタ(CF)が形成されている。

20

【0018】

ゲート駆動部400はタイミングコントローラ600からゲート制御信号の供給を受けてゲート信号をゲートライン(G1~Gn)に印加する。ここでゲート信号はゲートオン/オフ電圧発生部(未図示)から供給されたゲートオン電圧(Von)とゲートオフ電圧(Voff)の組合から成る。ゲート制御信号はゲート駆動部400の動作を制御するための信号であって、ゲート駆動部400の動作を開始する垂直開始信号、ゲートオン電圧の出力時期を決定するゲートクロック信号及びゲートオン電圧のパルス幅を決定する出力イネーブル信号などを含み得る。

【0019】

ゲート駆動部400は複数のゲート駆動チップを含むことができ、このような複数のゲート駆動チップは液晶パネル300の上に直接実装されたり、可撓性印刷回路膜(flexible printed circuit film)(未図示)の上に実装されてテープキャリアパッケージ(tape carrier package)の形態で液晶パネル300に付着することもできる。これとは異なり、ゲート駆動部400は表示信号線(G1~Gn、D1~Dm)とスイッチング素子(Qp)などと共に液晶パネル300に集積されることもできる。

30

【0020】

データ駆動部500はタイミングコントローラ600からデータ制御信号の供給を受けて画像データ電圧をデータライン(D1~Dm)に印加する。

【0021】

一方、データ駆動部500は複数のデータ駆動チップ(500__1~500__8)からなり得る。図1では8個のデータ駆動チップ(500__1~500__8)を図示しているが、これに限定されるものではない。必要によっては8個より多い数あるいは8個より少ない数のデータ駆動チップを使用することもできる。複数のデータ駆動チップ(500__1~500__8)は液晶パネル300の上に直接装着されたり(すなわち、COG(Chip On Glass)方式)、可撓性印刷回路膜(flexible printed circuit film)(未図示)の上に装着されてテープキャリアパッケージ(tape carrier package)の形態で液晶パネル300に付着することもできる。

40

【0022】

50

本発明の一実施形態による液晶表示装置10において、液晶パネル300は複数の表示ブロック(BLK1~BLK8)を含むことができ、複数の表示ブロック(BLK1~BLK8)各々は複数のデータ駆動チップ(500__1~500__8)に対応する。例えて説明すれば、図1に図示されたように、データ駆動チップ(500__1)は表示ブロック(BLK1)に対応され、データ駆動チップ(500__2)は表示ブロック(BLK2)に対応する。

【0023】

特に、各データ駆動チップ(500__1~500__8)は信号バス(signal bus)502を通してタイミングコントローラ600と点对点(point-to-point)方式でカップリングされており、複数のデータ駆動チップ(500__1~500__8)は電源電圧を供給する電源電圧発生器(未図示)と、電圧ライン504を通して、互いにカスケード(cascade)方式でカップリングされている。このようなデータ駆動チップ(500__1~500__8)、タイミングコントローラ600、電源電圧発生器の間の詳しい接続関係は図4及び図5によって例示的に図示した。

10

【0024】

具体的に、前述した接続関係を説明すれば次のとおりである。

【0025】

各データ駆動チップ(500__1~500__8)は信号バス(signal bus)502を通してタイミングコントローラ600と点对点(point-to-point)方式でカップリングされている。点对点(point-to-point)方式でカップリングされているため、各データ駆動チップ(500__1~500__8)は信号バス502を通してタイミングコントローラ600からデータ制御信号を直接供給される。すなわち、各データ駆動チップ(例えば、500__1)はデータ制御信号を他のデータ駆動チップ(例えば、500__2)を通して伝達されるのではなく、タイミングコントローラ600から直接データ制御信号の供給を受ける。

20

【0026】

特に、本実施形態において、データ制御信号は統合信号、駆動クロック、データ入出力信号などを含み得る。ここで、統合信号はデータと少なくとも一つの制御信号(例えば、電荷共有制御信号、反転信号など)を含む信号を意味する。したがって、タイミングコントローラ600は一つの信号バス502によってデータと前記少なくとも一つの制御信号を供給することができる。

30

【0027】

また、このようなデータ制御信号はシングルエンドシグナル(single-ended signal)であり、タイミングコントローラ600と複数のデータ駆動チップ(500__1~500__8)は電流駆動方式によって通信することができる。したがって、データ駆動チップ(500__1~500__8)はタイミングコントローラ600で供給するデータの電流レベルを基準電流レベルと比較してハイレベルなのかローレベルなのかを判断する。

【0028】

一方、複数のデータ駆動チップ(500__1~500__8)は電源電圧を供給する電源電圧発生器(未図示)と、電圧ライン504によって、互いにカスケード(cascade)方式でカップリングされている。したがって、電源電圧は複数のデータ駆動チップ(500__1~500__8)を経て、電圧ライン504の抵抗成分によって、電圧レベルが低くなり得る。例えば、電源電圧がデータ駆動チップ(500__2)を経て、データ駆動チップ(500__1)に伝達されれば、データ駆動チップ(500__1)が使用する電源電圧のレベルはデータ駆動チップ(500__2)が使用する電源電圧のレベルより低いこともある。データ駆動チップ(500__1、500__2)はこのように互いに異なるレベルの電源電圧を利用して画像データ電圧を生成するため、データ駆動チップ(500__1、500__2)がタイミングコントローラ600から同一なデータの供給を受けてこれに対応する画像データ電圧を生成しても、データ駆動チップ(500__1、500__2)各

40

50

々が出力する画像データ電圧の出力電圧が異なるようになる。したがって、データ駆動チップ(500__1)に対応する表示ブロック(BLK1)内の画素の充電量と、データ駆動チップ(500__2)に対応する表示ブロック(BLK2)内の画素の充電量が互いに異なるようになる。したがって、表示ブロック(BLK1)の視認性と、表示ブロック(BLK2)の視認性が互いに異なることもあり得る。

【0029】

しかし、本発明の一実施例では複数のデータ駆動チップ(500__1~500__8)は電荷共有期間を互いに異なるように調節することによって表示ブロック(BLK1~BLK8)間の視認性の差異を改善する。これに対して詳しい説明すれば次のとおりである。複数のデータ駆動チップ(500__1~500__8)は複数のデータライン(D1~Dm)に画像データ電圧を印加する前に、所定の電荷共有期間内に対応するデータライン(D1~Dm)を互いに短絡させる。短絡させることにより互いに異なる極性の画像データ電圧で充電されているデータライン(D1~Dm)は互いに電荷共有する。これにより、データライン(D1~Dm)の電圧レベルはほぼ共通電圧(Vcom)になる。データ駆動チップ(500__1~500__8)は電荷共有期間後にデータライン(D1~Dm)に画像データ電圧を印加する。これにより、画像データ電圧でデータライン(D1~Dm)を充電するために必要な時間が短縮される。

【0030】

ここで、図3を参照すれば、S1とS2は互いに異なるデータ駆動チップで出力される画像データ電圧を表す。例えば、データ駆動チップ(例えば、500__1)の電源電圧が他のデータ駆動チップ(例えば、500__2)から供給される場合、S1がデータ駆動チップ(500__1)から出力される画像データ電圧であれば、S2はデータ駆動チップ(500__2)から出力される画像データ電圧であり得る。また、データ駆動チップ(例えば、500__8)の電源電圧が他のデータ駆動チップ(例えば、500__7)から供給される場合、S1がデータ駆動チップ(500__8)から出力される画像データ電圧であれば、S2はデータ駆動チップ(500__7)から出力される画像データ電圧であり得る。

【0031】

以下では説明の便宜のため、データ駆動チップ(例えば、500__1)の電源電圧が他のデータ駆動チップ(例えば、500__2)から供給される場合だけに限定して説明する。すなわち、S1はデータ駆動チップ(500__1)から出力される画像データ電圧でありW1はデータ駆動チップ(500__1)から出力される画像データ電圧の電荷共有期間を表す。S2はデータ駆動チップ(500__2)から出力される画像データ電圧であり、W2はデータ駆動チップ(500__2)から出力される画像データ電圧の電荷共有期間を表す。

【0032】

S1とS2を比較すると、データ駆動チップ(500__1)で使用する電源電圧がデータ駆動チップ(500__2)で使用する電源電圧より小さいため、画像データ信号(S1)の電圧レベルが画像データ信号(S2)の電圧レベルより小さいことが分かる。反面、画像データ信号(S1)の電荷共有期間(W1)が画像データ信号(S2)の電荷共有期間(W2)より短いことが分かる。

【0033】

ここで、電荷共有期間(W1、W2)を調節することによって面積A、Bを実質的に同一にすれば、データ駆動チップ(500__1)に対応する表示ブロック(BLK1)内の画素の充電量と、データ駆動チップ(500__2)に対応する表示ブロック(BLK2)内の画素の充電量を実質的に同一にすることができる。したがって、表示ブロック(BLK1、BLK2)の間の視認性差異を改善することができる。

【0034】

以下、図4~図8を参照して、複数のデータ駆動チップ(500__1~500__8)の電荷共有期間を調節する方式に対して具体的に説明する。

【0035】

図4及び図5は図1の複数のデータ駆動チップの配置、信号バス、電圧ラインを説明するための概略ブロック図であり、図4は理解の便宜のために信号バスと電圧ラインを概略的に図示したものであり、図5は信号バスと電圧ラインを図4より詳しく図示したものである。

【0036】

図4及び図5を参照すれば、複数のデータ駆動チップ(500__1~500__8)が液晶パネル300の下部ガラス板100上にCOG方式で直接実装されている。タイミングコントローラ(未図示)、電源電圧発生器(未図示)、ガンマ電圧発生器(未図示)などが回路基板610上に実装されている。液晶パネル300と回路基板610は可撓性印刷回路膜(620__1、620__2)によって互いに接続されている。

10

【0037】

複数のデータ駆動チップ(500__1~500__8)の配置を参照すれば、可撓性印刷回路膜(620__1)を中心に2個のデータ駆動チップ(500__1、500__2)は左側に配置されて2個のデータ駆動チップ(500__3、500__4)は右側に配置されている。また、可撓性印刷回路膜(620__2)を中心に2個のデータ駆動チップ(500__5、500__6)は左側に配置されて2個のデータ駆動チップ(500__7、500__8)は右側に配置されている。このような配置は例示的なものであり、これに限定されるものではない。

【0038】

前述したように、複数のデータ駆動チップ(500__1~500__8)とタイミングコントローラ600は点对点方式でカップリングされているため、複数のデータ駆動チップ(500__1~500__8)はそれぞれの対応する信号バス502を通してデータ制御信号の供給を受ける。データ制御信号は第1及び第2統合信号(D0、D1)、データ入出力信号(DIO)、駆動クロック(CLK)などを含み得る。ここで、第1統合信号(D0)はデータと電荷共有制御信号(CSP)を含むことができ、第2統合信号(D1)はデータと反転信号(POL)を含み得る。ここで、データ駆動チップ(500__1~500__8)は電荷共有制御信号(CSP)をデコーディングして電荷共有期間を調節する。

20

【0039】

また、複数のデータ駆動チップ(500__1~500__8)は電源電圧発生器とカスケード方式でカップリングされており、ガンマ電圧発生器ともカスケード方式でカップリングされている。具体的には、複数のデータ駆動チップ(500__1~500__8)は電圧ライン(504__1)を通して電源電圧の供給を受け、電圧ライン(504__2)を通してガンマ電圧の供給を受ける。ここで、電源電圧はロジック電源電圧(VDD1、VSS1)、アナログ電源電圧(VDD2、VSS2)などを含む。

30

【0040】

複数のデータ駆動チップ(500__1~500__8)は電源電圧発生器とカスケード方式でカップリングされ、各データ駆動チップ(500__1~500__8)で使用する電源電圧のレベルが互いに異なることもある。しかし、データ駆動チップ(500__1~500__8)はタイミングコントローラと点对点方式でカップリングされている。したがって、それぞれのデータ駆動チップ(500__1~500__8)は電荷共有期間を調節できる電荷共有制御信号(CSP)をタイミングコントローラから各々受信し、複数のデータ駆動チップ(500__1~500__8)は電荷共有期間を適切に調節することができる。

40

【0041】

以下で、図6及び図7を参照してデータ駆動チップの内部構造を説明する。図6は図1のデータ駆動チップの内部ブロックを説明するためのブロック図である。図7は図6の出力バッファを説明するための回路図である。

【0042】

図6を参照すれば、データ駆動チップ(500__1~500__8)はデコーダ510、デシリアライザ(serializer)520、シフトレジスタ(shift register)530、データラッチ540、デジアナコンバータ(digital-

50

analogue converterと、DAC) 550、ガンマバッファ560及び出力バッファ570を含む。

【0043】

デコーダ510はタイミングコントローラ600からデータ入出力信号(DIO)、駆動クロック(CLK)、第1及び第2統合信号(D0、D1)の供給を受け、これらをデコーディングして電荷共有信号(SHR)、反転信号(POL)、ラッチ指示信号(DL)、水平開始信号(STH)を供給する。各信号を説明すれば、電荷共有信号(SHR)は複数のデータラインを短絡させて複数のデータラインが電荷共有をするようにする信号であり、反転信号(POL)は画像データ電圧の極性を選択させる信号であり、ラッチ指示信号(DL)はデータラッチ540の動作開始を決定する信号であり、水平開始信号(STH)はデータ駆動チップの動作開始を決定する信号である。

10

【0044】

デシリアライザ520はシリアルに入力される第1及び第2統合信号(D0、D1)内のデータを並列で再配置する。

【0045】

シフトレジスタ530は水平開始信号(STH)の供給を受けて動作が始まり、デシリアライザ520を経て供給されるデータを順次にデータラッチ540に供給する。

【0046】

データラッチ540はラッチ指示信号(DL)の供給を受けて動作が始まり、シフトレジスタ530からデータの供給を受けてラッチし、供給されたデータを同時にデジアナコンバータ550に供給する。

20

【0047】

デジアナコンバータ550はガンマバッファ560からガンマ電圧(VGMA1~VGMA8)の供給を受け、デジタル形態のデータをアナログ形態の画像データ電圧(Y1~Y480)に変換する。ここで、デジアナコンバータ550が出力する各々の画像データ電圧は階調レベル電圧(gray level voltage)を表す。

【0048】

出力バッファ570は反転信号(POL)の供給を受けて画像データ電圧(Y1~Y480)の極性を選択し、電荷共有信号(SHR)の供給を受けてデータラインを互いに短絡させることによってデータラインが互いに電荷共有をするようにする。出力バッファ570は図7に図示したように、バッファ回路572、第1スイッチング部574、第2スイッチング部576を含み得る。バッファ回路572は正極性の画像データ電圧と負極性の画像データ電圧を出力し、第1スイッチング部574は反転信号(POL)を供給されて正極性の画像データ電圧と負極性の画像データ電圧のうち一つを選択して出力する。第2スイッチング部576は電荷共有信号(SHR)の供給を受けて電荷共有期間内に複数のデータラインを互いに短絡させる。例えば、第2スイッチング部576は電荷共有信号(SHR)の供給を受けてターンオンされるMOSトランジスタであり得る。

30

【0049】

以下、図6ないし図8を参照してデータ駆動チップの動作を説明する。図8は図1のデータ駆動チップの動作を説明するためのタイミング図である。

40

【0050】

まず、図8を参照すれば、駆動クロック(CLK)の3クロックのあいだにデータ入出力信号(DIO)がローレベルであり第1及び第2統合信号(D0、D1)が各々ハイレベルである場合、(区間t1参照)、データ駆動チップ(500_1~500_8)内のデコーダ510は水平開始信号(STH)を出力する。

【0051】

シフトレジスタ530は水平開始信号(STH)の供給を受けて動作を始め、区間t2のあいだ、入力される第1及び第2統合信号(D0、D1)内のデータの供給を受けるようになる。

【0052】

50

続いて、デコーダ510は第1統合信号(D0)内の6ビットの電荷共有制御信号(CSP)の供給を受けてデコーディングし、電荷共有信号(SHR)を生成する。電荷共有信号は電荷共有期間を決定できる。6ビットの電荷共有信号にともなう電荷共有期間を例にあげれば、表1のようである。例えば、電荷共有信号(CSP)が001000である場合には駆動クロック(CLK)17clkのあいだに電荷共有をするようになる。すなわち、複数のデータラインが互いに電荷共有する区間(t5)が17clkになる。したがって、データ駆動チップは電荷共有制御信号(CSP)の値にしたがって、電荷共有期間を調節するようになる。すなわち、タイミングコントローラは複数のデータ駆動チップに印加される電荷共有制御信号(CSP)の値を異なるように調節することによって電荷共有期間を調節することができる。

10

【表1】

CSP [5:0]						電荷共有期間
Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
0	0	0	0	0	0	N/A
0	0	0	0	0	1	N/A
0	0	0	0	1	0	N/A
0	0	0	0	1	1	N/A
0	0	0	1	0	0	9 clk
0	0	0	1	0	1	11 clk
0	0	0	1	1	0	13 clk
0	0	0	1	1	1	15 clk
0	0	1	0	0	0	17 clk
...
1	1	1	1	0	1	123 clk
1	1	1	1	1	0	125 clk
1	1	1	1	1	1	127 clk

20

【0053】

駆動クロックの2クロックのあいだにデータ入出力信号(DIO)がローレベルである場合(区間t4参照)、デコーダ510はラッチ指示信号(DL)を供給する。データラッチ540はラッチ指示信号(DL)の供給を受けて動作する。

30

【0054】

デジアナコンバータ550はガンマバッファ560からガンマ電圧(VGMA1~VGMA8)の供給を受けて、デジタル形態のデータをアナログ形態の画像データ電圧に変換する。ここで、デジアナコンバータ550が出力する各々の画像データ電圧は階調レベル電圧(gray level voltage)を表す。

【0055】

出力バッファ570は反転信号(POL)の供給を受けて画像データ電圧(Y1~Y480)の極性を選択し、電荷共有信号(SHR)の供給を受けてデータラインを互いに短絡させることによってデータラインが互いに電荷共有をするようにする。

40

【0056】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0057】

【図1】本発明の一実施形態による液晶表示装置を説明するためのブロック図である。

【図2】一画素の等価回路図である。

【図3】図1の複数のデータ駆動チップから出力される画像データ電圧を比較して表わした図である。

【図4】図1の複数のデータ駆動チップの配置、信号バス、電圧ラインを説明するための

50

概略ブロック図である

【図5】図1の複数のデータ駆動チップの配置、信号バス、電圧ラインを説明するための概略ブロック図である

【図6】図1のデータ駆動チップの内部ブロックを説明するためのブロック図である。

【図7】図6の出力バッファを説明するための回路図である。

【図8】図1のデータ駆動チップの動作を説明するためのタイミング図である。

【符号の説明】

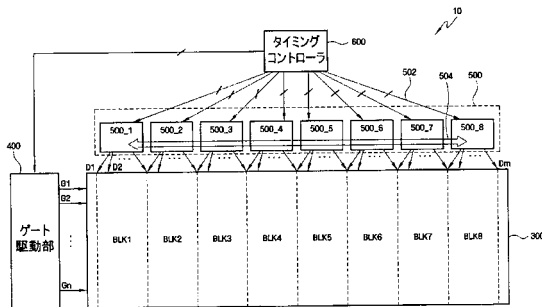
【0058】

- 10 液晶表示装置
- 300 液晶パネル
- 400 ゲート駆動部
- 500 データ駆動部
- 500_1 ~ 500_8 データ駆動チップ
- 510 デコーダ
- 520 デシリアライザ
- 530 シフトレジスタ
- 540 データラッチ
- 550 デジアナコンバータ
- 560 ガンマバッファ
- 570 出力バッファ
- 600 タイミングコントローラ

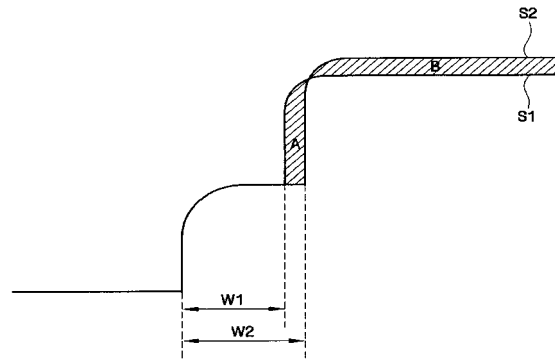
10

20

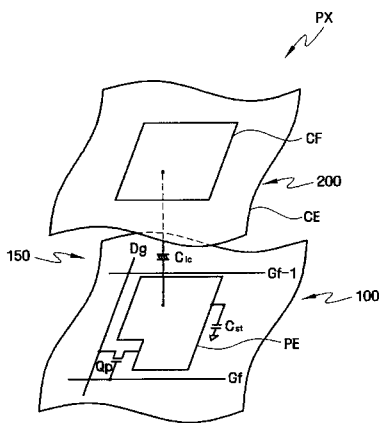
【図1】



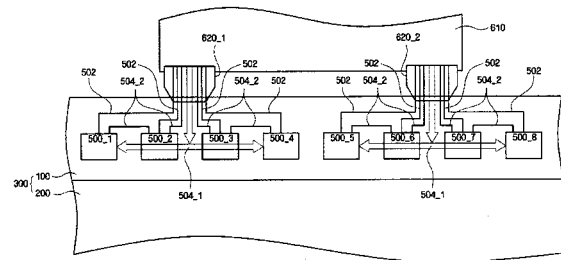
【図3】



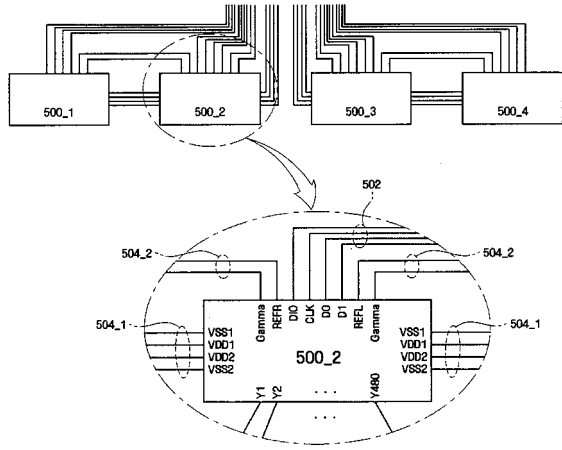
【図2】



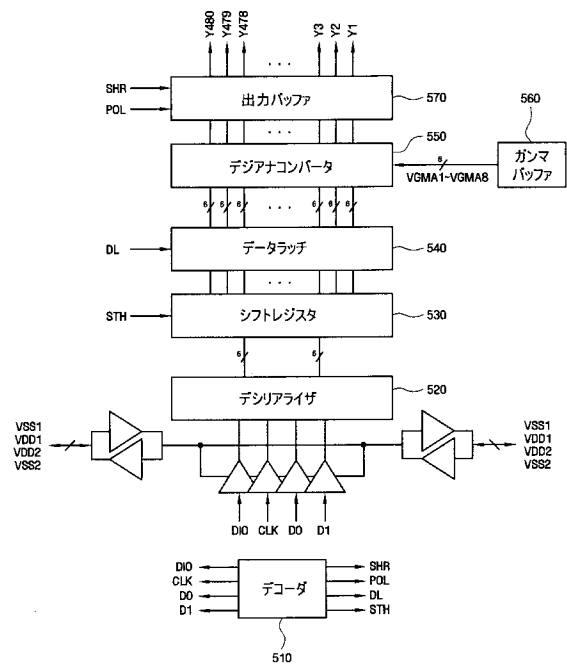
【図4】



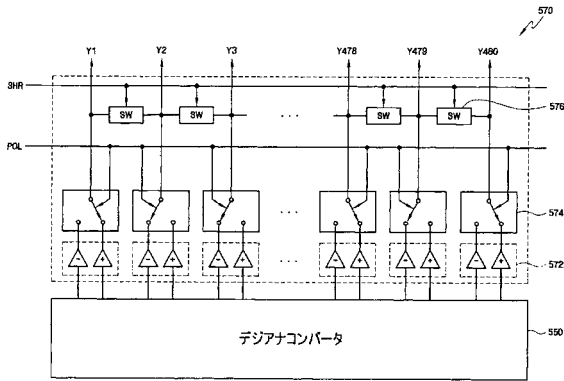
【図5】



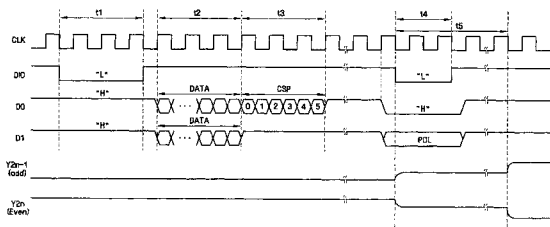
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 2 3 R
G 0 9 G 3/20 6 2 1 M

(72)発明者 孫 宣 圭
大韓民國 京畿道 水原市 壘通区 壘通洞 ファンゴル マウル 1団地アパート 135棟
204号

審査官 中村 直行

(56)参考文献 特開2007-041591(JP,A)
特開2007-193305(JP,A)
特開2004-146717(JP,A)
特開2005-208551(JP,A)
特開2007-213009(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5348582B2	公开(公告)日	2013-11-20
申请号	JP2008086203	申请日	2008-03-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金ボラ 孫宣圭		
发明人	金ボラ 孫宣圭		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20		
CPC分类号	G09G3/3648 G09G3/3688 G09G2300/0426 G09G2310/0248 G09G2310/0281 G09G2310/0291 G09G2320/0223 G09G2320/0233 G09G2330/02		
FI分类号	G09G3/36 G02F1/133.505 G02F1/1368 G02F1/133.550 G09G3/20.642.B G09G3/20.623.D G09G3/20.623.R G09G3/20.621.M		
F-TERM分类号	2H092/GA60 2H092/JB22 2H092/JB31 2H092/NA01 2H092/PA06 2H093/NA51 2H093/NC01 2H093/NC02 2H093/NC09 2H093/NC10 2H093/NC11 2H093/NC12 2H093/NC22 2H093/NC24 2H093/NC26 2H093/ND01 2H093/NE03 2H192/AA24 2H192/EA43 2H192/FB02 2H192/FB22 2H192/FB46 2H192/FB62 2H192/GD61 2H193/ZA04 2H193/ZA05 2H193/ZC07 2H193/ZD12 2H193/ZD21 2H193/ZD23 2H193/ZF01 2H193/ZF02 2H193/ZF03 2H193/ZF22 2H193/ZF34 2H193/ZF35 2H193/ZF36 2H193/ZF42 2H193/ZF43 2H193/ZF44 2H193/ZF51 2H193/ZF52 2H193/ZH46 2H193/ZH53 2H193/ZP03 5C006/AC21 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC02 5C006/FA14 5C006/FA22 5C006/FA26 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD26 5C080/FF01 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06		
审查员(译)	中村直之		
优先权	1020070109670 2007-10-30 KR		
其他公开文献	JP2009109970A5 JP2009109970A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够通过将多个数据驱动芯片的电荷共享周期调整为彼此不同来防止每个像素的电压电平的下降以提高可视性。解决方案：液晶显示装置包括：液晶面板，包括多个显示块，每个显示块包括多条栅极线，多条数据线，以及耦合到各个栅极线和数据线的多个像素；定时控制器，提供包括数据和电荷共享控制信号的积分信号；所述多个数据驱动芯片分别对应所述多个显示块，所述数据驱动芯片中的每一个以点对点关系耦合到时序控制器，接收所述积分信号，并将所述多个数据短路在电荷共享时段期间，相应显示块中的线彼此相对，其中，多个数据驱动芯片中的至少两个的电荷共享时段被调整为彼此不同。

CSP [5:0]						電荷共有期間
Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
0	0	0	0	0	0	N/A
0	0	0	0	0	1	N/A
0	0	0	0	1	0	N/A
0	0	0	0	1	1	N/A
0	0	0	1	0	0	9 clk
0	0	0	1	0	1	11 clk
0	0	0	1	1	0	13 clk
0	0	0	1	1	1	15 clk
0	0	1	0	0	0	17 clk
...
1	1	1	1	0	1	123 clk
1	1	1	1	1	0	125 clk
1	1	1	1	1	1	127 clk