

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5009373号
(P5009373)

(45) 発行日 平成24年8月22日(2012.8.22)

(24) 登録日 平成24年6月8日(2012.6.8)

| | |
|-----------------------------|----------------|
| (51) Int.Cl. | F I |
| G09G 3/36 (2006.01) | G09G 3/36 |
| G09G 3/20 (2006.01) | G09G 3/20 624B |
| G02F 1/133 (2006.01) | G09G 3/20 623C |
| | G09G 3/20 621B |
| | G09G 3/20 624C |

請求項の数 8 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2009-537970 (P2009-537970)
 (86) (22) 出願日 平成20年7月14日(2008.7.14)
 (86) 国際出願番号 PCT/JP2008/062715
 (87) 国際公開番号 W02009/050926
 (87) 国際公開日 平成21年4月23日(2009.4.23)
 審査請求日 平成21年10月29日(2009.10.29)
 (31) 優先権主張番号 特願2007-269332 (P2007-269332)
 (32) 優先日 平成19年10月16日(2007.10.16)
 (33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 岡田 厚志
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内
 (72) 発明者 佐々木 寧
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動回路、液晶表示装置及び液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極と、この画素電極と容量結合された容量結合配線とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を備えた表示パネルを駆動して、前記画素電極の電位に応じた階調表示を行わせるための液晶表示装置の駆動回路において、

前記各行に順次割り当てられた水平走査期間に当該行のスイッチング素子をオンするための走査信号を出力する走査信号線駆動回路と、

垂直走査期間に同期して極性が正極と負極とで反転しつつ、同一行の全ての画素について極性が同一であり、かつ隣接する行間で極性が逆転するようなデータ信号を出力するライン反転駆動を行うデータ信号線駆動回路と、

前記各行の水平走査期間以降に、この水平走査期間におけるデータ信号の極性に応じて定められた方向へ2値の電位の間で電位が切り替わる電位シフト信号を出力する容量結合配線駆動回路とを備え、

前記容量結合配線駆動回路は、当該行の走査信号及び当該行よりも後の次行の走査信号を入力する第1の入力部と、前記電位シフト信号の電位に対応する、前記各行の水平走査期間に同期して極性が反転する極性信号を入力する第2の入力部と、当該行における前記電位シフト信号を出力する出力部とを備え、

前記容量結合配線駆動回路は、当該行の走査信号が前記第1の入力部に入力されたとき

の、前記第 2 の入力部に入力された前記極性信号の第 1 の極性を、前記電位シフト信号の第 1 の電位として、当該行よりも後の次行の走査信号が前記第 1 の入力部に入力されるまで出力する一方、

当該行よりも後の次行の走査信号が前記第 1 の入力部に入力されたときの、前記第 2 の入力部に入力された前記極性信号の第 2 の極性を、前記電位シフト信号の第 2 の電位として出力し、

前記電位シフト信号は、

表示すべき映像に応じたデータ信号の出力を開始する第 1 垂直走査期間において、当該行のスイッチング素子がオンからオフに切り替えられた時点の該電位シフト信号の電位が、隣接する行では互いに異なっており、かつ、

当該行における該電位シフト信号の電位が、当該行のスイッチング素子がオンしたときと、当該行よりも後の次行のスイッチング素子がオンしたときとで互いに異なっていることを特徴とする液晶表示装置の駆動回路。

【請求項 2】

前記容量結合配線駆動回路は、Dラッチ回路により構成されていることを特徴とする請求項 1 に記載の液晶表示装置の駆動回路。

【請求項 3】

走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極と、この画素電極と容量結合された容量結合配線とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を備えた表示パネルを駆動して、前記画素電極の電位に応じた階調表示を行わせるための液晶表示装置の駆動回路において、

前記各行に順次割り当てられた水平走査期間に当該行のスイッチング素子をオンするための走査信号を出力する走査信号線駆動回路と、

垂直走査期間に同期して極性が正極と負極とで反転しつつ、同一行の全ての画素について極性が同一であり、かつ隣接する行間で極性が逆転するようなデータ信号を出力するライン反転駆動を行うデータ信号線駆動回路と、

前記各行の水平走査期間以降に、この水平走査期間におけるデータ信号の極性に応じて定められた方向へ 2 値の電位の間で電位が切り替わる電位シフト信号を出力する容量結合配線駆動回路と、

前記信号線駆動回路及び容量結合配線駆動回路を制御する制御回路とを備え、

前記制御回路は、前記電位シフト信号の初期状態における電位が、隣接する行では互いに異なるように、前記各行の水平走査期間に同期して極性が反転する極性信号に応じた、隣接する行で互いに異なる制御信号を、前記容量結合配線駆動回路に入力し、

前記容量結合配線駆動回路は、当該行よりも後の次行の走査信号を入力する第 1 の入力部と、前記電位シフト信号の電位レベルに対応する、前記各行の水平走査期間に同期して極性が反転する極性信号を入力する第 2 の入力部と、当該行における前記電位シフト信号を出力する出力部とを備え、

前記容量結合配線駆動回路は、当該行よりも後の次行の走査信号が前記第 1 の入力部に入力されたときの、前記第 2 の入力部に入力された前記極性信号の極性に基づいて、前記電位シフト信号の電位を切り替え、

前記電位シフト信号は、

表示すべき映像に応じたデータ信号の出力を開始する第 1 垂直走査期間において、当該行のスイッチング素子がオンからオフに切り替えられた時点の該電位シフト信号の電位が、隣接する行では互いに異なっており、かつ、

該電位シフト信号の初期状態における電位が、隣接する行では互いに異なっていることを特徴とする液晶表示装置の駆動回路。

【請求項 4】

前記制御回路は、前記第 1 垂直走査期間において当該行の走査信号がオンするときの前記極性信号が第 1 の極性となる場合には、第 1 の制御信号を出力する一方、前記第 1 垂直

10

20

30

40

50

走査期間において当該行の走査信号がオンするときの前記極性信号が第2の極性となる場合には、第2の制御信号を出力することを特徴とする請求項3に記載の液晶表示装置の駆動回路。

【請求項5】

走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極と、この画素電極と容量結合された容量結合配線とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を備えた表示パネルを駆動して、前記画素電極の電位に応じた階調表示を行わせるための液晶表示装置の駆動回路において、

前記各行に順次割り当てられた水平走査期間に当該行のスイッチング素子をオンするための走査信号を出力する走査信号線駆動回路と、

垂直走査期間に同期して極性が正極と負極とで反転しつつ、同一行の全ての画素について極性が同一であり、かつ隣接する行間で極性が逆転するようなデータ信号を出力するライン反転駆動を行うデータ信号線駆動回路と、

前記各行の水平走査期間以降に、この水平走査期間におけるデータ信号の極性に応じて定められた方向へ2値の電位の間で電位が切り替わる電位シフト信号を出力する容量結合配線駆動回路と、

前記信号線駆動回路及び容量結合配線駆動回路を制御する制御回路とを備え、

前記容量結合配線駆動回路は、Dラッチ回路により構成されており、

前記制御回路は、前記電位シフト信号の初期状態における電位が、隣接する行では互いに異なるように、前記各行の水平走査期間に同期して極性が反転する極性信号に応じた、隣接する行で互いに異なる制御信号を、前記容量結合配線駆動回路に入力するものであって、表示すべき映像に応じたデータ信号の出力を開始する第1垂直走査期間において当該行の走査信号がオンするときの前記極性信号の極性がローとなる場合には、リセット信号を前記容量結合配線駆動回路に入力する一方、前記第1垂直走査期間において当該行の走査信号がオンするときの前記極性信号の極性がハイとなる場合には、セット信号を前記容量結合配線駆動回路に入力し、

前記容量結合配線駆動回路は、前記リセット信号により、前記電位シフト信号の初期状態における電位をローに保持し、前記セット信号により、前記電位シフト信号の初期状態における電位をハイに保持し、

前記電位シフト信号は、

前記第1垂直走査期間において、当該行のスイッチング素子がオンからオフに切り替えられた時点の該電位シフト信号の電位が、隣接する行では互いに異なっており、かつ、

該電位シフト信号の初期状態における電位が、隣接する行では互いに異なっていることを特徴とする液晶表示装置の駆動回路。

【請求項6】

前記容量結合配線駆動回路は、当該行よりも後の次行の走査信号を入力する第1の入力部と、前記電位シフト信号の電位レベルに対応する、前記各行の水平走査期間に同期して極性が反転する極性信号を入力する第2の入力部と、当該行における前記電位シフト信号を出力する出力部とを備え、

当該行よりも後の次行の走査信号が前記第1の入力部に入力されたときの、前記第2の入力部に入力された前記極性信号の極性に基づいて、前記電位シフト信号の電位を切り替えることを特徴とする請求項5に記載の液晶表示装置の駆動回路。

【請求項7】

請求項1から6の何れか1項に記載の液晶表示装置の駆動回路と、前記表示パネルとを備えることを特徴とする液晶表示装置。

【請求項8】

走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極と、この画素電極と容量結合された容量結合配線とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端

10

20

30

40

50

に接続されたデータ信号線を備えた表示パネルを駆動して、前記画素電極の電位に応じた階調表示を行わせるための液晶表示装置の駆動方法において、

前記各行に順次割り当てられた水平走査期間に当該行のスイッチング素子をオンするための走査信号を出力する走査信号線駆動処理と、

垂直走査期間に同期して極性が正極と負極とで反転しつつ、同一行の全ての画素について極性が同一であり、かつ隣接する行間で極性が逆転するようなデータ信号を出力するライン反転駆動を行うデータ信号線駆動処理と、

前記各行の水平走査期間以降に、この水平走査期間におけるデータ信号の極性に応じて定められた方向へ2値の電位の間で電位が切り替わる電位シフト信号を出力する容量結合配線駆動処理とを含み、

当該行の走査信号及び当該行よりも後の次行の走査信号を、容量結合配線駆動回路の第1の入力部に入力し、前記電位シフト信号の電位に対応する、前記各行の水平走査期間に同期して極性が反転する極性信号を、該容量結合配線駆動回路の第2の入力部に入力し、当該行における前記電位シフト信号を、該容量結合配線駆動回路の出力部から出力する、前記容量結合配線駆動処理において、当該行の走査信号が前記第1の入力部に入力されたときの、前記第2の入力部に入力された前記極性信号の第1の極性を、前記電位シフト信号の第1の電位として、当該行よりも後の次行の走査信号が前記第1の入力部に入力されるまで出力する一方、当該行よりも後の次行の走査信号が前記第1の入力部に入力されたときの、前記第2の入力部に入力された前記極性信号の第2の極性を、前記電位シフト信号の第2の電位として出力し、

前記電位シフト信号は、

表示すべき映像に応じたデータ信号の出力を開始する第1垂直走査期間において、当該行のスイッチング素子がオンからオフに切り替えられた時点の該電位シフト信号の電位が、隣接する行では互いに異なっており、かつ、

当該行における該電位シフト信号の電位が、当該行のスイッチング素子がオンしたときと、当該行よりも後の次行のスイッチング素子がオンしたときとで互いに異なっていることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばアクティブマトリクス型液晶表示パネルのように、走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極と、この画素電極と容量結合された容量結合配線とを含んで構成される行を複数備えるとともに、各行のスイッチング素子の他端に接続されたデータ信号線を備えた表示パネルを駆動するための、表示駆動回路及び表示駆動方法に関するものである。

【背景技術】

【0002】

従来、アクティブマトリクス方式の液晶表示装置において、「CC (Charge Coupling) 駆動」と称される駆動方式が採用されている。このCC駆動は例えば特許文献1に開示されている。この特許文献1の開示内容を例にとり、CC駆動について説明すれば以下のとおりである。

【0003】

CC駆動を実現する装置の構成を図8の等価回路に、CC駆動における各種信号の動作波形を図9のタイミングチャートにそれぞれ示す。

【0004】

図8の等価回路に示すように、CC駆動を行う液晶表示装置は、複数のソースライン(信号線)101と、これらソースライン101に直交する複数のゲートライン(走査線)102と、これらの交点近傍に設けられたスイッチング素子103と、スイッチング素子103に接続された画素電極104と、ゲートライン102と対をなしかつ平行に配置さ

10

20

30

40

50

れた複数のCS (Capacity Storage) バスライン (共通電極線) 105と、画素電極104に一端を接続し他端はCSバスライン105に接続された保持容量106と、液晶107を介して対向する対向電極109とを画像表示部110内に設けている。

【0005】

スイッチング素子103は、非晶質シリコン(a-Si)、多結晶ポリシリコン(p-Si)、単結晶シリコン(c-Si)などによって形成され、その構造上ゲート-ドレイン間に容量108が形成される。この容量108により、ゲートライン102からのゲートパルスが画素電極104の電位を負側にシフトする現象が発生する。

【0006】

また、この液晶表示装置は、ソースライン101を駆動するソースライン駆動回路111、ゲートライン102を駆動するゲートライン駆動回路112、及びCSバスライン105を駆動するCSバスライン駆動回路113を画像表示部110の外側に設けている。

10

【0007】

この液晶表示装置における各種信号の動作波形は図9のとおりである。すなわち、あるゲートライン102の波形Wgは、当該ゲートライン102が選択されているH期間(水平走査期間)においてのみVonとなり、その他の期間はVoffに保持される。ソースライン101の波形Wsは、表示する映像信号によってその振幅は異なるが、H期間毎に極性が反転し、かつ、同一のゲートライン102に関する隣接するH期間では極性が逆転した波形となる(ライン反転駆動)。なお、図9では、一様な映像信号が入力されている場合を想定しているため、波形Wsの振幅は一定である。

20

【0008】

画素電極104の波形Wdは、WgがVonの期間では、スイッチング素子103が導通するので、ソースライン101の波形Wsと同電位となり、WgがVoffとなる瞬間、ゲート-ドレイン間容量108を通じて僅かに負側にシフトする。

【0009】

CSバスライン105の波形Wcは、対応するゲートライン102が選択されているH期間及びその次のH期間はVe+であり、さらにその次のH期間においてVe-へ切り替わり、その後、次のフィールドまでVe-を保持する。この切り替わりにより、画素電極104の波形Wdは、保持容量106を介して負側にシフトされることになる。

【0010】

その結果、画素電極104の波形Wdは、ソースライン101の波形Wsの振幅よりも大きな振幅を得ることになるので、ソースライン101の波形Wsとしてはより振幅を小さくすることができる。これにより、ソースライン駆動回路111における回路構成の簡略化、消費電力の削減を図ることができる。

30

【特許文献1】日本国公開特許公報「特開2001-83943号公報(公開日:2001年3月30日)」

【発明の開示】

【0011】

本願発明者らは、上述したライン反転駆動を前提としたCC駆動を採用した液晶表示装置において、表示開始時の表示に不具合が発生することに気付いた。その不具合とは、表示開始後の最初のフレームにおいて、1行(表示装置の1水平ライン)毎の明暗からなる横筋が観察されるというものであった。そこで、本願発明者らは、上記不具合の原因を検討することとした。

40

【0012】

その結果、本願発明者らは、各種信号の動作波形の関係が表示開始時と通常表示時とは一部異なっていることが原因であることを突き止めた。この原因について図10のタイミングチャートに基づいて説明すれば以下のとおりである。

【0013】

図10において、Vsyncは垂直走査のタイミングを規定する垂直同期信号、Hsyncは水平走査のタイミングを規定する水平同期信号である。そして、Vsyncの立ち

50

下がりから次の立ち下がりまでの期間が1垂直走査期間(1V期間)となり、Hsyncの立ち下がりから次の立ち下がりまでの期間が1水平走査期間(1H期間)となる。また、POLは、水平走査期間に同期して極性が反転する極性信号である。

【0014】

また、図10には、ソースライン駆動回路からあるソースライン(第x列に設けられたソースライン)に供給されるソース信号S、ゲートライン駆動回路及びCSバスライン駆動回路から第1行に設けられたゲートライン及びCSバスラインにそれぞれ供給されるゲート信号G1及びCS信号CS1、第1行かつ第x列に設けられた画素電極の電位波形 $P_{i \times 1}$ をこの順に図示している。また、第2行に設けられたゲートライン及びCSバスラインにそれぞれ供給されるゲート信号G2及びCS信号CS2、第2行かつ第x列に設けられた画素電極の電位波形 $P_{i \times 2}$ をこの順に図示し、さらに、第3行に設けられたゲートライン及びCSバスラインにそれぞれ供給されるゲート信号G3及びCS信号CS3、第3行かつ第x列に設けられた画素電極の電位波形 $P_{i \times 3}$ をこの順に図示している。なお、電位波形 $P_{i \times 1} \cdot P_{i \times 2} \cdot P_{i \times 3}$ における二点鎖線は対向電極の電位を示している。

10

【0015】

図10のタイミングチャートにおいて、液晶表示装置に電源が投入されるなどして液晶表示装置が動作し始めた後、表示すべき映像に応じた表示(以下「映像表示」と称する)の開始フレームである第1フレームの直前は、映像表示を行わない初期状態、すなわち、ソースライン駆動回路、ゲートライン駆動回路及びCSバスライン駆動回路の何れも通常動作に入る前の準備段階あるいは停止状態にある。そのため、ゲート信号G1・G2・G3はゲートオフ電位(スイッチング素子のゲートをオフする電位)に固定、CS信号CS1・CS2・CS3は一方の電位(例えばVss)に固定されている。

20

【0016】

初期状態の後の第1フレームでは、ソースライン駆動回路、ゲートライン駆動回路及びCSバスライン駆動回路の何れも通常動作を行う。

【0017】

これにより、ソース信号Sは、映像信号の示す階調に応じた振幅を有し、かつ、1H期間毎に極性が反転する信号となる。なお、図10では、一様な映像を表示する場合を想定しているため、ソース信号Sの振幅は一定である。また、ゲート信号G1・G2・G3は、各フレームのアクティブ期間(有効走査期間)におけるそれぞれ第1、第2及び第3番目の1H期間においてゲートオン電位(スイッチング素子のゲートをオンする電位)となり、その他の期間においてゲートオフ電位となる。

30

【0018】

そして、CS信号CS1・CS2・CS3は、対応するゲート信号G1・G2・G3の立ち下がりの後に反転し、かつ、その反転方向が互いに逆の関係となるような波形をとる。すなわち、奇数フレームでは、CS信号CS1・CS3は対応するゲート信号G1・G3が立ち下がった後に立ち上がり、CS信号CS2は対応するゲート信号G2が立ち下がった後に立ち下がることになり、偶数フレームでは、CS信号CS1・CS3は対応するゲート信号G1・G3が立ち下がった後に立ち下がり、CS信号CS2は対応するゲート信号G2が立ち下がった後に立ち上がることになる(なお、上述した説明において、奇数フレームと偶数フレームとは逆であってもよい)。なお、CS信号の反転するタイミングは、ゲート信号の立ち下がり以降、すなわち対応する水平走査期間以降であればよく、水平走査期間が終了する瞬間(ゲート信号の立ち下がりに同期して反転)であってもよい。

40

【0019】

ただし、第1フレームについては、初期状態においてCS信号CS1・CS2・CS3が何れも一方の電位に固定されていることから、変則的な波形となる。すなわち、CS信号CS1・CS3は対応するゲート信号G1・G3の立ち下がりの後に立ち上がることになる点では他の奇数フレームと同じであるが、CS信号CS2は対応するゲート信号G2の立ち下がりの後において同一電位を保持している点において他の奇数フレームとは異なる

50

る。

【0020】

この変則的な波形こそが、表示開始時の表示不具合の原因である。つまり、第1フレームにおいて第1行・第3行の画素電極では、CS信号CS1・CS3の電位変化が通常どおり起こるため、電位波形 $P_{i \times 1}$ ・ $P_{i \times 3}$ はCS信号CS1・CS3の電位変化に起因する電位シフトを受けたものとなる一方、第2行の画素電極では、CS信号CS2の電位変化が起こらないため、電位波形 $P_{i \times 2}$ は電位シフトを受けないものとなる(図10の斜線部)。その結果、同一階調のソース信号Sが入力されているにもかかわらず、電位波形 $P_{i \times 1}$ ・ $P_{i \times 3}$ と、 $P_{i \times 2}$ とは異なるものとなり、第1行及び第3行と、第2行との間で輝度差が生じてしまう。この輝度差は、画像表示部全体としては奇数行と偶数行との間の輝度差として現れることになる。そのため、第1フレームの映像には、1行毎の明暗からなる横筋が観察されてしまうことになる。

10

【0021】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、上述した横筋の発生を解消して表示品位の向上を図ることができる表示駆動回路及び表示駆動方法を提供することにある。

【0022】

本発明に係る表示駆動回路は、走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極と、この画素電極と容量結合された容量結合配線とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を備えた表示パネルを駆動して、前記画素電極の電位に応じた階調表示を行わせるための表示駆動回路であって、上記課題を解決するために、前記各行に順次割り当てられた水平走査期間に当該行のスイッチング素子をオンするための走査信号を出力する走査信号線駆動回路と、前記各行の水平走査期間に同期して極性が反転しつつ、同一行の隣接する水平走査期間では極性が逆転するようなデータ信号を出力するデータ信号線駆動回路と、前記各行の水平走査期間以降に、この水平走査期間におけるデータ信号の極性に応じて定められた方向へ2値の電位の間で電位が切り替わる電位シフト信号を出力する容量結合配線駆動回路とを備え、前記容量結合配線駆動回路は、表示すべき映像に応じたデータ信号の出力を開始する第1垂直走査期間において、当該行のスイッチング素子がオンからオフに切り替えられた時点の前記電位シフト信号の電位が、隣接する行では互いに異なるように、該電位シフト信号を出力することを特徴としている。

20

30

【0023】

上記表示駆動回路によって駆動される表示パネルは、上述のとおり構成を有しており、その典型的な配置は例えば、行列状に画素電極が多数配列され、各行に沿って走査信号線、スイッチング素子及び容量結合配線が配置され、各列に沿ってデータ信号線が配置されたものである。なお、この典型的な配置において、「行」及び「列」、「水平」及び「垂直」は、それぞれ表示パネルの横方向及び縦方向の並びであることが多いが、必ずしもこのとおりである必要はなく、縦横の関係が逆転していてもよい。したがって、本発明における「行」、「列」、「水平」及び「垂直」とは、特に方向を限定するものではない。

40

【0024】

この表示パネルを駆動する上記表示駆動回路は、走査信号によって、各行に順次割り当てられた水平走査期間に当該行のスイッチング素子をオンし、このオンされたスイッチング素子に接続された画素電極に対し、各行の水平走査期間に同期して極性が反転しつつ、同一行の隣接する水平走査期間では極性が逆転するようなデータ信号に応じた電位を書き込む。これにより、いわゆるライン反転駆動が実現される。

【0025】

また、上記表示駆動回路は、電位シフト信号によって、容量結合配線と容量結合された画素電極の電位をシフトさせる。この電位シフト信号は、各行の水平走査期間以降に2値の電位の間で電位が切り替わるものであり、この切り替わりの方向(ローレベルからハイ

50

レベル、又はハイレベルからローレベル。)は各行の水平走査期間におけるデータ信号の極性に依りて定められた方向である。これにより、いわゆるCC駆動が実現される。

【0026】

このようなライン反転駆動を前提としたCC駆動の場合、通常、上述したとおり、表示すべき映像に応じたデータ信号の出力を開始する第1垂直走査期間(第1フレーム)において、1行(1ライン)毎の明暗からなる横筋が観察されてしまうことになる。これは、同欄において詳述したとおり、第1垂直走査期間については電位シフト信号(CS信号CS1・CS2)が、第1垂直走査期間よりも後の通常の垂直走査期間とは異なる変則的な波形となるためである。

【0027】

そこで、上記表示駆動回路では、前記容量結合配線駆動回路により、当該行のスイッチング素子がオンからオフに切り替えられた時点の前記電位シフト信号の電位が、隣接する行では互いに異なるように、該電位シフト信号が出力される。これにより、第1垂直走査期間において横筋の原因となる上記変則的な波形を解消することができ、第1垂直走査期間における横筋の発生を防止して表示品位の向上を図るという効果を奏することができる。

【0028】

本発明に係る表示駆動回路は、上記表示駆動回路において、前記容量結合配線駆動回路は、当該行における前記電位シフト信号の電位が、当該行のスイッチング素子がオンしたときと、当該行よりも後の次行のスイッチング素子がオンしたときとで互いに異なるように、前記電位シフト信号を出力することが望ましい。

【0029】

上記の構成によれば、電位シフト信号は、当該行における該電位シフト信号の電位が、当該行のスイッチング素子がオンしたときと、当該行よりも後の次行のスイッチング素子がオンしたときとで互いに異なるため、当該行のスイッチング素子がオンからオフに切り替えられた時点の電位が、隣接する行で互いに異なることになる。

【0030】

これにより、第1垂直走査期間において横筋の原因となる上記変則的な波形を解消することができる。

【0031】

本発明に係る表示駆動回路は、上記表示駆動回路において、前記容量結合配線駆動回路は、当該行の走査信号及び当該行よりも後の次行の走査信号を入力する第1の入力部と、前記電位シフト信号の電位に対応する、前記各行の水平走査期間に同期して極性が反転する極性信号を入力する第2の入力部と、当該行における前記電位シフト信号を出力する出力部とを備え、当該行の走査信号が前記第1の入力部に入力されたときの、前記第2の入力部に入力された前記極性信号の第1の極性を、前記電位シフト信号の第1の電位として出力する一方、当該行よりも後の次行の走査信号が前記第1の入力部に入力されたときの、前記第2の入力部に入力された前記極性信号の第2の極性を、前記電位シフト信号の第2の電位として出力することが望ましい。

【0032】

なお、前記容量結合配線駆動回路は、Dラッチ回路により構成されていてもよい。

【0033】

これにより、簡易な回路構成により、上述した、第1垂直走査期間における横筋の発生を防止して表示品位の向上を図るという効果を奏することができる。

【0034】

本発明に係る表示駆動回路は、上記表示駆動回路において、前記容量結合配線駆動回路は、前記電位シフト信号の初期状態における電位が、隣接する行では互いに異なるように、該電位シフト信号を出力することが望ましい。

【0035】

ここで、初期状態とは、液晶表示装置に電源が投入されるなどして液晶表示装置が動作

10

20

30

40

50

を開始する時点の状態を言い、この初期状態では、容量結合配線駆動回路は、通常動作に入る前の準備段階あるいは停止状態にある。

【0036】

上記の構成では、初期状態において、既に電位シフト信号の電位レベルが、隣接する行で互いに異なるため、第1垂直走査期間から容量結合配線駆動回路の動作を適正に開始することが可能となる。これにより、第1垂直走査期間において横筋の原因となる上記変則的な波形を解消することができる。

【0037】

本発明に係る表示駆動回路は、上記表示駆動回路において、前記信号線駆動回路及び容量結合配線駆動回路を制御する制御回路をさらに備え、前記制御回路は、前記電位シフト信号の初期状態における電位が、隣接する行では互いに異なるように、前記各行の水平走査期間に同期して極性が反転する極性信号に応じた、隣接する行で互いに異なる制御信号を、前記容量結合配線駆動回路に入力することが望ましい。

10

【0038】

上記の構成によれば、初期状態における電位シフト信号の電位レベルを、隣接する行で互いに異ならせることができるため、第1垂直走査期間において横筋の原因となる上記変則的な波形を解消することができる。

【0039】

本発明に係る表示駆動回路は、上記表示駆動回路において、前記制御回路は、前記第1垂直走査期間において当該行の走査信号がオンするときの前記極性信号が第1の極性となる場合には、第1の制御信号を出力する一方、前記第1垂直走査期間において当該行の走査信号がオンするときの前記極性信号が第2の極性となる場合には、第2の制御信号を出力することが望ましい。

20

【0040】

上記の構成によれば、極性信号の極性に応じて、異なる制御信号が出力される。ここで、第1垂直走査期間において走査信号がオンしているときの極性信号は、隣接する行で互いに異なる。そのため、隣接する行において、互いに異なる制御信号が入力されることになる。これにより、初期状態における電位シフト信号の電位レベルを、隣接する行で互いに異ならせることができる。

【0041】

30

本発明に係る表示駆動回路は、上記表示駆動回路において、前記容量結合配線駆動回路は、Dラッチ回路により構成され、前記制御回路は、前記第1垂直走査期間において当該行の走査信号がオンするときの前記極性信号の極性がローとなる場合には、前記第1の制御信号としてのリセット信号を、前記容量結合配線駆動回路に入力する一方、前記第1垂直走査期間において当該行の走査信号がオンするときの前記極性信号の極性がハイとなる場合には、前記第2の制御信号としてのセット信号を、前記容量結合配線駆動回路に入力することが望ましい。

【0042】

これにより、簡易な回路構成により、初期状態における電位シフト信号の電位レベルを、隣接する行で互いに異ならせることができる。

40

【0043】

本発明に係る表示駆動回路は、上記表示駆動回路において、前記容量結合配線駆動回路は、当該行よりも後の次行の走査信号を入力する第1の入力部と、前記電位シフト信号の電位レベルに対応する、前記各行の水平走査期間に同期して極性が反転する極性信号を入力する第2の入力部と、当該行における前記電位シフト信号を出力する出力部とを備え、当該行よりも後の次行の走査信号が前記第1の入力部に入力されたときの、前記第2の入力部に入力された前記極性信号の極性に基づいて、前記電位シフト信号の電位を切り替えることが望ましい。

【0044】

上記の構成によれば、当該行よりも後の次行の走査信号が前記第1の入力部に入力され

50

たときの、前記第2の入力部に入力された前記極性信号の極性に基づいて、前記電位シフト信号の電位を切り替えている。すなわち、電位シフト信号の電位の切り替えにおいて、当該行の走査信号を考慮する必要がない。そのため、回路構成を簡略化することが可能となる。

【0045】

本発明に係る表示装置は、上記何れかの表示駆動回路と、前記表示パネルとを備えることを特徴としている。

【0046】

上記構成では、上記表示駆動回路による横筋の発生防止効果により、表示品位の良好な表示装置を提供することができる。

10

【0047】

本発明に係る表示駆動方法は、走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極と、この画素電極と容量結合された容量結合配線とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を備えた表示パネルを駆動して、前記画素電極の電位に応じた階調表示を行わせるための表示駆動方法であって、上記課題を解決するために、前記各行に順次割り当てられた水平走査期間に当該行のスイッチング素子をオンするための走査信号を出力する走査信号線駆動処理と、前記各行の水平走査期間に同期して極性が反転しつつ、同一行の隣接する水平走査期間では極性が逆転するようなデータ信号を出力するデータ信号線駆動処理と、前記各行の水平走査期間以降に、この水平走査期間におけるデータ信号の極性に応じて定められた方向へ2値の電位の間で電位が切り替わる電位シフト信号を出力する容量結合配線駆動処理とを含み、前記容量結合配線駆動処理では、表示すべき映像に応じたデータ信号の出力を開始する第1垂直走査期間において、当該行のスイッチング素子がオンからオフに切り替えられた時点の前記電位シフト信号の電位が、隣接する行では互いに異なるように、該電位シフト信号を出力することを特徴としている。

20

【0048】

上記方法では、上記表示駆動回路に関して述べた効果と同じく、第1垂直走査期間における横筋の発生を防止して表示品位の向上を図るという効果を奏することができる。

【0049】

なお、本発明に係る表示装置は、液晶表示装置であることが望ましい。

30

【0050】

本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明によって明白になるであろう。

【図面の簡単な説明】

【0051】

【図1】本発明の実施の一形態に係る液晶表示装置の構成を示すブロック図である。

【図2】図1の液晶表示装置における各画素の電氣的構成を示す等価回路図である。

【図3】実施の形態1における液晶表示装置の各種信号の波形を示すタイミングチャートである。

40

【図4】実施の形態1におけるCSバスライン駆動回路の構成を示すブロック図である。

【図5】実施の形態1におけるCSバスライン駆動回路に入出力される各種信号の波形を示すタイミングチャートである。

【図6】実施の形態2における液晶表示装置の各種信号の波形を示すタイミングチャートである。

【図7】実施の形態2におけるCSバスライン駆動回路の構成を示すブロック図である。

【図8】CC駆動を行う従来の液晶表示装置の構成を示すブロック図である。

【図9】従来のCC駆動における各種信号の波形を示すタイミングチャートである。

【図10】液晶表示装置における各種信号の波形の比較例を示すタイミングチャートであ

50

る。

【符号の説明】

【0052】

- 1 液晶表示装置（表示装置）
- 10 液晶表示パネル（表示パネル）
- 11 ソースバスライン（データ信号線）
- 12 ゲートライン（走査信号線）
- 13 T F T（スイッチング素子）
- 14 画素電極
- 15 C Sバスライン（容量結合配線）
- 20 ソースバスライン駆動回路（データ信号線駆動回路）
- 30 ゲートライン駆動回路（走査信号線駆動回路）
- 40 C Sバスライン駆動回路（容量結合配線駆動回路）
- 41 a, 42 a, 43 a, 4 n a Dラッチ回路（容量結合配線駆動回路）
- 50 コントロール回路（制御回路）

10

【発明を実施するための最良の形態】

【0053】

本発明の一実施形態について図1から図7に基づいて説明すると以下の通りである。

【0054】

まず、図1及び図2に基づいて本発明の表示装置に相当する液晶表示装置1の構成について説明する。なお、図1は液晶表示装置1の全体構成を示すブロック図であり、図2は液晶表示装置1の画素の電氣的構成を示す等価回路図である。

20

【0055】

液晶表示装置1は、本発明の表示パネル、データ信号線駆動回路、走査信号線駆動回路、容量結合配線駆動回路、及び制御回路にそれぞれ相当するアクティブマトリクス型の液晶表示パネル10、ソースバスライン駆動回路20、ゲートライン駆動回路30、C Sバスライン駆動回路40、及びコントロール回路50を備えている。

【0056】

液晶表示パネル10は、図示しないアクティブマトリクス基板と対向基板との間に液晶を挟持して構成されており、行列状に配列された多数の画素Pを有している。

30

【0057】

そして、液晶表示パネル10は、アクティブマトリクス基板上に、本発明のデータ信号線、走査信号線、スイッチング素子、画素電極、及び容量結合配線にそれぞれ相当するソースバスライン11、ゲートライン12、薄膜トランジスタ（Thin Film Transistor；以下「T F T」と称する）13、画素電極14、及びC Sバスライン15を備え、対向基板上に対向電極19を備えている。なお、T F T 13は、図2にのみ図示し、図1では省略している。

【0058】

ソースバスライン11は、列方向（縦方向）に互いに平行となるように各列に1本ずつ形成されており、ゲートライン12は行方向（横方向）に互いに平行となるように各行に1本ずつ形成されている。T F T 13及び画素電極14は、ソースバスライン11とゲートライン12との各交点に対応してそれぞれ形成されており、T F T 13のソース電極sがソースバスライン11に、ゲート電極gがゲートライン12に、ドレイン電極dが画素電極14にそれぞれ接続されている。また、画素電極14は、対向電極19との間に液晶を介して液晶容量17を形成している。

40

【0059】

これにより、ゲートライン12に供給されるゲート信号（走査信号）によってT F T 13のゲートをオンし、ソースバスライン11からのソース信号（データ信号）を画素電極14に書き込んで画素電極14を上記ソース信号に応じた電位に設定し、対向電極19との間に介在する液晶に対して上記ソース信号に応じた電圧を印加することによって、上記

50

ソース信号に応じた階調表示を実現することができる。

【0060】

CSバスライン15は、行方向（横方向）に互いに平行となるように各行に1本ずつ形成されており、ゲートライン12と対をなすように配置されている。この各CSバスライン15は、それぞれ各行に配置された画素電極14と容量結合されており、各画素電極14との間で保持容量（「補助容量」ともいう。）16を形成している。

【0061】

なお、TFT13には、その構造上、ゲート電極gとドレイン電極dとの間に引込容量18が形成されてしまうことから、画素電極14の電位はゲートライン12の電位変化による影響（引き込み）を受けることになるが、説明の簡略化のため、上記影響については考慮しないこととする。

10

【0062】

上記構成の液晶表示パネル10は、ソースバスライン駆動回路20、ゲートライン駆動回路30、CSバスライン駆動回路40、及びこれらを制御するコントロール回路50によって駆動される。上記各回路は、本発明の表示駆動回路に相当している。

【0063】

本実施形態では、周期的に繰り返される垂直走査期間におけるアクティブ期間（有効走査期間）において、各行の水平走査期間を順次割り当て、各行を順次走査していく。

【0064】

そのために、ゲートライン駆動回路30は、TFT13をオンするためのゲート信号を各行の水平走査期間に同期して当該行のゲートライン12に対して順次出力する。

20

【0065】

また、ソースバスライン駆動回路20は、各ソースバスライン11に対してソース信号を出力する。このソース信号は、液晶表示装置1の外部からコントロール回路50を介してソースバスライン駆動回路20に供給された映像信号を、ソースバスライン駆動回路20において各列に割り当て、昇圧等を施した信号である。また、ソースバスライン駆動回路20は、いわゆるライン反転駆動を行うために、出力するソース信号の極性を、各行の水平走査期間に同期して反転させつつ、同一行の隣接する水平走査期間では逆転するようにしている。例えば、第1行の水平走査期間と、第2行の水平走査期間とでは、ソース信号の極性は反転しており、また、第1フレームにおける第1行の水平走査期間と、第2フレームにおける第1行の水平走査期間とでは、ソース信号の極性は逆転している（後述する図3参照）。

30

【0066】

CSバスライン駆動回路40は、本発明の電位シフト信号に相当するCS信号を各CSバスライン15に対して出力する。このCS信号は、電位が2値の間で切り替わる（立ち上がる、又は立ち下がる）ものであり、当該行のTFT13がオンからオフに切り替えられた時点（ゲート信号が立ち下がった時点）の電位が、隣接する行では互いに異なるように制御されている。このCSバスライン駆動回路40の詳細については後述する。

【0067】

コントロール回路50は、上述したゲートライン駆動回路30、ソースバスライン駆動回路20、CSバスライン駆動回路40を制御することにより、これら各回路から図3に示す信号を出力させるものである。

40

【0068】

本発明は、上記各部材により構成される液晶表示装置1において、特に、CSバスライン駆動回路に特徴を有するものであり、以下では、CSバスライン駆動回路40及び40'の詳細について、それぞれ、実施の形態1及び2に説明する。なお、各実施の形態においては、CSバスライン駆動回路40を備える液晶表示装置1、及びCSバスライン駆動回路40'を備える液晶表示装置1として説明する。

【0069】

〔実施の形態1〕

50

図3は、実施の形態1の液晶表示装置1における各種信号の波形を示すタイミングチャートである。図3では、図10と同じく、Vsyncは垂直走査のタイミングを規定する垂直同期信号、Hsyncは水平走査のタイミングを規定する水平同期信号である。そして、Vsyncの立ち下がりから次の立ち下がりまでの期間が1垂直走査期間(1V期間)となり、Hsyncの立ち下がりから次の立ち下がりまでの期間が1水平走査期間(1H期間)となる。また、POLは、水平走査期間に同期して極性が反転する極性信号である。

【0070】

また、図3では、ソースバスライン駆動回路20からあるソースバスライン11(第x列に設けられたソースバスライン11)に供給されるソース信号S、ゲートライン駆動回路30及びCSバスライン駆動回路40から第1行に設けられたゲートライン12及びCSバスライン15にそれぞれ供給されるゲート信号G1及びCS信号CS1、第1行かつ第x列に設けられた画素電極14の電位波形Pix1をこの順に図示している。また、第2行に設けられたゲートライン12及びCSバスライン15にそれぞれ供給されるゲート信号G2及びCS信号CS2、第2行かつ第x列に設けられた画素電極14の電位波形Pix2をこの順に図示し、さらに、第3行に設けられたゲートライン12及びCSバスライン15にそれぞれ供給されるゲート信号G3及びCS信号CS3、第3行かつ第x列に設けられた画素電極14の電位波形Pix3をこの順に図示している。なお、電位波形Pix1・Pix2・Pix3における点線は対向電極19の電位を示している。

【0071】

図3のタイミングチャートでは、液晶表示装置1に電源が投入されるなどして液晶表示装置1が動作し始めた後、表示すべき映像に応じた表示(以下「映像表示」と称する。)の開始フレームである第1フレームの直前は、映像表示を行わない初期状態である。

【0072】

本実施の形態1では、図3に示すように、初期状態においては、図10の場合と同様、CS信号CS1・CS2・CS3は何れも一方の電位(図3ではローレベル)に固定されているが、CS信号CS2は、対応するゲート信号G2の立ち上がりに同期してローレベルからハイレベルへ切り替わり、ゲート信号G2の立ち下がるの時点においては、ハイレベルとなっている。そのため、各行において、対応するゲート信号が立ち下がる時点のCS信号の電位は、隣接する行におけるCS信号の電位とは互いに異なっている。例えば、CS信号CS1では、対応するゲート信号G1が立ち下がる時点でローレベルであり、CS信号CS2では、上述したように、対応するゲート信号G2が立ち下がる時点でハイレベルであり、CS信号CS3では、対応するゲート信号G3が立ち下がる時点でローレベルである。

【0073】

ここで、ソース信号Sは、映像信号の示す階調に応じた振幅を有し、かつ、1H期間毎に極性が反転する信号となる。なお、図3では、一樣な映像を表示する場合を想定しているため、ソース信号Sの振幅は一定である。また、ゲート信号G1・G2・G3は、各フレームのアクティブ期間(有効走査期間)におけるそれぞれ第1、第2及び第3番目の1H期間においてゲートオン電位となり、その他の期間においてゲートオフ電位となる。

【0074】

そして、CS信号CS1・CS2・CS3は、対応するゲート信号G1・G2・G3の立ち下がりの後に反転し、かつ、その反転方向が互いに逆の関係となるような波形をとる。すなわち、奇数フレーム(第1フレーム、第3フレーム、...)では、CS信号CS1・CS3は対応するゲート信号G1・G3が立ち下がった後に立ち上がり、CS信号CS2は対応するゲート信号G2が立ち下がった後に立ち下がることになり、偶数フレーム(第2フレーム、第4フレーム、...)では、CS信号CS1・CS3は対応するゲート信号G1・G3が立ち下がった後に立ち下がり、CS信号CS2は対応するゲート信号G2が立ち下がった後に立ち上がることとなる(なお、上述した説明において、奇数フレームと偶数フレームとは逆であってもよい)。

【 0 0 7 5 】

図3のタイミングチャートでは、第1フレームにおいてゲート信号が立ち下がる時点のCS信号の電位が、隣接する行では互いに異なっているため、第1フレームにおけるCS信号CS1・CS2・CS3は通常の奇数フレーム（例えば、第3フレーム）と同じ波形となる。そのため、画素電極14の電位波形Pix1・Pix2・Pix3は何れもCS信号CS1・CS2・CS3によって適正にシフトされることになるので、同一階調のソース信号Sが入力されると、対向電極電位とシフト後の画素電極14の電位との電位差は正極性と負極性とで同じになる。その結果、第1フレームにおける横筋の発生を解消し、表示品位の向上を図ることができる。

【 0 0 7 6 】

（CSバスライン駆動回路40の構成）

本実施の形態1におけるCSバスライン駆動回路40では、上述のように、第1フレームにおいて、CS信号CS2は、対応するゲート信号G2の立ち上がり同期してローレベルからハイレベルへ切り替わる。このように、1行毎（CS2、CS4、...）に、CS信号が、対応するゲート信号の立ち上がり同期してローレベルからハイレベルへ切り替わることにより、各行において、対応するゲート信号が立ち下がる時点のCS信号の電位が、隣接する行におけるCS信号の電位とは互いに異なるようになる。

【 0 0 7 7 】

ここで、上述した制御を実現するためのCSバスライン駆動回路40の具体的な構成について説明する。

【 0 0 7 8 】

上述した制御を実現するために、CSバスライン駆動回路40は、その内部に図4に示す複数の回路41、42、43、...、4nを、各行に対応して備えている。

【 0 0 7 9 】

各回路41、42、43、...、4nは、それぞれ、Dラッチ回路41a、42a、43a、...、4na、OR回路41b、42b、43b、...、4nbを備えている。以下では、説明の便宜上、第1及び第2行目に対応する回路41・42を代表例に挙げて説明する。

【 0 0 8 0 】

回路41への入力信号は、ゲート信号G1、G2、極性信号POL、及びリセット信号RESETであり、回路42への入力信号は、ゲート信号G2、G3、極性信号POL、及びリセット信号RESETである。極性信号POL及びリセット信号RESETは、コントロール回路50から入力される。

【 0 0 8 1 】

Dラッチ回路41aの端子CLには、リセット信号RESETが入力され、端子D（第2の入力部）には、極性信号POLが入力され、端子G（第1の入力部）には、OR回路41bの出力が入力される。このDラッチ回路41aは、端子Gに入力される信号の電位レベルの変化（ローレベル→ハイレベル、又はハイレベル→ローレベル）に応じて、端子Dに入力される極性信号POLの入力状態（ローレベル又はハイレベル）を電位レベルの変化を示すCS信号CS1として出力するものである。具体的には、Dラッチ回路41aは、端子Gに入力される信号の電位レベルがハイレベルのときは、端子Dに入力される極性信号POLの入力状態（ローレベル又はハイレベル）を出力し、端子Gに入力される信号の電位レベルがハイレベルからローレベルに変化すると、変化した時点の端子Dに入力される極性信号POLの入力状態（ローレベル又はハイレベル）をラッチし、次に端子Gに入力される信号の電位レベルがハイレベルになるまでラッチした状態を保持する。そして、Dラッチ回路41aの端子Qから、電位レベルの変化を示すCS信号CS1として出力される。

【 0 0 8 2 】

また、Dラッチ回路42aの端子CL及び端子Dには、同様に、リセット信号RESET及び極性信号POLが入力される一方、端子Gには、OR回路42bの出力が入力され

10

20

30

40

50

る。これにより、Dラッチ回路42aの端子Q（出力部）から、電位レベルの変化を示すCS信号CS2が出力される。

【0083】

OR回路41bは、対応するゲートライン12のゲート信号G1、及び次行のゲートライン12のゲート信号G2が入力されることにより、図5に示す信号g1を出力する。また、OR回路42bは、対応するゲートライン12のゲート信号G2、及び次行のゲートライン12のゲート信号G3が入力されることにより、図5に示す信号g2を出力する。なお、各OR回路に入力されるゲート信号は、図4に示す、D型フリップフロップ回路を備えるゲートライン駆動回路30において、周知の方法により生成されるものであり、詳細な説明は省略する。

10

【0084】

図5は、液晶表示装置1のCSバスライン駆動回路40に入出力される各種信号の波形を示すタイミングチャートである。

【0085】

まず、第1行目の各種信号の波形の変化について説明する。初期状態において、回路41におけるDラッチ回路41aの端子Dには極性信号POLが入力され、端子CLにはリセット信号RESETが入力される。このリセット信号RESETにより、Dラッチ回路41aの端子Qから出力されるCS信号CS1の電位はローレベルで保持される。その後、ゲートライン駆動回路30から、1行目のゲートライン12にゲート信号G1が供給されるとともに、回路41におけるOR回路41bの一方の端子にもゲート信号G1が20

入力される。すると、端子Gには、信号g1におけるゲート信号G1の電位変化（ローハイ）が入力され、このときの端子Dに入力される極性信号POLの入力状態、すなわちローレベルが転送され、次に端子Gに入力される信号g1におけるゲート信号G1の電位変化（ハイロー）があるまで（信号g1がハイレベルの期間）、ローレベルが出力される。次に、端子Gに信号g1におけるゲート信号G1の電位変化（ハイロー）が入力されると、このときの極性信号POLの入力状態、すなわちローレベルがラッチされる。その後、信号g1がハイレベルになるまで、ローレベルを保持する。

【0086】

次に、OR回路41bの他方の端子に、ゲートライン駆動回路30において2行目にシフトされたゲート信号G2が入力される。なお、このゲート信号G2は、さらに、2行目のゲートライン12に供給されるとともに、回路42におけるOR回路42bの一方の端子に入力される。30

【0087】

そして、Dラッチ回路41aの端子Gには、信号g1におけるゲート信号G2の電位変化（ローハイ）が入力され、このときの端子Dに入力される極性信号POLの入力状態、すなわちハイレベルが転送される。すなわち、ゲート信号G2が電位変化（ローハイ）したタイミングで、CS信号CS1の電位が、ローレベルからハイレベルに切り替わる。そして、次に端子Gに入力される信号g1におけるゲート信号G2の電位変化（ハイロー）があるまで（信号g1がハイレベルの期間）、ハイレベルが出力される。次に、端子Gに信号g1におけるゲート信号G2の電位変化（ハイロー）が入力されると、このときの極性信号POLの入力状態、すなわちハイレベルがラッチされる。その後、信号g1が第2フレームにおいてハイレベルになるまで、ハイレベルを保持する。40

【0088】

第2フレームでは、信号g1におけるゲート信号G1のハイレベルの期間、端子Dに入力される極性信号POLの入力状態（ハイレベル）が転送された後、ゲート信号G1の電位変化（ハイロー）が入力されたときの極性信号POLの入力状態（ハイレベル）がラッチされ、信号g1が次にハイレベルになるまで、ハイレベルを保持する。

【0089】

次に、Dラッチ回路41aの端子Gには、ゲート信号G2の電位変化（ローハイ）が入力され、このときの端子Dに入力される極性信号POLの入力状態、すなわちローレベ50

ルが転送される。すなわち、ゲート信号 G 2 が電位変化（ロー ハイ）したタイミングで、CS 信号 CS 1 の電位が、ハイレベルからローレベルに切り替わる。そして、次に端子 G に入力されるゲート信号 G 2 の電位変化（ハイ ロー）があるまで（信号 g 1 がハイレベルの期間）、ローレベルが出力される。次に、端子 G にゲート信号 G 2 の電位変化（ハイ ロー）が入力されると、このときの極性信号 POL の入力状態、すなわちローレベルがラッチされる。その後、信号 g 1 が第 3 フレームにおいてハイレベルになるまで、ローレベルを保持する。第 3 フレーム以降では、上記第 1 フレーム及び第 2 フレームの処理が交互に繰り返される。

【0090】

次に、第 2 行目の各種信号の波形の変化について説明する。初期状態において、回路 4 2 における D ラッチ回路 4 2 a の端子 D には極性信号 POL が入力され、端子 CL にはリセット信号 RESET が入力される。このリセット信号 RESET により、D ラッチ回路 4 2 a の端子 Q から出力される CS 信号 CS 2 の電位はローレベルで保持される。その後、上述したように、ゲートライン駆動回路 3 0 から、2 行目のゲートライン 1 2 にゲート信号 G 2 が供給されるとともに、回路 4 2 における OR 回路 4 2 b の一方の端子にもゲート信号 G 2 が入力される。すると、端子 G には、信号 g 2 におけるゲート信号 G 2 の電位変化（ロー ハイ）が入力され、このときの端子 D に入力される極性信号 POL の入力状態、すなわちハイレベルが転送される。すなわち、ゲート信号 G 2 が電位変化（ロー ハイ）したタイミングで、CS 信号 CS 2 の電位が、ローレベルからハイレベルに切り替わる。次に端子 G に入力される信号 g 2 におけるゲート信号 G 2 の電位変化（ハイ ロー）があるまで（信号 g 2 がハイレベルの期間）、ハイレベルが出力される。次に、端子 G に信号 g 2 におけるゲート信号 G 2 の電位変化（ハイ ロー）が入力されると、このときの極性信号 POL の入力状態、すなわちハイレベルがラッチされる。その後、信号 g 2 がハイレベルになるまで、ハイレベルを保持する。

【0091】

次に、OR 回路 4 2 b の他方の端子に、ゲートライン駆動回路 3 0 において 3 行目にシフトされたゲート信号 G 3 が入力される。なお、このゲート信号 G 3 は、さらに、3 行目のゲートライン 1 2 に供給されるとともに、回路 4 3 における OR 回路 4 3 b の一方の端子に入力される。

【0092】

そして、D ラッチ回路 4 2 a の端子 G には、信号 g 2 におけるゲート信号 G 3 の電位変化（ロー ハイ）が入力され、このときの端子 D に入力される極性信号 POL の入力状態、すなわちローレベルが転送される。すなわち、ゲート信号 G 3 が電位変化（ロー ハイ）したタイミングで、CS 信号 CS 2 の電位が、ハイレベルからローレベルに切り替わる。そして、次に端子 G に入力される信号 g 2 におけるゲート信号 G 3 の電位変化（ハイ ロー）があるまで（信号 g 2 がハイレベルの期間）、ローレベルが出力される。次に、端子 G に信号 g 2 におけるゲート信号 G 3 の電位変化（ハイ ロー）が入力されると、このときの極性信号 POL の入力状態、すなわちローレベルがラッチされる。その後、信号 g 2 が第 2 フレームにおいてハイレベルになるまで、ローレベルを保持する。

【0093】

第 2 フレームでは、信号 g 2 におけるゲート信号 G 2 のハイレベルの期間、端子 D に入力される極性信号 POL の入力状態（ローレベル）が転送された後、ゲート信号 G 2 の電位変化（ハイ ロー）が入力されたときの極性信号 POL の入力状態（ローレベル）がラッチされ、信号 g 2 が次にハイレベルになるまで、ローレベルを保持する。

【0094】

次に、D ラッチ回路 4 2 a の端子 G には、ゲート信号 G 3 の電位変化（ロー ハイ）が入力され、このときの端子 D に入力される極性信号 POL の入力状態、すなわちハイレベルが転送される。すなわち、ゲート信号 G 3 が電位変化（ロー ハイ）したタイミングで、CS 信号 CS 2 の電位が、ローレベルからハイレベルに切り替わる。そして、次に端子 G に入力されるゲート信号 G 3 の電位変化（ハイ ロー）があるまで（信号 g 2 がハイレ

10

20

30

40

50

ベルの期間)、ハイレベルが出力される。次に、端子Gにゲート信号G3の電位変化(ハイロー)が入力されると、このときの極性信号POLの入力状態、すなわちハイレベルがラッチされる。その後、信号g2が第3フレームにおいてハイレベルになるまで、ハイレベルを保持する。

【0095】

なお、この第2行目の第2フレームの動作は、第1行目の第1フレームの動作と同様であり、2行目の第3フレーム以降では、第1行目の上記第2フレーム及び第3フレームの処理が交互に繰り返される。そして、上述の第1行目の動作及び第2行目の動作は、各奇数行及び各偶数行における動作を示している。

【0096】

このように、各行に対応した回路41, 42, 43, ..., 4nにより、全フレームにおいて、当該行のゲート信号が立ち下がった時点(TFT13がオンからオフに切り替えられた時点)のCS信号の電位が、隣接する行では互いに異なるように、該CS信号が出力される。すなわち、本実施の形態1では、n行目のCSバスライン15に出力されるCS信号は、n行目のゲート信号Gnの立ち上がり時の極性信号POLの電位レベル、及び、(n+1)行目のゲート信号G(n+1)の立ち上がり時の極性信号POLの電位レベルをラッチすることにより生成される。これにより、第1フレームにおいてCSバスライン駆動回路40を適正に動作させることが可能となるため、第1フレームにおいて横筋の原因となる上記変則的な波形を解消することができ、第1フレームにおける横筋の発生を防止して表示品位の向上を図るといった効果を奏することができる。

【0097】

なお、本実施の形態1におけるCSバスライン駆動回路40は、既存のゲートライン駆動回路30の内部に組み込まれる構成であっても良く、また、ゲートライン駆動回路30の外部に設けられるとともに、ゲートライン駆動回路30に接続される構成であっても良い。

【0098】

〔実施の形態2〕

本発明の他の実施形態について、図6及び図7に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、上記実施の形態1において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態1において定義した用語については、特に断らない限り本実施の形態においてもその定義に則って用いるものとする。

【0099】

図6は、実施の形態2における液晶表示装置1の各種信号の波形を示すタイミングチャートである。図6では、初期状態における各行のCS信号の電位が、上記実施の形態1において説明した図3のように一方の電位(ローレベル)に固定されず、1行毎に電位(ローレベル又はハイレベル)が異なっている。すなわち、第1・第3行目のCSバスライン15に出力されるCS信号CS1・CS3の初期状態の電位レベルは、ローレベルであるのに対して、第2行目のCSバスライン15に出力されるCS信号CS2の初期状態の電位レベルは、ハイレベルとなっている。

【0100】

そして、CS信号CS1・CS2・CS3は、対応するゲート信号G1・G2・G3の立ち下がりの後に反転し、かつ、その反転方向が互いに逆の関係となるような波形をとる。すなわち、奇数フレーム(第1フレーム、第3フレーム、...)では、CS信号CS1・CS3は対応するゲート信号G1・G3が立ち下がった後に立ち上がり、CS信号CS2は対応するゲート信号G2が立ち下がった後に立ち下がることになり、偶数フレーム(第2フレーム、第4フレーム、...)では、CS信号CS1・CS3は対応するゲート信号G1・G3が立ち下がった後に立ち下がり、CS信号CS2は対応するゲート信号G2が立ち下がった後に立ち上がることとなる(なお、上述した説明において、奇数フレームと偶数フレームとは逆であってもよい)。

10

20

30

40

50

【0101】

図6のタイミングチャートでは、第1フレームにおいてゲート信号が立ち下がる時点だけでなく、初期状態からCS信号の電位が、隣接する行で互いに異なっているため、第1フレームにおけるCS信号CS1・CS2・CS3は通常の奇数フレーム(例えば、第3フレーム)と同じ波形となる。そのため、画素電極14の電位波形Pix1・Pix2・Pix3は何れもCS信号CS1・CS2・CS3によって適正にシフトされることになるので、同一階調のソース信号Sが入力されると、対向電極電位とシフト後の画素電極14の電位との電位差は正極性と負極性とで同じになる。その結果、第1フレームにおける横筋の発生を解消し、表示品位の向上を図ることができる。

【0102】

(CSバスライン駆動回路40'の構成)

本実施の形態2におけるCSバスライン駆動回路40'では、上述のように、初期状態における各行のCS信号の電位レベルが、1行毎に異なっている。

【0103】

ここで、上述した制御を実現するためのCSバスライン駆動回路40'の具体的な構成について説明する。

【0104】

上述した制御を実現するために、CSバスライン駆動回路40'は、その内部に図7に示す複数の回路41'、42'、43'、...、4n'を、各行に対応して備えている。

【0105】

各回路41'、42'、43'、...、4n'は、それぞれ、Dラッチ回路41a'、42a'、43a'、...、4na'を備えている。以下では、説明の便宜上、第1及び第2行目に対応する回路41'・42'を代表例に挙げて説明する。

【0106】

回路41'への入力信号は、ゲート信号G2、極性信号POL、及びリセット信号RESET(第1の制御信号)であり、回路42'への入力信号は、ゲート信号G3、極性信号POL、及びリセット信号SET(第2の制御信号)である。極性信号POL、リセット信号RESET及びリセット信号SETは、コントロール回路50(制御回路)から入力される。

【0107】

Dラッチ回路41a'の端子CLには、リセット信号RESETが入力され、端子D(第2の入力部)には、極性信号POLが入力され、端子G(第1の入力部)には、次行のゲートライン12のゲート信号G2が入力され、端子Q(出力部)からは、電位レベルの変化を示すCS信号CS1が出力される。

【0108】

また、Dラッチ回路42a'の端子CLには、セット信号SETが入力され、端子Dには、極性信号POLが入力され、端子Gには、次行のゲートライン12のゲート信号G3が入力され、端子Qからは、電位レベルの変化を示すCS信号CS2が出力される。

【0109】

なお、Dラッチ回路41a'、42a'の基本的な動作は、Dラッチ回路41aと同様である。

【0110】

図6を参照しつつ、液晶表示装置1のCSバスライン駆動回路40'に入出力される各種信号の波形の変化について説明する。

【0111】

まず、第1行目の各種信号の波形の変化について説明する。第1行目の第1フレームの動作は、上記実施の形態1で説明した内容と同一の動作である。すなわち、初期状態において、回路41'におけるDラッチ回路41a'の端子Dには、極性信号POLが入力され、端子CLには、リセット信号RESETが入力される。このリセット信号RESETにより、Dラッチ回路41a'の端子Qから出力されるCS信号CS1の電位はローレベ

10

20

30

40

50

ルで保持される。その後、端子Gには、ゲートライン駆動回路30からゲート信号G2が入力され、このときの極性信号POLの入力状態（ハイレベル）が転送される。すなわち、ゲート信号G2が電位変化（ロー　ハイ）したタイミングで、CS信号CS1の電位が、ローレベルからハイレベルに切り替わる。そして、次に端子Gに入力されるゲート信号G2の電位変化（ハイ　ロー）があるまで（ゲート信号G2がハイレベルの期間）、ハイレベルが出力される。次に、端子Gにゲート信号G2の電位変化（ハイ　ロー）が入力されると、このときの極性信号POLの入力状態（ハイレベル）がラッチされる。その後、ゲート信号G2が第2フレームにおいてハイレベルになるまで、ハイレベルを保持する。

【0112】

第2フレームでは、ゲート信号G2の電位変化があるまでハイレベルを保持し、Dラッチ回路41a'の端子Gに入力されるゲート信号G2のレベルがローレベルからハイレベルに変化すると、このときの極性信号POLの入力状態（ローレベル）が転送される。すなわち、ゲート信号G2が電位変化（ロー　ハイ）したタイミングで、CS信号CS1の電位が、ハイレベルからローレベルに切り替わる。そして、次に端子Gに入力されるゲート信号G2の電位変化（ハイ　ロー）があるまで（ゲート信号G2がハイレベルの期間）、ローレベルが出力される。次に、端子Gにゲート信号G2の電位変化（ハイ　ロー）が入力されると、このときの極性信号POLの入力状態（ローレベル）がラッチされる。その後、ゲート信号G2が第3フレームにおいてハイレベルになるまで、ローレベルを保持する。第3フレーム以降では、上記第1フレーム及び第2フレームの処理が交互に繰り返される。

【0113】

次に、第2行目の各種信号の波形の変化について説明する。第2行目の第1フレームの動作は、上述した第1行目における第2フレームの動作と同様である。すなわち、初期状態において、回路42'におけるDラッチ回路42a'の端子Dには、極性信号POLが入力され、端子CLにはセット信号SETが入力される。このセット信号SETにより、Dラッチ回路42a'の端子Qから出力されるCS信号CS2の電位はハイレベルで保持される。その後、端子Gには、ゲートライン駆動回路30からゲート信号G3が入力される。すると、端子Gには、ゲート信号G3の電位変化（ロー　ハイ）が入力され、このときの端子Dに入力される極性信号POLの入力状態、すなわちローレベルが転送される。すなわち、ゲート信号G3が電位変化（ロー　ハイ）したタイミングで、CS信号CS2の電位が、ハイレベルからローレベルに切り替わる。そして、次に端子Gに入力されるゲート信号G3の電位変化（ハイ　ロー）があるまで（ゲート信号G3がハイレベルの期間）、ローレベルが出力される。次に、端子Gにゲート信号G3の電位変化（ハイ　ロー）が入力されると、このときの極性信号POLの入力状態（ローレベル）がラッチされる。その後、ゲート信号G3が第2フレームにおいてハイレベルになるまで、ローレベルを保持する。

【0114】

第2フレームでは、ゲート信号G3の電位変化があるまでローレベルを保持し、Dラッチ回路42a'の端子Gに入力されるゲート信号G3のレベルがローレベルからハイレベルに変化すると、このときの極性信号POLの入力状態（ハイレベル）が転送される。すなわち、ゲート信号G3が電位変化（ロー　ハイ）したタイミングで、CS信号CS2の電位が、ローレベルからハイレベルに切り替わる。そして、次に端子Gに入力されるゲート信号G3の電位変化（ハイ　ロー）があるまで（ゲート信号G3がハイレベルの期間）、ハイレベルが出力される。次に、端子Gにゲート信号G3の電位変化（ハイ　ロー）が入力されると、このときの極性信号POLの入力状態（ハイレベル）がラッチされる。その後、ゲート信号G3が第3フレームにおいてハイレベルになるまで、ハイレベルを保持する。第3フレーム以降では、上記第1フレーム及び第2フレームの処理が交互に繰り返される。

【0115】

上述の第1行目の動作及び第2行目の動作は、各奇数行及び各偶数行における動作を示

10

20

30

40

50

している。

【0116】

このように、各行に対応した回路41'、42'、43'、...、4n'により、初期状態における各行のCS信号の電位レベルが1行毎に異なるように、該CS信号が出力される。これにより、第1フレームにおいてCSバスライン駆動回路40を適正に動作させることが可能となるため、第1フレームにおいて横筋の原因となる上記変則的な波形を解消することができ、第1フレームにおける横筋の発生を防止して表示品位の向上を図るといふ効果を奏することができる。

【0117】

なお、リセット信号RESET及びセット信号SETは、極性信号POLのレベルに応じて決定されるものである。すなわち、極性信号POLが、図6に示す波形である場合には、奇数行目(第1行目、3行目、...)に対応する回路41'には、リセット信号RESETが入力され、偶数行目(第2行目、4行目、...)に対応する回路42'には、セット信号SETが入力されるのに対して、極性信号POLが、図6に示す波形に対してレベル(ハイレベル/ローレベル)が逆転した波形である場合には、奇数行目に対応する回路41'には、セット信号SETが入力され、偶数行目に対応する回路42'には、リセット信号RESETが入力される。このように、極性信号POLと、リセット信号RESET及びセット信号SET信号とは関連付けされており、これは、例えば、コントロール回路50の仕様に依りて、予め、Dラッチ回路のリセット信号RESET/セット信号SETを設定することにより構成することができる。

【0118】

また、本実施の形態2では、n行目のCSバスライン15に出力されるCS信号は、(n+1)行目のゲート信号G(n+1)の立ち上がりのタイミングで、極性信号POLの電位レベルをラッチすることにより、その電位レベルが切り替わる構成であるが、これに限定されるものではない。すなわち、CS信号の電位レベルが切り替わるタイミングは、各行の水平走査期間以降であればよく、各行の水平走査期間の終了時に対してタイムラグがあってもよい。これにより、CSバスライン駆動回路40'は、画素電極14の電位を水平走査期間以降の時点でシフトさせる。

【0119】

以上のように、実施の形態1及び2に示した液晶表示装置1の表示駆動回路では、ゲートライン駆動回路30により、各行に順次割り当てられた水平走査期間に当該行のTF T13をオンするためのゲート信号を出力し、ソースバスライン駆動回路20により、各行の水平走査期間に同期して極性が反転しつつ、同一行の隣接する水平走査期間では極性が逆転するようなソース信号を出力し、CSバスライン駆動回路40・40'により、各行の水平走査期間以降に、この水平走査期間におけるソース信号の極性に応じて定められた方向へ2値の電位の間で電位が切り替わるCS信号を出力する。そして、CSバスライン駆動回路40・40'は、当該行のTF T13がオンからオフに切り替えられた時点(ゲートオフ時)のCS信号の電位が、隣接する行では互いに異なるように、該CS信号を出力する。

【0120】

これにより、第1フレームにおいてCS信号による画素電極14の電位シフトを適正に実行し、第1フレームにおける横筋の発生を解消することができる。その結果、液晶表示装置1の表示品位の向上を図ることができる。

【0121】

本発明に係る表示駆動回路及び表示駆動方法は、以上のように、表示すべき映像に応じたデータ信号の出力を開始する第1垂直走査期間において、当該行のスイッチング素子がオフしたときの前記電位シフト信号の電位が、隣接する行では互いに異なるように、該電位シフト信号を出力するものである。

【0122】

上記構成及び方法では、上述した表示の不具合、すなわち、表示すべき映像に応じたデ

10

20

30

40

50

ータ信号の出力を開始する第1垂直走査期間(第1フレーム)において、1行(1ライン)毎の明暗からなる横筋が観察されてしまうという不具合を解消し、表示品位の向上を図るという効果を奏することができる。

【0123】

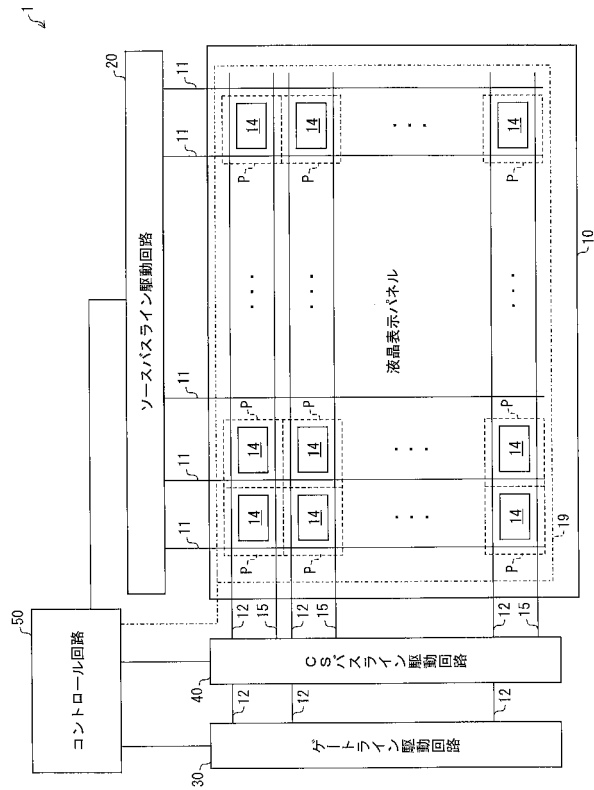
発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内において、いろいろと変更して実施することができるものである。

【産業上の利用可能性】

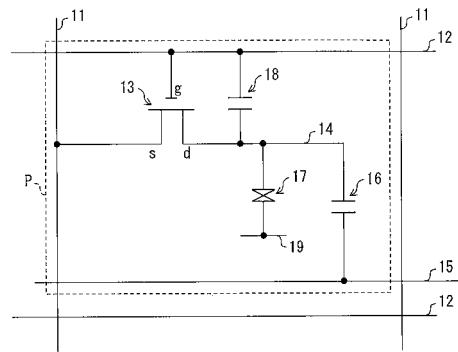
【0124】

本発明は、アクティブマトリクス型液晶表示装置の駆動に特に好適に適用できる。

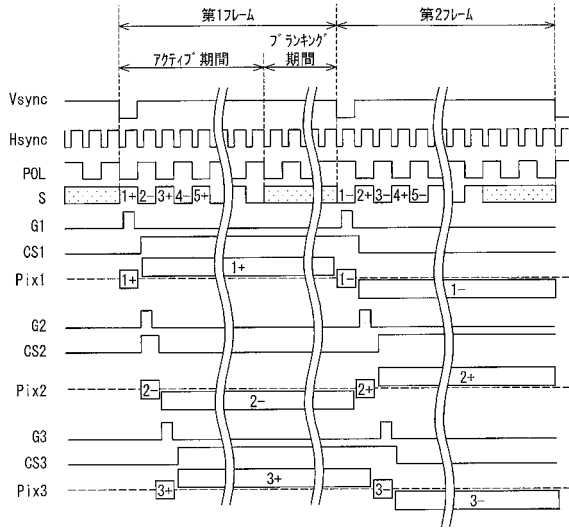
【図1】



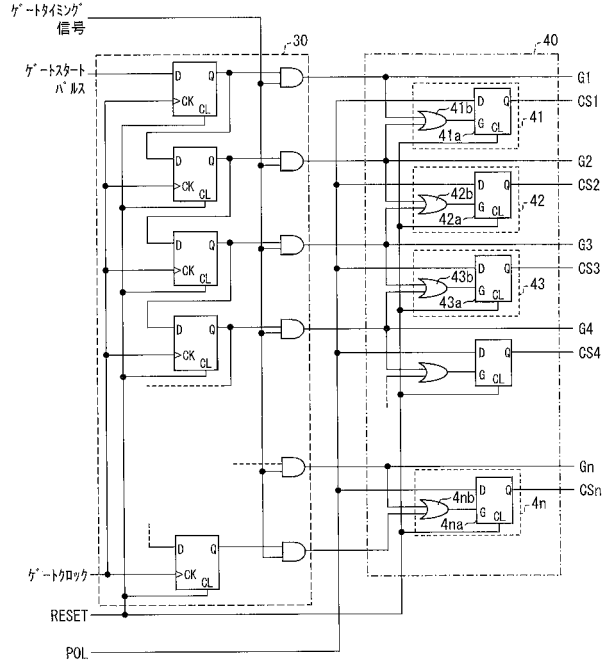
【図2】



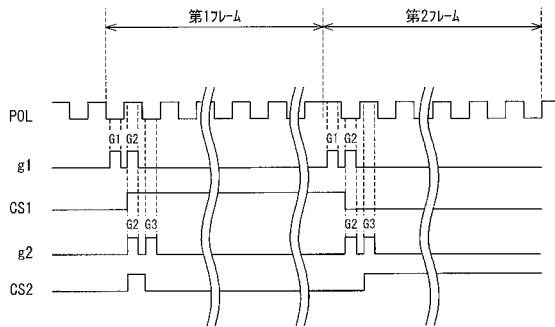
【図3】



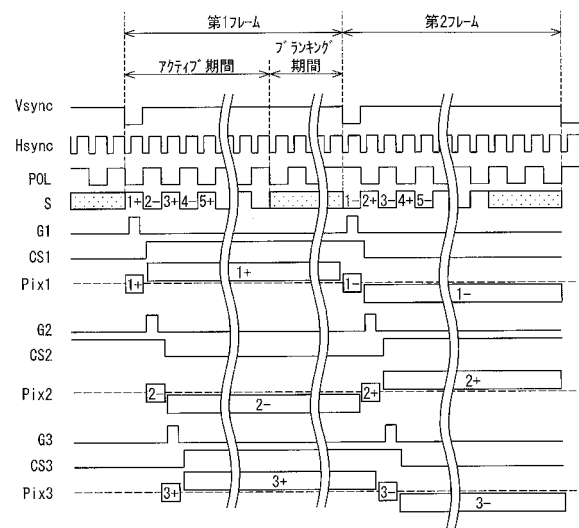
【図4】



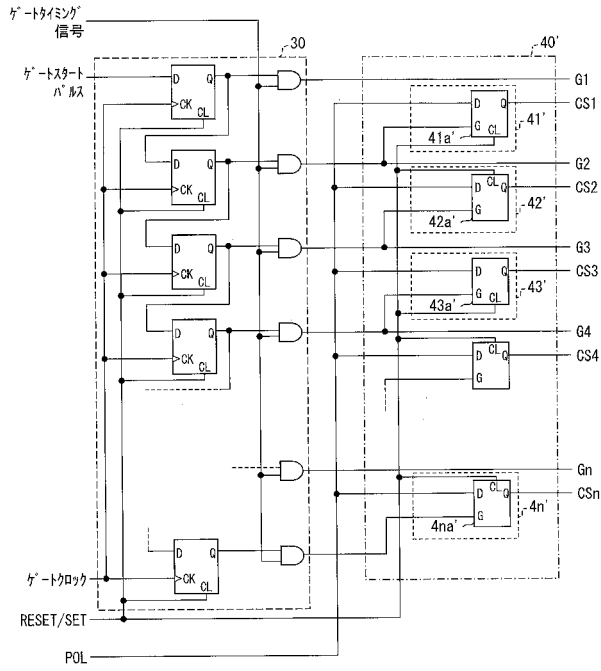
【図5】



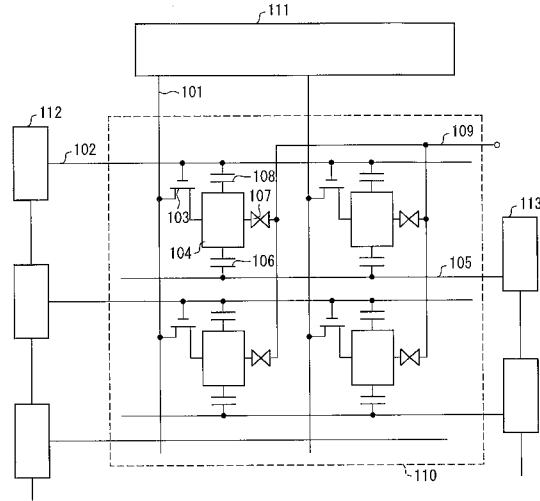
【図6】



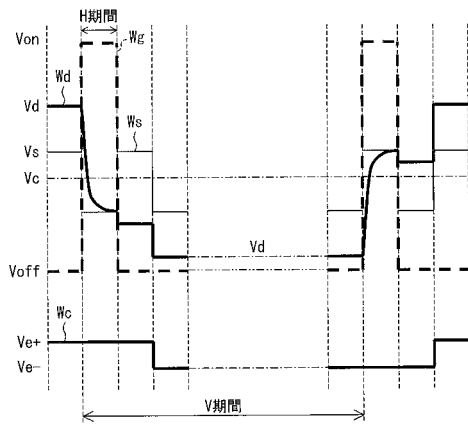
【図7】



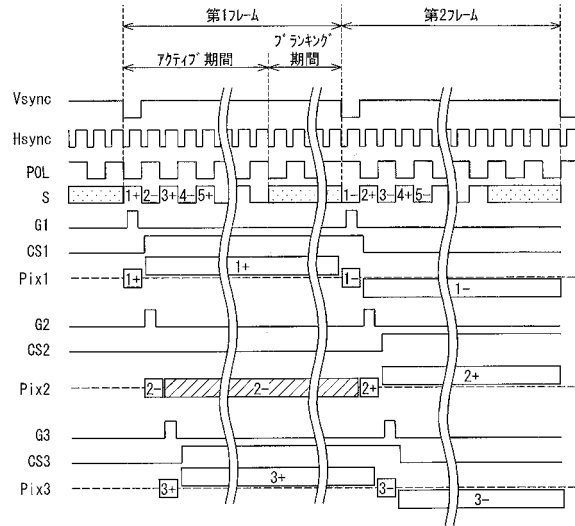
【図8】



【図9】



【図10】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 4 2 A

G 0 2 F 1/133 5 5 0

G 0 2 F 1/133 5 2 5

(56) 参考文献 特開 2 0 0 3 - 2 7 9 9 2 9 (J P , A)

特開 2 0 0 5 - 0 4 9 8 4 9 (J P , A)

特開平 0 6 - 2 6 5 8 4 6 (J P , A)

特開 2 0 0 7 - 0 4 7 7 0 3 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38

G02F 1/133

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶显示装置的驱动电路，液晶显示装置和液晶显示装置的驱动方法 | | |
| 公开(公告)号 | JP5009373B2 | 公开(公告)日 | 2012-08-22 |
| 申请号 | JP2009537970 | 申请日 | 2008-07-14 |
| [标]申请(专利权)人(译) | 夏普株式会社 | | |
| 申请(专利权)人(译) | 夏普公司 | | |
| 当前申请(专利权)人(译) | 夏普公司 | | |
| [标]发明人 | 冈田厚志 佐々木寧 | | |
| 发明人 | 冈田 厚志 佐々木 寧 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| CPC分类号 | G09G3/3614 G09G3/3655 G09G3/3677 G09G2300/0876 G09G2310/08 G09G2320/0219 G09G2320/0233 G09G2330/026 | | |
| FI分类号 | G09G3/36 G09G3/20.624.B G09G3/20.623.C G09G3/20.621.B G09G3/20.624.C G09G3/20.642.A G02F1/133.550 G02F1/133.525 | | |
| 优先权 | 2007269332 2007-10-16 JP | | |
| 其他公开文献 | JPWO2009050926A1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

用于输出栅极信号 (G1 , G2 , G3 , ...) 的栅极线驱动电路用于在顺序分配给每行的水平扫描周期中导通该行的开关元件，并且与每行的水平扫描周期同步地进行极性源极总线驱动电路，用于在信号反转时输出在相同行的相邻水平扫描周期中极性反转的源信号 (S)，以及在每行的水平扫描周期之后的该水平扫描周期中的源信号。CS总线驱动电路，用于输出CS信号 (CS1 , CS2 , CS3 ,)，其电位在根据 (S) 的极性确定的方向 (低→高或高→低) 切换;线驱动电路输出CS信号，使得在第一帧中，当行中的开关元件从接通到断开时，CS信号的电位在相邻行中彼此不同。结果，在以行反转驱动为前提的CC驱动中，消除了开始显示视频信号的第一帧中水平条纹的出现。

2]

