

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4750780号  
(P4750780)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int.Cl. F I  
**GO2F 1/1345 (2006.01)** GO2F 1/1345  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**GO2F 1/133 (2006.01)** GO2F 1/133 520  
 GO2F 1/133 550

請求項の数 14 (全 29 頁)

(21) 出願番号	特願2007-341171 (P2007-341171)	(73) 特許権者	501426046
(22) 出願日	平成19年12月28日(2007.12.28)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2008-233869 (P2008-233869A)		ミテッド
(43) 公開日	平成20年10月2日(2008.10.2)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成19年12月28日(2007.12.28)		イドードン 20
(31) 優先権主張番号	10-2007-0026070	(74) 代理人	100110423
(32) 優先日	平成19年3月16日(2007.3.16)		弁理士 曾我 道治
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100084010
(31) 優先権主張番号	10-2007-0030323		弁理士 古川 秀利
(32) 優先日	平成19年3月28日(2007.3.28)	(74) 代理人	100094695
(33) 優先権主張国	韓国 (KR)		弁理士 鈴木 憲七
(31) 優先権主張番号	10-2007-0030332	(74) 代理人	100111648
(32) 優先日	平成19年3月28日(2007.3.28)		弁理士 梶並 順
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100147566
			弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1及び第2データライン群、該第1及び第2データライン群と交差する複数のゲートライン、及びマトリクス状に配置された複数の液晶セルを含む液晶表示パネルと、

前記第1データライン群にデータを供給する第1データICに接続された第1ソースPCBと、

前記第2データライン群にデータを供給する第2データICに接続された第2ソースPCBと、

シングルポートを介して前記第1及び第2データICにビデオデータを出力するとともに、前記シングルポートを介して前記第1及び第2データICを制御するためのタイミング制御信号を出力するタイミングコントローラと

を備え、

前記タイミングコントローラは、

前記第1周波数で入力される入力データを奇数の画素データと偶数の画素データとに分離し、該分離されたデータを前記第1周波数の1/2周波数で出力する2ポート拡張部と

前記2ポート拡張部からのデータを変調して、前記シングルポートを介して出力されるデータのスイング幅を減らし、前記第1周波数と対比して2倍高い前記第2周波数で前記変調されたデータを出力するデータ変調部と

を備える

ことを特徴とする液晶表示装置。

【請求項 2】

前記タイミングコントローラーのシングルポートを前記第 1 及び第 2 ソース P C B のうち、少なくともいずれか 1 つに接続して、前記タイミングコントローラーからのビデオデータとタイミング制御信号とを前記第 1 及び第 2 ソース P C B のうち、少なくともいずれか 1 つに送信する第 1 接続ケーブルを備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記タイミングコントローラーのシングルポートを前記第 1 ソース P C B に接続して、前記タイミングコントローラーからのビデオデータとタイミング制御信号とを前記第 1 ソース P C B に送信する第 1 接続ケーブルと、

前記タイミングコントローラーのシングルポートを前記第 2 ソース P C B に接続して、前記タイミングコントローラーからのビデオデータとタイミング制御信号とを前記第 2 ソース P C B に送信する第 2 接続ケーブルと

を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記タイミングコントローラーが実装され、前記タイミングコントローラーのシングルポートを前記第 1 及び第 2 接続ケーブルに接続して、前記タイミングコントローラーからのデータとタイミング制御信号とを前記第 1 及び第 2 接続ケーブルに送信する接続配線が形成されたコントロール P C B をさらに備えることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記接続配線と前記第 1 及び第 2 接続ケーブルは、前記第 1 データ I C のうちのいずれか 1 つと第 2 データ I C のうちのいずれか 1 つとの間でキャリア信号を送信することを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 接続ケーブルは、前記タイミングコントローラーのシングルポートを前記第 1 及び第 2 ソース P C B に接続して、前記タイミングコントローラーからのビデオデータとタイミング制御信号とを前記第 1 及び第 2 ソース P C B に送信することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 7】

前記第 1 接続ケーブルは、前記第 1 データ I C のうちのいずれか 1 つと第 2 データ I C のうちのいずれか 1 つとの間でキャリア信号を送信することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 1 接続ケーブルは、前記タイミングコントローラーのシングルポートを前記第 1 及び第 2 ソース P C B のうちのいずれか 1 つにのみ接続して、前記タイミングコントローラーからのビデオデータとタイミング制御信号を前記第 1 及び第 2 ソース P C B のうちのいずれか 1 つに送信し、

前記液晶表示パネルは、前記第 1 ソース P C B を前記第 2 ソース P C B に接続する L O G 配線を備え、前記 L O G 配線は、前記第 1 及び第 2 ソース P C B のうちのいずれか 1 つからのビデオデータ、タイミング制御信号及び駆動電圧を他のソース P C B に送信する

ことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 9】

前記 L O G 配線は、前記第 1 データ I C のうちのいずれか 1 つと前記第 2 データ I C のうちのいずれか 1 つとの間でキャリア信号を送信することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 10】

外部ソースから入力データを受けるインタフェース回路、前記インタフェース回路からの入力データに基づいて、前記タイミングコントローラーにデジタルビデオデータとタイ

ミング信号を供給するグラフィック処理回路と、

前記液晶表示パネルを駆動するための駆動電圧を発生する電圧源を含むシステムボードと

をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 1】

前記システムボードは、前記タイミングコントローラーに前記タイミング制御信号の波形選択情報を供給するメモリをさらに備えることを特徴とする請求項 1 0 に記載の液晶表示装置。

【請求項 1 2】

前記第 1 データ I C は、前記駆動電圧を分圧して、ガンマ補償電圧を発生する抵抗列と

10

前記抵抗列に並列接続した補償抵抗と

を備えることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 1 3】

前記第 1 データ I C が実装され、第 1 ダミー配線が形成される第 1 C O F と、

前記第 2 データ I C が実装され、第 2 ダミー配線が形成される第 2 C O F と

を備え、

前記第 1 ダミー配線は、前記第 1 ソース P C B を前記 L O G 配線の一方に接続して、前記第 1 ソース P C B からのビデオデータ、タイミング制御信号及び駆動電圧を前記 L O G 配線に送信し、前記第 2 ダミー配線は、前記第 2 ソース P C B を前記 L O G 配線の他方に

20

接続して、前記第 2 ソース P C B からのビデオデータ、タイミング制御信号及び駆動電圧を前記 L O G 配線に送信し、前記ダミー配線のうち、前記駆動電圧が送信されるダミー配線の線幅が、前記タイミング制御信号が送信されるダミー配線の線幅より広く、前記 L O G 配線のうち、前記駆動電圧が送信されるダミー配線に接続された L O G 配線の線幅が、前記タイミング制御信号が送信されるダミー配線に接続された L O G 配線の線幅より広いことを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 1 4】

前記第 1 データ I C の信号入力端子に接続された第 1 抵抗と、

前記第 2 データ I C の信号入力端子に接続された第 2 抵抗と

30

をさらに備え、

前記抵抗の抵抗値を  $R_{TA}$  とするとき、その抵抗値は、

【数 1】

$$R_{TA} = \frac{R_{TB}(R_{EQ} + R_{LOG})}{R_{EQ}}$$

であり、ここで、 $R_{TB}$  は、前記第 2 ソース P C B に接続された前記データ I C の信号入力端子に接続された抵抗、 $R_{EQ}$  は、前記接続部の抵抗、 $R_{LOG}$  は、前記 L O G 配線の抵抗をそれぞれ意味することを特徴とする請求項 8 に記載の液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、コントロールプリント回路ボード (Printed Circuit Board: 以下、P C B と略す) を簡素化した液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、ビデオ信号に応じて液晶セルの光透過率を調節して画像を表示する。アクティブマトリクスタイプの液晶表示装置は、図 1 のように、液晶セル C 1 c ごとに形

50

成された薄膜トランジスタ (Thin Film Transistor: 以下、TFT と略す) を用いて液晶セルに供給されるデータ電圧をスイッチングしてデータを能動的に制御するので、動画の表示品質を高めることができる。図1において、図面符号「Cst」は、液晶セルC1cに充電されたデータ電圧を維持するためのストレージキャパシタ、「DL」は、データ電圧が供給されるデータライン、「GL」は、スキャン電圧が供給されるゲートラインをそれぞれ意味する。

【0003】

液晶表示装置は、最近のテレビやモニターが大画面化しつつ、小型とともに、中大型モデルの開発が進められている。このような液晶表示装置は、図2のように、コントロールPCB20、ソースPCB22、ソースPCB22とコントロールPCB20との間に接

10

【0004】

続されたケーブル21、ソースPCB22と液晶表示パネル25との間に接続された複数のソースCOF (Chip on film) を備える。

【0005】

ソースPCB22には、コントロールPCB20からのデジタルビデオデータとタイミング制御信号を送信するための信号配線が形成される。

【0006】

コントロールPCB20には、制御回路とデータ送信回路などが実装される。このコントロールPCB20は、ソースPCB22のデータICにデータを供給し、データICの動作を制御するためのタイミング制御信号を、ケーブル21を介してソースPCB22に供給する。

20

【0007】

図2のような液晶表示装置において、液晶表示パネル25が大きくなれば、それに伴ってデータラインとソースCOF24が多くなり、その結果、ソースPCB22も大きくなる。この場合に、ソースPCB22とソースCOF24との整列が難しくなる。ソースPCB22が大きくなれば、従来のSMT (Surface Mount Technology) 装置のような自動化実装装置は、相対的に小さな大きさのソースPCB22を基

30

【0008】

一方、図3のように、ソースPCBを分離し、タイミングコントローラ131の出力ポートをソースPCBの分割数分だけ複数に分割する方法も考慮できるが、この場合には、タイミングコントローラ131とコントロールPCB140とが大きくならざるをえない。

【0009】

以下、これを詳細に説明する。

40

【0010】

タイミングコントローラ131の出力ポートが2つに分離されると仮定するとき、タイミングコントローラ131は、図4のように左/右データ分離部120、2ポート拡張部121及びデータ変調部122を備える。

【0011】

左/右データ分離部120は、フレームメモリを用いて入力周波数( $f$ )で入力される入力デジタルビデオデータRGBを、左側データRGB1と右側データRGBrとに分離する。左/右データ分離部120から出力されるデータRGB1、RGBrは、入力周波数の $1/2$ 周波数( $f/2$ )で2ポート拡張部121に供給される。このような左/右データ分離部120によってタイミングコントローラ131の出力ポートを分離すれば、

50

タイミングコントローラー 131 の大きさが大きくならざるをえない。

【0012】

2ポート拡張部 121 は、左/右データ分離部 120 から  $1/2$  周波数 ( $f/2$ ) で入力される左/右のデータ RGB1、RGBr を奇数の画素データ RGB1odd、RGBr odd と偶数の画素データ RGB1even、RGBreven とに分離して、分離したそれぞれのデータを  $1/4$  周波数 ( $f/4$ ) でデータ変調部 122 に供給する。

【0013】

データ変調部 122 は、mini-LVDS方式でデータを変調する場合に、4倍速の mini-LVDSクロックに応じて2ポート拡張部 121 からのデータ RGB1odd、RGBrodd、RGB1even、RGBreven の周波数を高めて、入力周波数と同じ周波数 ( $f$ ) で左側データ RGB1odd、RGB1even と右側データ RGBrodd、RGBreven とを、分離された2個の出力ポート 161、162 を介して分割出力する。左側データ RGB1odd、RGB1even と右側データ RGBrodd、RGBreven のそれぞれは、3対の奇数の画素データ、3対の偶数の画素データ及び1対の miniクロックを含むので、タイミングコントローラー 131 の出力ピンの数が多くならざるをえない。左側データ RGB1odd、RGB1even は、タイミングコントローラー 131 の第1出力ポート 161 と第1接続配線 153A とを經由して第1ソースPCB 141A に送信され、右側データ RGBrodd、RGBreven は、タイミングコントローラー 131 の第2出力ポート 162 と第2接続配線 153B とを經由して第2ソースPCB 141B に送信される。

【0014】

結果的に、図3のように、ソースPCBを2つに分離するとしても、タイミングコントローラー 131 とその出力ピン数を減らすのが難しく、コントロールPCB 140 の大きさを小さくすることが難しい。

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明は、上述の問題点に鑑みてなされたもので、その目的は、ソースPCBを分割し、コントロールPCBの大きさと出力ピン数を減らすようにした液晶表示装置を提供することにある。

【課題を解決するための手段】

【0016】

上記の目的を達成すべく、本発明に係る液晶表示装置は、第1及び第2データライン群、該第1及び第2データライン群と交差する複数のゲートライン、及びマトリクス状に配置された複数の液晶セルを含む液晶表示パネルと、前記第1データライン群にデータを供給する第1データICに接続された第1ソースPCBと、前記第2データライン群にデータを供給する第2データICに接続された第2ソースPCBと、シングルポートを介して前記第1及び第2データICにビデオデータを出力するとともに、前記シングルポートを介して前記第1及び第2データICを制御するためのタイミング制御信号を出力するタイミングコントローラーとを備え、前記タイミングコントローラーは、前記第1周波数で入力される入力データを奇数の画素データと偶数の画素データとに分離し、該分離されたデータを前記第1周波数の  $1/2$  周波数で出力する2ポート拡張部と、前記2ポート拡張部からのデータを変調して、前記シングルポートを介して出力されるデータのスイング幅を減らし、前記第1周波数と対比して2倍高い前記第2周波数で前記変調されたデータを出力するデータ変調部とを備える。

【発明の効果】

【0018】

本発明に係る液晶表示装置によれば、ソースPCBを分割しタイミングコントローラーの出力ポートをシングル出力ポートで構成することで、コントロールPCBの大きさと出力ピン数を減らすことができる。また、本発明に係る液晶表示装置によれば、液晶表示パ

10

20

30

40

50

ネルに形成されたLOG配線を用いて1つのFFCを除去することによって、ソースPCBとコントロールPCBとの接続構造を単純化でき、かつ部品数を減らすことができる。

【0019】

また、本発明に係る液晶表示装置によれば、FFCを介して直接コントロールPCBから駆動信号を供給される第1ソースPCBのデータIC内に各々補償抵抗を並列に接続することによって、LOG配線を介して駆動信号を供給される第2ソースPCBと前記第1ソースPCBとの間のガンマ補償電圧の偏差をなくすことができる。

【0020】

なお、本発明に係る液晶表示装置によれば、ソースCOF又はソースTCPに形成されて、駆動電圧を送信するダミー配線の線幅を、データタイミング制御信号を送信する他のダミー配線の線幅より広く形成している。その結果、LOG配線抵抗による電圧降下分を最小にして、第1ソースPCBと第2ソースPCBとの間のガンマ補償電圧の偏差をなくすことができる。

10

【発明を実施するための最良の形態】

【0021】

以下、図5～図35を参照して、本発明の好ましい実施の形態について説明する。

【0022】

まず、図5～図16は、本発明の第1の実施の形態に係る液晶表示装置を示す。

【0023】

図5に示すように、本発明の実施の形態に係る液晶表示装置は、液晶表示パネル30、タイミングコントローラ31、データ駆動回路32、及びゲート駆動回路33を備える。

20

【0024】

液晶表示パネル30において、2枚のガラス基板の間には液晶層が形成される。この液晶表示パネル30は、m個のデータラインD1～Dmと、n個のゲートラインG1～Gnとが交差構造によりマトリクス状に配置されたm×n個の液晶セルClcを含む。

【0025】

液晶表示パネル30の下部ガラス基板には、データラインD1～Dm、ゲートラインG1～Gn、TFT、TFTに接続された液晶セルClcの画素電極1、及びストレージキャパシタCstなどが形成される。この液晶表示パネル30の下部ガラス基板には、後述のソースCOFの間でデータ、データタイミング制御信号、駆動電圧などを送信するLOG(Lines On Glass)配線が形成される。

30

【0026】

液晶表示パネル30の上部ガラス基板には、ブラックマトリクス、カラーフィルタ及び共通電極2が形成される。共通電極2は、TN(Twisted Nematic)モードとVA(Vertical Alignment)モードのような垂直電界駆動方式により上部ガラス基板上に形成され、IPS(In Plane Switching)モードとFFS(Fringe Field Switching)モードのような水平電界駆動方式により画素電極1と共に下部ガラス基板上に形成される。液晶表示パネル30の上部ガラス基板と下部ガラス基板上には、光軸が直交する偏光板が付着され、液晶と接する内面に液晶のプレチルト角を設定するための配向膜が形成される。

40

【0027】

タイミングコントローラ31は、垂直/水平同期信号、データイネーブル、クロック信号などのタイミング信号を受信して、データ駆動回路32とゲート駆動回路33との動作タイミングを制御するためのタイミング制御信号を発生する。タイミングコントローラ31は、図6のように、グラフィック処理回路64からタイミング信号とデジタルビデオデータRGBとを受信することができる。グラフィック処理回路64は、システムボードに実装されて、液晶表示パネル30の解像度に合うように入力データの解像度を変換してタイミングコントローラ31に供給する。

【0028】

50

タイミングコントローラー 31 により生成されるタイミング制御信号は、ゲートスタートパルス (Gate Start Pulse) GSP、ゲートシフトクロック信号 (Gate Shift Clock) GSC、ゲート出力イネーブル信号 (Gate Output Enable) GOE などのゲートタイミング制御信号を含む。ゲートスタートパルス GSP は、1 画面が表示される 1 垂直期間のうち、スキャンが始まるスタート水平ラインを指示する。ゲートシフトクロック信号 GSC は、ゲート駆動回路内のシフトレジスタに入力されてゲートスタートパルス GSP を順次シフトさせるためのタイミング制御信号であって、TFT のオン期間に対応するパルス幅で発生する。ゲート出力信号 GOE は、ゲート駆動回路 33 の出力を指示する。また、タイミングコントローラー 31 により生成されるタイミング制御信号は、ソースサンプリングクロック (Source Sampling Clock) SSC、ソース出力イネーブル信号 (Source Output Enable) SOE、極性制御信号 (Polarity) POL などを含むデータタイミング制御信号を含む。ソースサンプリングクロック SSC は、立ち上がり又は立下りエッジに基づいて、データ駆動回路 32 内でデータのラッチ動作を指示する。ソース出力イネーブル信号 SOE は、データ駆動回路 32 の出力を指示する。極性制御信号 POL は、液晶表示パネル 30 の液晶セル Clc に供給されるデータ電圧の極性を指示する。また、タイミングコントローラー 31 は、デジタルビデオデータを奇数の画素データ RGBodd と偶数の画素データ RGBeven とに分離し、そのデータをデータ駆動回路 32 に供給する。

10

#### 【0029】

20

データの送信経路上において、EMI とデータ電圧のスイング幅を減らすために、タイミングコントローラー 31 は、データを mini-LVDS (low-voltage differential signaling) 方式又は RSDS (Reduced Swing Differential Signaling) 方式で変調して、データ駆動回路 32 に供給する。

#### 【0030】

データ駆動回路 32 は、タイミングコントローラー 31 の制御下にデジタルビデオデータ RGBodd、RGBeven をラッチする。そして、データ駆動回路 32 は、デジタルビデオデータを極性制御信号 POL に応じて、アナログ正極性 / 負極性ガンマ補償電圧に変換して、正極性 / 負極性アナログデータ電圧を発生し、そのデータ電圧をデータライン D1 ~ Dm に供給する。

30

#### 【0031】

ゲート駆動回路 33 は、シフトレジスタ、シフトレジスタの出力信号を液晶セルの TFT 駆動に適したスイング幅に変換するためのレベルシフタ、及びレベルシフタとゲートライン G1 ~ Gn との間に接続する出力バッファをそれぞれ含む複数のゲート IC で構成される。このゲート駆動回路 33 は、ゲートパルス (又はスキャンパルス) を順次出力する。このようなゲート駆動回路 33 の IC は、COF 又は TCP に実装されて、ACF (anisotropic conductive film) を介して液晶表示パネル 30 の下部ガラス基板に形成されたゲートパッドに接続される。また、ゲート駆動回路 33 は、ゲートインパネル (Gate In Panel) 工程を用いて、画素アレイに形成されたデータライン D1 ~ Dm、ゲートライン G1 ~ Gn 及び TFT とともに、液晶表示パネル 30 の下部ガラス基板上に直接形成することができる。また、ゲート駆動回路 33 の IC は、チップオンガラス (Chip On Glass) 方式により、液晶表示パネル 30 の下部ガラス基板上に直接接着することもできる。

40

#### 【0032】

図 7 は、図 5 に示す液晶表示パネル 30、データ駆動回路 32 及びタイミングコントローラー 31 の組み立て状態を示す図である。図 8 は、ソース COF に形成されたダミー配線と液晶表示パネル 30 の基板上に形成された LOG 配線とを示す図である。

#### 【0033】

図 7 及び図 8 に示すように、データ駆動回路 32 は、複数のデータ IC 32A、32B

50

を含む。

【0034】

複数のデータIC32A、32Bは、ソースCOF42A、42Bにそれぞれ実装される。ソースCOF42A、42Bの代わりにソースTCP(Tape Carrier Package)を適用することもできる。ソースCOF42A、42Bは、2つに分割された第1及び第2ソースPCB41A、41Bに分けられて接続される。表示画面の右半部に形成されたデータラインにデータを供給するためのソースCOF42Aは、第1ソースPCB41Aに接続され、表示画面の左半部に形成されたデータラインにデータを供給するためのソースCOF42Bは、第2ソースPCB41Bに接続される。ソースCOF42A、42Bの入力端子は、ソースPCB41A、41Bの出力端子に電氣的に接続され、ソースCOF42A、42Bの出力端子は、ACFを介して液晶表示パネル30の下部ガラス基板に形成されたデータパッドに電氣的に接続される。データパッドは、データリンク配線を経由してデータラインD1~Dmに接続される。

10

【0035】

ソースCOF42A、42Bには、図8のように、ダミー配線51が形成される。ダミー配線51には、隣接したソースCOF42A、42Bに送信されるデジタルビデオデータRGBodd、RGBevenと、データタイミング制御信号、キャリア信号が供給され、また、高電位電源電圧VDD、低電位電源電圧VSS、及びガンマ基準電圧(Gamma reference voltages)などの駆動電圧が供給される。第1ソースPCB41Aに接続されたソースCOF42Aのうち、第2ソースPCB41Bに隣接するソースCOF42Aのダミー配線51と、第2ソースPCB41Bに接続されたソースCOF42Bのうち、第1ソースPCB41Aに隣接するソースCOF42Bのダミー配線51は、液晶表示パネル30の下部ガラス基板に形成されたLOG配線45を経由して電氣的に接続される。

20

【0036】

第1及び第2ソースPCB41A、41Bには、デジタルビデオデータRGBodd、RGBevenが送信されるバス配線、データタイミング制御信号が送信されるバス配線、駆動電圧が送信されるバス配線が形成される。

【0037】

第1ソースPCB41Aの入力端子は、FFC(Flexible Flat Cable)43を経由してコントロールPCB40上に形成された接続配線44に電氣的に接続される。第2ソースPCB41Bは、コントロールPCB40に接続されない。分割されたソースPCB41A、41Bは、LOG配線45とソースCOF42A、42Bとを経由して電氣的に接続される。したがって、第1ソースPCB41Aは、コントロールPCB40に形成された接続配線44を経由して、コントロールPCB40のシングル出力ポートからデジタルビデオデータRGBodd、RGBeven、データタイミング信号及び駆動電圧を供給され、第2ソースPCB41Bは、LOG配線45とソースCOF42A、42Bを経由して、第1ソースPCB41AからデジタルビデオデータRGBodd、RGBeven、キャリア信号、データタイミング信号及び駆動電圧を供給される。

30

【0038】

コントロールPCB40には、タイミングコントローラ31、EEPROM31a、液晶表示パネル30の駆動電圧を発生するための直流-直流変換器(DC-DC Converter)などの回路と共に、接続配線44が形成される。直流-直流変換器から生成される駆動電圧は、ゲートハイ電圧VGH、ゲートロー電圧VGL、共通電圧Vcom、高電位電源電圧VDD、低電位電源電圧VSS、高電位電源電圧VDDと低電位電源電圧VSSとの間で分圧される複数のガンマ基準電圧(Gamma reference voltages)などを含む。ガンマ基準電圧は、デジタルビデオデータRGBodd、RGBevenのビット数で表現可能な階調数分だけデータIC32a内で各階調に該当するアナログガンマ補償電圧に細分化される。ゲートハイ電圧VGH、ゲートロー電圧VGLは、スキャンパルスのスイング電圧である。EEPROM31aは、タイミングコ

40

50

ントローラ-31から生成されるタイミング制御信号に対する波形オプション情報が複数のモード別に格納されて、ユーザからの命令に応じて該当モードで波形情報をタイミングコントローラ-31に供給する。タイミングコントローラ-31は、EEPROM31aからの波形オプション情報に応じて、各々のモードで互いに異なる形態でタイミング制御信号を生成する。

【0039】

コントロールPCB40に形成された接続配線44を介して、図9に示すタイミングコントローラ-31のシングル出力ポート63は、FFC43に接続される。シングル出力ポート63は、データ、駆動電圧及びタイミング制御信号が出力される複数の出力ピンを含む。接続配線44を介してタイミングコントローラ-31から生成されたデジタルビデオデータRGBodd、RGBeven及びタイミング制御信号と、直流-直流変換器から生成された駆動電圧が、FFC43に伝達される。

10

【0040】

図9は、タイミングコントローラ-31内のデータ処理部分を示す図である。

【0041】

図9に示すように、タイミングコントローラ-31は、2ポート拡張部34とデータ変調部35を備える。

【0042】

2ポート拡張部34は、システムのメインボードから所定の入力周波数( $f$ )で入力されるデジタルビデオデータRGBを、奇数の画素データRGBoddと偶数の画素データRGBevenとに分離して、そのデータRGBodd、RGBevenを $1/2$ 周波数( $f/2$ )でデータ変調部35に供給する。ここで、周波数を $1/2$ に減らす理由は、EMI(Electromagnetic Interference)を減らすためである。2ポート拡張部34から出力されるデータRGBodd、RGBevenのスイング幅は、TTL(transistor-to-transistor)レベルである3.3V程度で比較的高い。

20

【0043】

データ変調部35は、mini-LVDS方式でデータを変調して、2ポート拡張部34からのデータRGBodd、RGBevenのスイング幅を300mV~600mV程度に下げ、mini-LVDSクロックに応じてデータの周波数を2倍( $2f$ )に上げる。データ変調部35から出力される信号は、3対の奇数の画素データRGBodd、3対の偶数の画素データRGBeven及び1対のminiクロックminiCLKを含む。各信号対は、図10及び図11のように、正極性信号Pと負極性信号Nを含む。一方、データ変調部35は、RSDS方式によりデータを変調することもできる。

30

【0044】

図10及び図11は、データ変調部35から出力されるデータの一例を示すものであって、mini-LVDS方式で変調されたデータの一例である。

【0045】

図10において、DataCLKは、システムのメインボードから生成されるデータクロックであり、mini-LVDSCLKは、データ変調部35から生成されてデータと共に送信されるクロックである。そして、mini-LVDSRGBは、リセット波形を含んでデータ変調部35により変調された正極性データ波形Pである。

40

【0046】

データ変調部35は、正極性データ信号Pの逆位相となる負極性データ信号Nも生成し、各々正極性信号Pと負極性信号Nを含む6対のデータと1対のmini-LVDSクロックを発生する。図12のように、第1番目のデータをサンプリングする第1データIC1st32Bは、リセット波形に続いて発生するスタートパルスstartをデータサンプリングスタート時点と認識して、スタートパルスstartに続いて供給されるデータをサンプリングし始める。したがって、タイミングコントローラ-31は、別途の配線を介してソーススタートパルス(Source Start Pulse: SSP)を発生

50

しない。

【 0 0 4 7 】

図 1 2 は、タイミングコントローラ 3 1 とデータ IC 3 2 A、3 2 B との間の信号送  
信経路を示す。

【 0 0 4 8 】

図 7、図 9 及び図 1 2 に示すように、タイミングコントローラ 3 1 により mini -  
LVDS 方式又は RSDS 方式により変調されたデジタルビデオデータのうち、右側デー  
タ RGB odd、RGB even は、タイミングコントローラ 3 1 のシングル出力ポート 6 3、  
接続配線 4 4、及び FFC 4 3 を経由して第 1 ソース PCB 4 1 A に接続された  
データ IC 3 2 A に送信される。右側データ RGB odd、RGB even は、液晶表示  
パネル 3 0 の右半部の画面に表示されるデータである。また、図 7、図 9 及び図 1 2 に示  
すように、タイミングコントローラ 3 1 により mini - LVDS 方式又は RSDS 方  
式で変調された左側データ RGB odd、RGB even は、タイミングコントローラ  
3 1 のシングル出力ポート 6 3、接続配線 4 4、第 1 ソース PCB 4 1 A、ソース COF  
4 2 A のダミー配線 5 1、及び液晶表示パネル 3 0 の LOG 配線 4 5 を経由して、第 2 ソ  
ース PCB 4 1 B に接続されたデータ IC 3 2 B に送信される。左側データ RGB odd  
、RGB even は、液晶表示パネル 3 0 の左半部の画面に表示されるデータである。

【 0 0 4 9 】

タイミングコントローラ 3 1 から発生するデータタイミング制御信号は、データと共  
にタイミングコントローラ 3 1 のシングル出力ポート 6 3、接続配線 4 4、及び FFC  
4 3 を経由して、第 1 ソース PCB 4 1 A に接続されたデータ IC 3 2 A に送信される。  
また、データタイミング制御信号は、タイミングコントローラ 3 1 のシングル出力ポート  
6 3、接続配線 4 4、第 1 ソース PCB 4 1 A、ソース COF 4 2 のダミー配線 5 1、  
及び液晶表示パネル 3 0 の LOG 配線 4 5 を経由して、第 2 ソース PCB 4 1 B に接続さ  
れたデータ IC 3 2 B に送信される。

【 0 0 5 0 】

第 1 番目のデータをサンプリングする最左側の第 1 データ IC 3 2 B は、図 1 0 及び  
図 1 1 においてスタートパルス以後のデータを自身の出力チャンネル数分だけサンプリング  
した後に、その次のデータのサンプリングタイミングを指示するキャリア信号 carry  
を発生して、隣接したデータ IC 3 2 B に供給する。同様に、キャリア信号 carry は  
、隣接したデータ IC 3 2 A、3 2 B に順次伝達される。第 1 及び第 2 ソース PCB 4 1  
A、4 1 B の間で、キャリア信号 carry は、液晶表示パネル 3 0 に形成された LOG  
配線 4 5 を介して送信される。一方、データ IC 3 2 A のデータサンプリング方向は、反  
対に調整されうる。この場合、第 1 及び第 2 ソース PCB 4 1 A、4 1 B の間でキャリ  
ー信号 carry は、反対方向に送信される。

【 0 0 5 1 】

コントロール PCB 4 0 に実装された直流 - 直流変換器から発生する駆動電圧は、直流  
- 直流変換器の出力端子、接続配線 4 4 及び FFC 4 3 を経由して第 1 ソース PCB 4 1  
A に接続されたデータ IC 3 2 A に送信される。また、駆動電圧は、直流 - 直流変換器の  
出力端子、接続配線 4 4、第 1 ソース PCB 4 1 A、ソース COF 4 2 A のダミー配線 5  
1、及び液晶表示パネル 3 0 の LOG 配線 4 5 を経由して、第 2 ソース PCB 4 1 B に接  
続されたデータ IC 3 2 B に送信される。

【 0 0 5 2 】

図 1 3 は、本発明の第 1 の実施の形態に係る液晶表示装置の他の構造を示す。

【 0 0 5 3 】

図 1 3 に示すように、第 2 ソース PCB 4 1 B は、FFC 5 3 を経由してコントロール  
PCB 4 0 上に形成された接続配線 5 4 に電氣的に接続される。第 1 ソース PCB 4 1 A  
とそれに接続されたデータ COF 4 2 A は、コントロール PCB 4 0 には接続されず、接  
続配線 5 4、FFC 5 3、第 2 ソース PCB 4 1 B、LOG 配線 4 5 を経由して、データ  
タイミング制御信号、キャリア信号、及び駆動電圧を供給される。

10

20

30

40

50

## 【 0 0 5 4 】

図 1 4 及び図 1 5 は、データ I C 3 2 A、3 2 B を詳細に示す回路図である。

## 【 0 0 5 5 】

図 1 4 及び図 1 5 に示すように、データ I C 3 2 A、3 2 B のそれぞれは、シフトレジスタ 9 1、データ復元部 9 2、第 1 ラッチアレイ 9 3、第 2 ラッチアレイ 9 4、デジタル / アナログ変換器 (以下、「D A C」と略す) 9 5、チャージシェア回路 (C h a r g e S h a r e C i r c u i t) 9 6 及び出力回路 9 7 を含む。

## 【 0 0 5 6 】

データ復元部 9 2 は、タイミングコントローラ 3 1 により分離された奇数の画素データ R G B o d d と偶数の画素データ R G B e v e n とを一時格納し、タイミングコントローラ 3 1 の変調方式に対応する復調方式で、変調されたデータを復元する。例えば、データ復元部 9 2 は、図 1 1 のように正極性データがハイ論理であるときに「1」を発生し、正極性データがロー論理であるときに「0」を発生してデータを復元する。そして、データ復元部 9 2 は、復元されたデータ R G B o d d、R G B e v e n を、第 1 ラッチアレイ 9 3 に供給する。

10

## 【 0 0 5 7 】

シフトレジスタ 9 1 は、ソースサンプリングクロック S S C に応じてサンプリング信号をシフトさせる。また、シフトレジスタ 9 1 は、第 1 ラッチアレイ 9 3 のラッチ数を超過するデータが供給されるとき、キャリア信号 C a r r y を発生する。第 1 番目のデータをサンプリングする第 1 データ I C 1 s t 3 2 B のシフトレジスタ 9 1 は、図 1 1 のように、データバスを介してリセット信号 r e s e t とスタートパルス s t a r t に続いて供給されるデータを、第 1 番目にサンプリングするデータと判断する。

20

## 【 0 0 5 8 】

第 1 ラッチアレイ 9 3 は、シフトレジスタ 9 1 から順次入力されるサンプリング信号に回答して、データ復元部 9 2 からのデジタルビデオデータ R G B e v e n、R G B o d d をサンプリングし、そのデータ R G B e v e n、R G B o d d を 1 水平ライン分ずつラッチした後、1 水平ライン分のデータを同時に出力する。

## 【 0 0 5 9 】

第 2 ラッチアレイ 9 4 は、第 1 ラッチアレイ 9 3 から入力される 1 水平ライン分のデータをラッチした後、ソース出力イネーブル信号 S O E のロー論理期間の間に、他のデータ I C 3 2 A の第 2 ラッチアレイ 9 4 と同時にラッチされたデジタルビデオデータ R G B e v e n、R G B o d d を出力する。

30

## 【 0 0 6 0 】

D A C 9 5 は、図 1 5 のように、正極性ガンマ補償電圧 G H が供給される P - デコーダ ( P D E C ) 1 0 1、負極性ガンマ補償電圧 G L が供給される N - デコーダ ( N D E C ) 1 0 2、極性制御信号 P O L に応答して P - デコーダ 1 0 1 の出力と N - デコーダ 1 0 2 の出力を選択するマルチプレクサ 1 0 3 を含む。P - デコーダ 1 0 1 は、第 2 ラッチアレイ 9 4 から入力されるデジタルビデオデータ R G B e v e n、R G B o d d をデコードして、そのデータの階調値に該当する正極性ガンマ補償電圧 G H を出力し、N - デコーダ 1 0 2 は、第 2 ラッチアレイ 9 4 から入力されるデジタルビデオデータ R G B e v e n、R G B o d d をデコードして、そのデータの階調値に該当する負極性ガンマ補償電圧 G L を出力する。マルチプレクサ 1 0 3 は、極性制御信号 P O L に応答して正極性のガンマ補償電圧と負極性のガンマ補償電圧を選択する。

40

## 【 0 0 6 1 】

チャージシェア回路 9 6 は、ソース出力イネーブル信号 S O E のハイ論理期間の間に、隣接したデータ出力チャネルを短絡 ( s h o r t ) させて、隣接したデータ電圧の平均値をチャージシェア電圧として出力するか、またはソース出力イネーブル信号 S O E のハイ論理期間の間に、データ出力チャネルに共通電圧 V c o m を供給して、正極性データ電圧と負極性データ電圧の急激な変化を減らす。

## 【 0 0 6 2 】

50

出力回路 97 は、バッファを含んでおり、データライン D1 ~ Dk に供給されるアナログデータ電圧の信号減衰を最小化する。

【0063】

図 16 は、図 7 に示すタイミングコントローラ 31、第 1 ソース PCB41A に接続されたデータ IC32A と、第 2 ソース PCB41B に接続されたデータ IC32B と、その間の抵抗  $R_S$ 、 $R_{DIV}$ 、 $R_{EQ}$ 、 $R_{LOG}$ 、 $R_{TA}$ 、 $R_{TB}$  を等価的に示す。

【0064】

タイミングコントローラ 31 から出力されるデータとクロック信号のそれぞれは、正極性信号 P と負極性信号 N を含む。このタイミングコントローラ 31 の正極性信号出力端子には、抵抗  $R_S$  が接続され、タイミングコントローラ 31 の負極性信号出力端子には、抵抗  $R_S$  が接続される。また、タイミングコントローラ 31 の正極性信号出力端子と負極性信号出力端子との間に抵抗  $R_{DIV}$  が接続される。データ IC32A、32B のそれぞれの正極性信号入力端子と負極性信号入力端子との間には、抵抗  $R_{TA}$ 、 $R_{TB}$  が接続される。このような抵抗  $R_S$ 、 $R_{DIV}$ 、 $R_{TA}$ 、 $R_{TB}$  は、正極性信号 P と負極性信号 N の位相を同期させ、その電圧を 300mV ~ 600mV 程度に調整する。「 $R_{EQ}$ 」は、直列抵抗  $R_S$  と第 1 ソース PCB41A に接続されたデータ IC32A との間の信号送信配線と、直列抵抗  $R_S$  と LOG 配線 45 との間の信号送信配線を等価的に示した抵抗であって、コントロール PCB40 に形成された接続配線 44 と FFC43 の抵抗を含む。

【0065】

図 16 から分かるように、第 2 ソース PCB41B に接続されたデータ IC32B に供給されるデータ、キャリア、及び駆動電圧は、LOG 配線 45 の抵抗  $R_{LOG}$  によって電圧降下する。したがって、第 1 ソース PCB41A に接続されたデータ IC32A に供給される信号に比べて、第 2 ソース PCB41B に接続されたデータ IC32B に供給される信号の電圧が低くなる。

【0066】

LOG 抵抗を補償するために、本発明の第 1 の実施の形態に係る液晶表示装置は、LOG 抵抗の影響を受けないデータ IC32A の正極性信号入力端子と負極性信号入力端子との間に接続された抵抗  $R_{TA}$ 、 $R_{TB}$  の抵抗値を、下記のように決定する。

【0067】

LOG 抵抗に影響を受けないデータ IC32A に供給される mini LVDS 信号の電圧  $V_{swingA}$  は、下式 (1) のとおりである。

【0068】

【数 1】

$$V_{swingA} = \frac{(R_{DV}/2)}{(R_{DV}/2) + R_{DRIVER} + R_S} \cdot \frac{(R_{TB}/2)}{(R_{TB}/2) + R_{EQ}} \cdot V_{CCO} \quad (1)$$

【0069】

LOG 抵抗に影響を受けるデータ IC32B に供給される mini LVDS 信号の電圧  $V_{swingB}$  は、下式 (2) のとおりである。

【0070】

【数 2】

$$V_{swingB} = \frac{(R_{DV}/2)}{(R_{DV}/2) + R_{DRIVER} + R_S} \cdot \frac{(R_{TA}/2)}{(R_{TA}/2) + R_{EQ} + R_{LOG}} \cdot V_{CCO} \quad (2)$$

【0071】

上式 (1) 及び (2) において、 $R_{DRIVER}$  は、タイミングコントローラ 31 内の内部抵抗であり、 $V_{CCO}$  は、タイミングコントローラ 31 の出力段に内蔵されたデータ送信バッファの駆動電圧である。

10

20

30

40

50

【0072】

このデータIC32A、32Bのmini LVDS信号入力の偏差を補正するためには、下式(3)のように、LOG抵抗の影響を受けないmini LVDS信号入力電圧と、LOG抵抗の影響を受けるmini LVDS信号入力電圧とが同じでなければならない。

【0073】

【数3】

$$V_{swing_A} = V_{swing_B}$$

$$= \frac{R_{TB}}{R_{TB} + 2R_{EQ}} = \frac{R_{TA}}{R_{TA} + 2R_{EQ} + 2R_{LOG}} \quad (3) \quad 10$$

【0074】

したがって、第1ソースPCB41Aに接続されたデータIC32Aの正極性信号入力端子と負極性信号入力端子との間に接続された抵抗 $R_{TA}$ は、下式(4)のような抵抗値で決定される。

【0075】

【数4】

$$R_{TA} = \frac{R_{TB}(R_{EQ} + R_{LOG})}{R_{EQ}} \quad (4) \quad 20$$

【0076】

本発明の第2の実施の形態に係る液晶表示装置は、コントロールPCBに形成された、いくつかの構成要素を除去する代わりに、その構成要素をシステムボード内に集積する。以下において、本発明の第1の実施の形態において説明済みの構成要素については、同じ図面符号を付し、それについての詳細な説明を省略する。

【0077】

次に、図17～図21を用いて、本発明の第2の実施の形態に係る液晶表示装置を説明する。

図17は、本発明の第2の実施の形態に係る液晶表示パネル30、データ駆動回路32、タイミングコントローラ31及びグラフィック処理回路64の組み立て状態を示す。 30

【0078】

図17に示すように、システムボード60は、外部機器から入力される多様な属性の映像データを供給するためのインタフェース回路62、インタフェース回路62からの映像データを液晶表示パネル30に合うように変換するグラフィック処理回路64、及び液晶表示パネル30の駆動に必要な駆動電圧を発生する直流-直流変換器(DC-DC Converter)38を備える。

【0079】

インタフェース回路62は、DVD、CD及びHDDなどの格納媒体、TV受信回路などからの多様な属性の映像データをグラフィック処理回路64に供給する。 40

【0080】

グラフィック処理回路64は、アナログ-デジタル変換部64a、スケーラ部64b、イメージ処理部64cなどを含んで、インタフェース回路62からの映像データを液晶表示パネル30に合うように変換するとともに、インタフェース回路62からの映像データを用いて、液晶表示パネル30の解像度に合うタイミング信号を生成する。グラフィック処理回路64は、変換されたデジタル映像データ及び生成されたタイミング信号を、ワイヤケーブル68を介してタイミングコントローラ31に供給する。

【0081】

アナログ-デジタル変換部64aは、インタフェース回路62を介して供給されるアナログ映像データをデジタルビデオデータに変換する。 50

## 【 0 0 8 2 】

スケーラー部 6 4 b は、インタフェース回路 6 2 からのデジタルビデオデータの解像度を液晶表示パネル 3 0 の解像度に合うように変換する。また、スケーラー部 6 4 b は、液晶表示パネル 3 0 の応答特性及びコントラスト比のうち、少なくともいずれか 1 つを調整するために、予め設定された所定の補償値でインタフェース回路 6 2 からのデジタルビデオデータを変調することもできる。このために、スケーラー部 6 4 b は、液晶表示パネル 3 0 の応答特性を向上させるための第 1 変調部と、液晶表示パネル 3 0 のコントラスト比を強調させるための第 2 変調部のうち、少なくともいずれか 1 つを備えることができる。

## 【 0 0 8 3 】

第 1 変調部は、図 1 8 のように、前回フレームデータと現在フレームデータとを比較し、その比較結果に応じるデータの変化を判断して、その判断結果に対応する第 1 補償値をメモリから読んで、その第 1 補償値でデジタルビデオデータを変調することによって、平板表示パネルの応答特性を向上させる。液晶表示装置において主に用いられている TN モード (Twisted Nematic mode) の液晶応答速度は、液晶材料の物性とセルギャップなどにより変わるが、通常、立ち上がりタイムが 20 ms ~ 80 ms の範囲であり、立下りタイムが 20 ms ~ 30 ms の範囲である。このような液晶の応答速度は、1 フレーム期間 (NTSC : 16.67 ms) より長い。このため、液晶セルに充電される電圧が、所望の電圧に到達する前に、次のフレームに進んでしまうため、動画において画面が薄暗くなるモーションバーリング (Motion Burring) 現象が現れる。すなわち、液晶ののろい応答速度に起因して、あるレベルから他のレベルにデータが変わるとき、それに対応する表示輝度が所望の目標輝度に到達できない。第 1 変調部は、デジタルビデオデータを前回フレームと現在フレームとの間で比較し、その比較結果に応じて、予め設定された第 1 補償値を選択し、選択された補償値でデジタルビデオデータを変調して、液晶表示パネルに供給される電圧の絶対値を VD から MVD に大きくする。そのために、第 1 変調部は、図 1 9 のように、2 つのフレームメモリ 1 1 1、1 1 2 とルックアップテーブル 1 1 3 とを含む。

## 【 0 0 8 4 】

第 1 及び第 2 フレームメモリ 1 1 1、1 1 2 は、デジタルビデオデータ RiGiBi をフレーム単位に交互に格納し、該格納されたデータを交互に出力して、ルックアップテーブル 1 1 3 に前回フレームデータ、すなわち、n - 1 番目のフレームデータ Fn - 1 を供給する。

## 【 0 0 8 5 】

ルックアップテーブル 1 1 3 は、予め設定された第 1 補償値を含んでメモリに格納されている。このルックアップテーブル 1 1 3 は、n 番目のフレームデータ Fn と第 1 及び第 2 フレームメモリ 1 1 1、1 1 2 から入力される n - 1 番目のフレームデータ Fn - 1 とを比較し、その比較結果に対応する第 1 補償値を変調されたデジタルビデオデータ ODC (RGB) として出力する。

## 【 0 0 8 6 】

換言すれば、第 1 変調部は、予め決定された第 1 補償値に応じて、同じピクセルでそのピクセルデータ値が前回フレーム Fn - 1 より現在フレーム Fn が、より大きくなれば、現在フレーム Fn より大きい値でデジタルビデオデータを変調し、前回フレーム Fn - 1 より現在フレーム Fn が、より小さくなれば、現在フレーム Fn より小さな値でデジタルビデオデータを変調する。そして、第 1 変調部は、同じピクセルでそのピクセルデータ値が前回フレーム Fn - 1 と現在フレーム Fn とで同一であれば、現在フレーム Fn と同じ値でデジタルビデオデータを変調、すなわち、現在フレーム Fn のデータをそのまま出力する。

## 【 0 0 8 7 】

このような第 1 変調部は、本願出願人により既出願された韓国特許出願第 10 - 2001 - 0032364 号、第 10 - 2001 - 0057119 号、第 10 - 2001 - 0054123 号、第 10 - 2001 - 0054124 号、第 10 - 2001 - 005412

10

20

30

40

50

5号、第10-2001-0054127号、第10-2001-0054128号、第10-2001-0054327号、第10-2001-0054889号、第10-2001-0056235号、第10-2001-0078449号、第10-2002-0046858号、第10-2002-0074366号等に開示された変調方式を用いて、液晶の応答特性を速くすることができる。

【0088】

第2変調部は、図20のように、1フレーム映像のデジタルビデオデータR i G i B iに対して輝度を分析し、その輝度分析結果に応じてメモリに格納された第2補償値でデジタルビデオデータR i G i B iを変調して、明るい映像部分に表示されるデジタルビデオデータR i G i B iの輝度値を高め、その一方で、相対的に暗い映像部分に表示されるデジタルビデオデータR i G i B iの輝度値を下げる。第2補償値は、各階調区間の輝度及びコントラストを強調するための多様な形態のデータストレッチングカーブの出力階調に対応する値で決定される。ここで、第2変調部は、1画面の階調分布において、デジタルビデオデータR i G i B iが集中する階調区間で傾きが大きく、相対的にデジタルビデオデータR i G i B iの分布が小さな階調区間で傾きが小さなデータストレッチングカーブの第2補償値で、デジタルビデオデータR i G i B iを変調する。これと同時に、第2変調部は、輝度分析結果に応じて、明るい映像部分に光を照射するバックライト光源の明るさを上げ、その一方で、相対的に暗い部分に光を照射するバックライト光源の明るさを下げないように液晶表示装置のバックライトユニット輝度を制御する。結果的に、第2変調部は、映像分析の結果に応じてデジタルビデオデータR i G i B iの輝度を変調すると同時に、バックライト輝度を制御して表示映像の輝度及びコントラストを増加させて、動画においてダイナミックコントラスト比(D y n a m i c c o n t r a s t r a t i o)を大きくする。このために、第2変調部は、図20のように、輝度/色分離部201、遅延部202、輝度/カラーミキシング部203、データ処理部204、ヒストグラム分析部205、及びバックライト制御部206を備える。

【0089】

輝度/色分離部201は、デジタルビデオデータR i G i B iを輝度成分Yと色差成分U、Vとに分離する。

【0090】

ヒストグラム分析部205は、輝度/色分離部201により分離された輝度成分Yを受けて、輝度成分Yを階調別累積分布関数に分類、すなわち、図21のようなヒストグラムに分類する。また、ヒストグラム分析部205は、水平及び垂直同期信号H、Vとクロック信号C L Kとを用いて、デジタルビデオデータR i G i B iの表示位置を判断する。

データ処理部204は、ヒストグラム分析部205から入力されるヒストグラム分析結果とメモリから入力される第2補償値とを用いて、入力映像の輝度成分Yを選択的に変調して、コントラスト比が選択的に強調された輝度成分Y Mを出力する。

【0091】

遅延部202は、データ処理部204で変調された輝度成分Y Mが生成されるまで、色差成分U、Vを遅延させて、輝度/カラーミキシング部203に入力される変調された輝度成分Y Mと色差成分U D、V Dとを同期させる。

【0092】

輝度/カラーミキシング部203は、変調された輝度成分Y Mと遅延された色差成分U D、V Dとを用いて、変調デジタルビデオデータA I ( R G B )を算出する。

【0093】

バックライト制御部206は、ヒストグラム分析部205から入力されるヒストグラム分析結果と、デジタルビデオデータR i G i B iのそれぞれの表示位置判定結果とに基づいて調光制御信号D i mを異なるように発生して、データ処理部204によりコントラスト比が強調されたデータA I ( R G B )の表示面に光を照射するバックライト光源の輝度を調整する。

【0094】

10

20

30

40

50

インバータ207は、調光制御信号Dimに応じてバックライト光源の各々に供給される駆動交流電源のデューティー比（又は点灯及び消灯比）を異なるように制御して、表示映像の輝度に応じてバックライト輝度を異なるように制御する。

【0095】

このような第2変調部は、本願出願人により既出願された韓国特許出願第10-2003-0099334号、第10-2004-0030334号、第10-2003-0041127号、第10-2004-0078112号、第10-2003-0099330号、第10-2004-0115740号、第10-2004-0049637号、第10-2003-0040127号、第10-2003-0081171号、第10-2004-0030335号、第10-2004-0049305号、第10-2003-0081174号、第10-2003-0081175号、第10-2003-0081172号、第10-2003-0080177号、第10-2003-0081173号、第10-2004-0030336号等に関示された変調方式を用いて、液晶表示パネル30のコントラスト比を上げることができる。

10

【0096】

図17において、イメージ処理部64cは、解像度の変換による画質の低下を、信号補間法により補償することによって、入力映像のイメージを処理する。また、イメージ処理部64cは、液晶表示パネル30の解像度に合う垂直/水平同期信号H.V sync、データネーブル信号DE及びクロック信号CLKを生成する。

【0097】

直流-直流変換器38は、液晶表示パネル30において必要とされる駆動電圧を発生する。直流-直流変換器38から発生する駆動電圧は、ゲートハイ電圧VGH、ゲートロー電圧VGL、共通電圧Vcom、高電位電源電圧VDD、低電位電源電圧VSS、高電位電源電圧VDDと低電位電源電圧VSSとの間で分圧される複数のガンマ基準電圧などを含む。ガンマ基準電圧は、デジタルビデオデータRGBodd、RGBevenのビット数で表現可能な階調数分だけデータIC32A、32B内で各階調に該当するアナログガンマ補償電圧に細分化される。ゲートハイ電圧VGH、ゲートロー電圧VGLは、スキャンパルスのスイング電圧である。このような駆動電圧は、ケーブル68を経由してコントロールPCB40上の信号配線46に供給される。

20

【0098】

システムボード40上に実装された直流-直流変換器38から発生された駆動電圧は、直流-直流変換器の出力端子、ケーブル68、信号配線46、1ポート接続配線44及びFFC43を経由して、第1ソースPCB41Aに接続された第1データIC32Aに送信される。また、駆動電圧は、直流-直流変換器の出力端子、ワイヤーケーブル、信号配線46、第1ソースPCB41A、ソースCOF42のダミー配線48、及び液晶表示パネル30のLOG配線45を経由して、第2ソースPCB41Bに接続された第2データIC32Bに送信される。

30

【0099】

このように、本発明の第2の実施の形態に係る液晶表示装置は、従来のコントロールPCBにより行なわれた一部機能、すなわち、液晶表示パネル30の応答特性及びコントラスト比のうち、少なくともいずれか1つを調整するために、所定の補償値でデジタル映像データを変調する機能と液晶表示パネル30の駆動に必要な駆動電圧を発生する回路をシステムボード60に実装する。したがって、本発明の第2の実施の形態に係る液晶表示装置は、コントロールPCB40の大きさを大幅に減少させることができる。

40

【0100】

上述のように、本発明の第2の実施の形態に係る液晶表示装置は、ソースPCBを分割し、コントロールPCBの一部機能をシステムボードに統合させ、かつタイミングコントローラーの出力ポートをシングル出力ポートで構成してコントロールPCBの大きさと出力ピン数を減らすことによって、工程時間の縮小、製造費用の低減及び液晶表示装置の薄型化を可能にする。

50

## 【0101】

次に、図22を用いて、本発明の第3の実施の形態に係る液晶表示装置を説明する。

本発明の第3の実施の形態に係る液晶表示装置は、従来の技術においてコントロールPCB上に実装されたすべての構成要素をシステムボード60内に集積する。

## 【0102】

図22に示すように、システムボード60上には、タイミングコントローラ31、EEPROM31a、液晶表示パネル30の駆動電圧を発生するための直流-直流変換器38などの回路が含まれている。また、システムボード60は、外部機器から入力される多様な属性の映像データを供給するためのインタフェース回路62を含む。また、システムボード60上には、アナログデータをデジタルデータに変換し、液晶表示パネル30の解像度に合うように入力データの解像度を変換するためのスケーラーと、信号補間(Signal Interpolation)とイメージ処理のためのイメージ処理回路などを含むグラフィック処理回路64が実装される。このように、本発明の第3の実施の形態に係る液晶表示装置は、従来の技術においてコントロールPCB上に実装されたタイミングコントローラ、EEPROM、及び直流-直流変換器などを、システムボード60上に実装して、既存のコントロールPCBとシステムボードとを1つのボードに統合する。したがって、本発明の第3の実施の形態に係る液晶表示装置は、既存のコントロールPCBとシステムボードとを接続したワイヤーケーブルを除去できるので、製造費用の低減、工程時間の減少及び液晶表示装置の薄型化を可能にする。

## 【0103】

図22において、FFC143は、システムボード40と第1ソースPCB41Aとを電氣的に接続する。このFFC143は、タイミングコントローラ31から生成されたデジタルビデオデータRGBodd、RGBeven及びタイミング制御信号と、直流-直流変換器38から生成された駆動電圧を、第1ソースPCB41AのデータIC32Aに伝達する。

## 【0104】

次に、図23～図26を用いて、本発明の第4の実施の形態に係る液晶表示装置を説明する。

## 【0105】

以下、本発明の第4の実施の形態に係る液晶表示装置の構成のうち、前述の実施の形態と実質的に同じ構成については、同じ図面符号を付し、それについての詳細な説明は省略する。

## 【0106】

図23は、本発明の第4の実施の形態に係る液晶表示装置において、タイミングコントローラとデータICとの接続構造を詳細に示す図である。図24は、ソースCOFに形成されたダミー配線と液晶表示パネル30の基板上に形成されたLOG配線とを示す図である。

## 【0107】

図23及び図24に示すように、LOG配線45は、大きなライン抵抗を有し、そのライン抵抗の合計を「Rlog」とすれば、第2ソースPCB41Bから供給される駆動電圧は、LOG抵抗Rlogにより電圧降下して、第1ソースPCB41Aから供給される信号電圧に比べて小さくなる。したがって、第1ソースPCB41Aに接続されたソースCOF42のそれぞれに実装された第1データIC32Aには、第2データIC32Bに供給される信号電圧の電圧降下分だけ第1ソースPCB41Aから供給される駆動電圧を下げるために、補償抵抗Rcが接続される。この補償抵抗Rcにより、データIC32Aに供給される電圧とデータIC32Bに供給される駆動電圧とが同様になる。

## 【0108】

図25及び図26は、第1データIC32Aを詳細に示す回路図である。

## 【0109】

図25及び図26に示すように、第1データIC32Aのそれぞれは、シフトレジスタ

91、データ復元部92、第1ラッチアレイ93、第2ラッチアレイ94、DAC95、チャージシェア回路96、出力回路97及びガンマ補償電圧発生部98を含む。

【0110】

ガンマ補償電圧発生部98は、図26のように、共通電圧 $V_{com}$ を間に隔てて高電位電源電圧 $V_{DD}$ と低電位電源電圧 $V_{SS}$ との間で分圧される複数のガンマ基準電圧をデジタルビデオデータ $RGB_{odd}$ 、 $RGB_{even}$ のビット数で表現可能な階調数( $i$ )の分だけ、さらに細分化して、各階調に該当する正極性ガンマ補償電圧 $V_{GH0} \sim V_{GH}(i-1)$ と負極性ガンマ補償電圧 $V_{GL0} \sim V_{GL}(i-1)$ を発生する。このために、ガンマ補償電圧発生部98は、高電位電源電圧 $V_{DD}$ と低電位電源電圧 $V_{SS}$ との間で互いに直列に接続された複数の分圧用抵抗 $R_{01} \sim R_{i1}$ 、 $R_{02} \sim R_{i2}$ を含む抵抗ストリング( $String$ )を備える。抵抗ストリングに並列に接続された補償抵抗 $R_c$ は、正極性ガンマ補償電圧 $V_{GH0} \sim V_{GH}(i-1)$ と負極性ガンマ補償電圧 $V_{GL0} \sim V_{GL}(i-1)$ の大きさを下げる機能を果たす。この補償抵抗 $R_c$ は、第1ソースPCB41Aに接続された第1データIC32Aのそれぞれの抵抗ストリングに並列に接続される。この補償抵抗 $R_c$ の大きさは、図5のLOG配線45の等価抵抗 $R_{log}$ による電圧降下分を考慮して、第1ソースPCB41Aに接続された第1データIC32Aのそれぞれから発生するガンマ補償電圧の大きさと、第2ソースPCB41Bに接続された第2データIC32Bのそれぞれから発生するガンマ補償電圧の大きさが、互いに同一階調のデータにおいて同じになるように設定されなければならない。

10

【0111】

一方、第2データIC32Bは、ガンマ補償電圧発生部98を除外すれば、第1データIC32Aと実質的に同じ構成を有する。図面には示していないが、第2データIC32Bのガンマ補償電圧発生部は、分圧用抵抗ストリングで構成され、抵抗ストリングに並列に接続された補償抵抗を必要としない。

20

【0112】

次に、図27～図29を用いて、本発明の第5の実施の形態に係る液晶表示装置を説明する。

図27は、本発明の第5の実施の形態に係る液晶表示装置を示す。この実施の形態5において、前述した実施の形態と同じ構成要素については、同じ図面符号を付し、それについての詳細な説明を省略する。

30

【0113】

図27に示すように、ソースCOF42は、第1及び第2ソースPCB41A、41Bに分けて接続される。ソースCOF42には、データタイミング制御信号と駆動電圧を送信するダミー配線51が形成される。ダミー配線51は、デジタルビデオデータ $RGB_{odd}$ 、 $RGB_{even}$ とキャリア信号を含むデータタイミング制御信号を送信する第1ダミー配線51aと、高電位電源電圧 $V_{DD}$ 、低電位電源電圧 $V_{SS}$ 、及びガンマ基準電圧( $Gamma\ reference\ voltages$ )などの駆動電圧を送信する第2ダミー配線51bとに分けられる。

【0114】

本発明の第5の実施の形態では、駆動電圧を送信する第2ダミー配線51bの線幅を、データタイミング制御信号を送信する第1ダミー配線51aの線幅より広くする。また、第2ダミー配線51bと電氣的に接続される第2LOG配線45bの線幅も、第1ダミー配線51aと電氣的に接続される第1LOG配線45aの線幅より広くする。抵抗の大きさは、長さに比例し、単位面積に反比例するので、第2ダミー配線51bの線幅を広くするとき、それだけLOGライン抵抗 $R_{log}$ による電圧降下量が減少する。第1ダミー配線51aは、デジタルビデオデータ $RGB_{odd}$ 、 $RGB_{even}$ とキャリア信号とを含むデータタイミング制御信号を送信するので、第1LOG配線45aのライン抵抗に影響を受けない。

40

【0115】

図28及び図29は、図27に示す第1データIC32Aを詳細に示す回路図である。

50

## 【 0 1 1 6 】

図 2 8 及び図 2 9 に示すように、第 1 データ I C 3 2 A のそれぞれは、シフトレジスタ 9 1、データ復元部 9 2、第 1 ラッチアレイ 9 3、第 2 ラッチアレイ 9 4、D A C 9 5、チャージシェア回路 9 6、出力回路 9 7 及びガンマ補償電圧発生部 9 8 を含む。

## 【 0 1 1 7 】

ガンマ補償電圧発生部 9 8 は、共通電圧 V c o m を隔てて高電位電源電圧 V D D と低電位電源電圧 V S S との間で分圧される複数のガンマ基準電圧をデジタルビデオデータ R G B o d d、R G B e v e n のビット数で表現可能な階調数 ( i ) の分だけ、さらに細分化して、各階調に該当する正極性ガンマ補償電圧 V G H 0 ~ V G H ( i - 1 ) と負極性ガンマ補償電圧 V G L 0 ~ V G L ( i - 1 ) とを発生する。このために、ガンマ補償電圧発生部 9 8 は、高電位電源電圧 V D D と低電位電源電圧 V S S との間で互いに直列に接続された複数の分圧用抵抗 R 0 1 ~ R i 1、R 0 2 ~ R i 2 を含む抵抗ストリング ( S t r i n g ) を備える。一方、図示していないが、第 2 データ I C 3 2 B は、第 1 データ I C 3 2 A と実質的に同じ構成を有する。

10

## 【 0 1 1 8 】

次に、図 3 0、図 3 1 を用いて、本発明の第 6 の実施の形態に係る液晶表示装置を説明する。

図 3 0 は、本発明の第 6 の実施の形態に係る液晶表示装置において、液晶表示パネル 3 0、データ駆動回路 3 2 及びタイミングコントローラ 3 1 の組み立て状態を示す図である。

20

## 【 0 1 1 9 】

図 3 0 に示すように、データ駆動回路 3 2 は、複数のデータ I C 3 2 A、3 2 B を含む。複数のデータ I C 3 2 A、3 2 B は、ソース C O F 4 2 にそれぞれ実装される。ソース C O F 4 2 は、2 つに分割された第 1 及び第 2 ソース P C B 4 1 A、4 1 B に分けられて接続される。ソース C O F 4 2 の入力端子は、第 1 及び第 2 ソース P C B 4 1 A、4 1 B の出力端子に電氣的に接続され、第 1 及び第 2 ソース C O F 4 2 の出力端子は、A C F を介して液晶表示パネル 3 0 の下部ガラス基板に形成されたデータパッドに電氣的に接続される。第 1 及び第 2 ソース P C B 4 1 A、4 1 B には、デジタルビデオデータ R G B o d d、R G B e v e n が送信されるバス配線、データタイミング制御信号が送信されるバス配線、及び駆動電圧が送信されるバス配線が形成される。

30

## 【 0 1 2 0 】

第 1 ソース P C B 4 1 A の入力端子は、第 1 F F C 4 3 A を経由してコントロール P C B 4 0 上に形成された 2 ポート接続配線 4 4 に接続される。第 2 ソース P C B 4 1 B の入力端子は、第 2 F F C 4 3 B を経由してコントロール P C B 4 0 上に形成された 2 ポート接続配線 4 4 に接続される。

## 【 0 1 2 1 】

コントロール P C B 4 0 には、タイミングコントローラ 3 1、E E P R O M 3 1 a、液晶表示パネル 3 0 の駆動電圧を発生するための直流 - 直流変換器などの回路と共に、2 ポート接続配線 4 4 が形成される。直流 - 直流変換器から生成される駆動電圧は、ゲートハイ電圧 V G H、ゲートロー電圧 V G L、共通電圧 V c o m、高電位電源電圧 V D D、低電位電源電圧 V S S、高電位電源電圧 V D D と低電位電源電圧 V S S との間で分圧される複数のガンマ基準電圧などを含む。ガンマ基準電圧は、デジタルビデオデータ R G B o d d、R G B e v e n のビット数で表現可能な階調数の分だけ、データ I C 3 2 A 内で分圧されて、各階調に該当するアナログガンマ補償電圧に細分化される。ゲートハイ電圧 V G H、ゲートロー電圧 V G L は、スキャンパルスのスイング電圧である。E E P R O M 3 1 a は、タイミングコントローラ 3 1 から生成されるタイミング制御信号に対する波形オプション情報が複数のモード別に格納されて、ユーザからの命令に応じて該当モードで波形情報をタイミングコントローラ 3 1 に供給する。タイミングコントローラ 3 1 は、E E P R O M 3 1 a からの波形オプション情報に応じて、各々のモードで互いに異なる形態でタイミング制御信号を生成する。

40

50

## 【 0 1 2 2 】

コントロールPCB40に形成された2ポート接続配線44は、「Y」字状にパターンニングされて、図9に示すタイミングコントローラ31のシングル出力ポート63を第1及び第2FFC43A、43Bに接続する。この2ポート接続配線44を介してタイミングコントローラ31から生成されたデジタルビデオデータRGBodd、RGBeven及びタイミング制御信号と、直流-直流変換器から生成された駆動電圧が、第1及び第2FFC43A、43Bに供給される。

## 【 0 1 2 3 】

図31は、タイミングコントローラ31とデータIC32A、32Bとの間の信号送信経路を示す。

10

## 【 0 1 2 4 】

図31に示すように、タイミングコントローラ31によりmini-LVDS方式又はRSDS方式で変調されたデジタルビデオデータのうち、左側データRGBodd、RGBevenは、タイミングコントローラ31のシングル出力ポート63、2ポート接続配線44、及び第1FFC43Aを経由して、第1ソースPCB41Aに接続された第1データIC32Aに送信される。左側データRGBodd、RGBevenは、液晶表示パネル30の左半部の画面に表示されるデータである。タイミングコントローラ31によりmini-LVDS方式又はRSDS方式で変調された右側データRGBodd、RGBevenは、タイミングコントローラ31のシングル出力ポート63、2ポート接続配線44、及び第2FFC43Bを経由して、第2ソースPCB41Bに接続された第2データIC32Bに送信される。右側データRGBodd、RGBevenは、液晶表示パネル30の右半部の画面に表示されるデータである。

20

## 【 0 1 2 5 】

第1番目のデータをサンプリングする最右側の第1データIC32Bは、図10及び図11においてスタートパルス以後のデータを自身の出力チャンネル数分だけサンプリングした後に、その次のデータのサンプリングタイミングを指示するキャリー信号Carryを発生して、隣接した第2データIC32Bに供給する。同様に、キャリー信号Carryは、隣接したデータIC32A、32Bに順次伝達される。第1及び第2ソースPCB41A、41Bの間でキャリー信号Carryは、第2FFC43B、コントロールPCB40上に形成された2ポート接続配線44及び第1FFC43Aを経由して送信される。一方、データIC32A、32Bのデータサンプリング方向は、反対に調整されうる。この場合、第1及び第2ソースPCB41A、41Bの間でキャリー信号Carryは、第1FFC43A、2ポート接続配線44及び第2FFC43Bを経由して、反対方向に送信される。

30

## 【 0 1 2 6 】

コントロールPCB40上に実装された直流-直流変換器から発生する駆動電圧は、2ポート接続配線44、第1FFC43A及び第2FFC43Bを経由して、すべてのデータIC32A、32Bに同時に供給される。

## 【 0 1 2 7 】

次に、図32、図33を用いて、本発明の第7の実施の形態に係る液晶表示装置を説明する。

40

図32は、本発明の第7の実施の形態に係る液晶表示パネル30、データ駆動回路32及びタイミングコントローラ31の組み立て状態を示す。

## 【 0 1 2 8 】

図32に示すように、データ駆動回路32は、複数の第1及び第2データIC32A、32Bを含む。

## 【 0 1 2 9 】

複数のデータIC32A、32Bは、ソースCOF42にそれぞれ実装される。ソースCOF42の代わりにソースTCP(Tape Carrier Package)を適用することもできる。ソースCOF42は、2つに分割された第1及び第2ソースPCB

50

41A、41Bに分けられて接続される。ソースCOF42の入力端子は、第1及び第2ソースPCB41A、41Bの出力端子に電氣的に接続され、ソースCOF42の出力端子は、ACFを介して液晶表示パネル30の下部ガラス基板に形成されたデータパッドに電氣的に接続される。第1及び第2ソースPCB41A、41Bには、デジタルビデオデータRGBodd、RGBevenが送信されるバス配線、キャリア信号を含むデータタイミング制御信号が送信されるバス配線、及び駆動電圧が送信されるバス配線が形成される。

【0130】

第1ソースPCB41Aの入力端子は、Y型FFC(Flexible Flat Cable)の第1出力段43AとY型FFCの共通入力段43Cを経由して、システムボード60と電氣的に接続される。第2ソースPCB41Bの入力端子は、Y型FFCの第2出力段43BとY型FFCの共通入力段43Cとを経由して、システムボード60と電氣的に接続される。

10

【0131】

システムボード60上には、タイミングコントローラ31、EEPROM31a、液晶表示パネル30の駆動電圧を発生するための直流-直流変換器38などの回路が含まれている。また、システムボード40上には、インタフェース回路62とグラフィック処理回路64とが実装される。このように、本発明の第7の実施の形態に係る液晶表示装置は、従来の技術においてコントロールPCB上に実装されたタイミングコントローラ、EEPROM、及び直流-直流変換器などをシステムボード60上に実装して、従来のコントロールPCBとシステムボードとを1つのボードに統合する。

20

【0132】

システムボード60と第1及び第2ソースPCB41A、41Bとを電氣的に接続するFFCは、Y字状を有する。このY型FFCの共通入力段43Cを経由してタイミングコントローラ31から生成されたデジタルビデオデータRGBodd、RGBeven及びタイミング制御信号と、直流-直流変換器38から生成された駆動電圧が第1及び第2ソースPCB41A、41BのデータIC32A、32Bに伝達される。

【0133】

図33は、本発明の第7の実施の形態に係る液晶表示装置において、タイミングコントローラ31とデータIC32a、32Bとの間の信号送信経路を示す。

30

【0134】

図33に示すように、タイミングコントローラ31によりmini-LVDS方式又はRSDS方式で変調されたデジタルビデオデータのうち、右側データRGBodd、RGBevenは、タイミングコントローラ31のシングル出力ポート63、Y型FFCの共通入力段43C、及びY型FFCの一方の出力段43Aを経由して、第1ソースPCB41Aに接続された第1データIC32Aに送信される。右側データRGBodd、RGBevenは、液晶表示パネル30の右半部の画面に表示されるデータである。タイミングコントローラ31によりmini-LVDS方式又はRSDS方式で変調された左側データRGBodd、RGBevenは、タイミングコントローラ31のシングル出力ポート63、Y型FFCの共通入力段43C、及びY型FFCの他側出力段43Bを経由して、第2ソースPCB41Bに接続された第2データIC32Bに送信される。左側データRGBodd、RGBevenは、液晶表示パネル30の左半部の画面に表示されるデータである。

40

【0135】

タイミングコントローラ31から発生するデータタイミング制御信号は、データと共にタイミングコントローラ31のシングル出力ポート63、Y型FFCの共通入力段43C、及びY型FFCの一方の出力段43Aを経由して、第1ソースPCB41Aに接続された第1データIC32Aに送信される。また、データタイミング制御信号は、タイミングコントローラ31のシングル出力ポート63、Y型FFCの共通入力段43C、及びY型FFCの他側出力段43Bを経由して、第2ソースPCB41Bに接続された第2

50

データIC32Bに送信される。

【0136】

第1番目のデータをサンプリングする最右側のデータIC32Bは、スタートパルス以後のデータを自身の出力チャンネル数分だけサンプリングした後に、その次のデータのサンプリングタイミングを指示するキャリア信号Carryを発生して、右側に直に隣接するデータIC32Bに供給する。同様に、キャリア信号Carryは、隣接したデータIC32A、32Bに順次伝達される。第1及び第2ソースPCB41A、41Bの間でキャリア信号Carryは、Y型FFCの他側43B、Y型FFCの一側43Aを經由して送信される。データIC32A、32Bのデータサンプリング方向は、反対に調整されうる。この場合、第1及び第2ソースPCB41A、41Bの間でキャリア信号Carryは、反対方向に送信される。

10

【0137】

システムボード60上に実装された直流-直流変換器38から発生される駆動電圧は、直流-直流変換器の出力端子73、Y型FFCの共通入力段43C、及びY型FFCの一側出力段43Aを經由して、第1ソースPCB41Aに接続された第1データIC32Aに送信される。また、駆動電圧は、直流-直流変換器の出力端子73、Y型FFCの共通入力段43C、及びY型FFCの他側出力段43Bを經由して、第2ソースPCB41Bに接続された第2データIC32Bに送信される。

【0138】

次に、図34、図35を用いて、本発明の第8の実施の形態に係る液晶表示装置を説明する。

20

図34は、本発明の第8の実施の形態に係る液晶表示装置において、液晶表示パネル30、データ駆動回路32、タイミングコントローラ31及びグラフィック処理回路64の組み立て状態を示す。図35は、図32に示す液晶表示装置の信号の送信経路を示す。

【0139】

図34及び図35に示すように、コントロールPCB40には、タイミングコントローラ31、EEPROM31aと共に、2ポート接続配線144が形成される。EEPROM31aは、タイミングコントローラ31から生成されるタイミング制御信号に対する波形オプション情報が複数のモード別に格納されて、ユーザからの命令に応じて該当モードで波形情報をタイミングコントローラ31に供給する。タイミングコントローラ31は、EEPROM31aからの波形オプション情報に応じて、各々のモードで互いに異なる形態でタイミング制御信号を生成する。

30

【0140】

システムボード60上には、外部機器から入力される多様な属性の映像データを供給されるためのインタフェース回路62、インタフェース回路62からの映像データを液晶表示パネル30に合うように変調するグラフィック処理回路64、及び液晶表示パネル30の駆動に必要な駆動電圧を発生する直流-直流変換器38などが形成される。

【0141】

上述のように、本発明の液晶表示装置は、ソースPCBを分割しタイミングコントローラの出力ポートをシングル出力ポートで構成して、コントロールPCBの大きさ出力ピン数を減らすことができる。また、本発明の実施の形態に係る液晶表示装置は、液晶表示パネルに形成されたLOG配線を用いて1つのFFCを除去することによって、ソースPCBとコントロールPCBとの接続構造を単純化でき、かつ部品数を減らすことができる。

40

【0142】

また、本発明の液晶表示装置は、FFCを介して直接コントロールPCBから駆動信号を供給される第1ソースPCBのデータIC内に各々補償抵抗を並列に接続することによって、LOG配線を介して駆動信号が供給される第2ソースPCBと前記第1ソースPCBとの間のガンマ補償電圧の偏差をなくすことができる。

【0143】

50

また、本発明の液晶表示装置は、ソースCOF又はソースTCPに形成されて、駆動電圧を送信するダミー配線の線幅を、データタイミング制御信号を送信する他のダミー配線の線幅より広く形成する。その結果、LOG配線抵抗による電圧降下分を最小にして、第1ソースPCBと第2ソースPCBとの間のガンマ補償電圧の偏差をなくすることができる。

【図面の簡単な説明】

【0144】

【図1】液晶表示装置の液晶セルを示す回路図である。

【図2】シングルソースPCBを有する液晶表示装置を示す図である。

【図3】タイミングコントローラーの出力ポートをデュアル出力ポートで構成し、その出力ポートに接続されたデュアルソースPCBを示す図である。

10

【図4】タイミングコントローラーの出力ポートをデュアル出力ポートで構成し、その出力ポートに接続されたデュアルソースPCBを示す図である。

【図5】本発明に係る液晶表示装置を示すブロック図である。

【図6】本発明に係る液晶表示装置を示すブロック図である。

【図7】図5に示すタイミングコントローラーとデータICとの接続構造を詳細に示す図である。

【図8】ソースCOFに形成されたダミー配線と液晶表示パネルの基板上に形成されたLOG配線を示す平面図である。

【図9】図5～図7に示すタイミングコントローラーのデータ処理部を詳細に示すブロック図である。

20

【図10】図9に示すデータ変調部の出力信号の一例を示す波形図である。

【図11】図9に示すデータ変調部の出力信号の一例を示す波形図である。

【図12】図7に示すタイミングコントローラーとデータICとの間の信号の送信経路を示す図である。

【図13】本発明の第1の実施の形態に係る液晶表示装置の他の接続構造を示すブロック図である。

【図14】図7に示すデータICを詳細に示すブロック図である。

【図15】図14に示すDACを詳細に示す回路図である。

【図16】図7に示すタイミングコントローラー、第1ソースPCBに接続されたデータIC、第2ソースPCBに接続されたデータICとその間の抵抗を等価的に示す回路図である。

30

【図17】本発明の第2の実施の形態に係る液晶表示装置を示す図である。

【図18】図17に示すデータ変調部により変調されるデータ電圧の例を示す図である。

【図19】図17に示すデータ変調部の第1の実施の形態を示すブロック図である。

【図20】図17に示すデータ変調部の第2の実施の形態を示すブロック図である。

【図21】図20に示すヒストグラム分析部のヒストグラム分析結果の一例を示す図である。

【図22】本発明の第3の実施の形態に係る液晶表示装置を示す図である。

【図23】本発明の第4の実施の形態に係る液晶表示装置を示す図である。

40

【図24】本発明の第4の実施の形態に係る液晶表示装置においてLOG配線の抵抗を示す図である。

【図25】第1データICを詳細に示すブロック図である。

【図26】図25に示すガンマ補償電圧発生部を詳細に示す回路図である。

【図27】本発明の第5の実施の形態に係る液晶表示装置を示す図である。

【図28】第1データICを詳細に示すブロック図である。

【図29】図28に示すガンマ補償電圧発生部を詳細に示す回路図である。

【図30】本発明の第6の実施の形態に係る液晶表示装置を示す図である。

【図31】図30に示す液晶表示装置の信号の送信経路を示す図である。

【図32】本発明の第7の実施の形態に係る液晶表示装置を示す図である。

50

【図33】図32に示す液晶表示装置の信号の送信経路を示す図である。

【図34】本発明の第8の実施の形態に係る液晶表示装置を示す図である。

【図35】図34に示す液晶表示装置の信号の送信経路を示す図である。

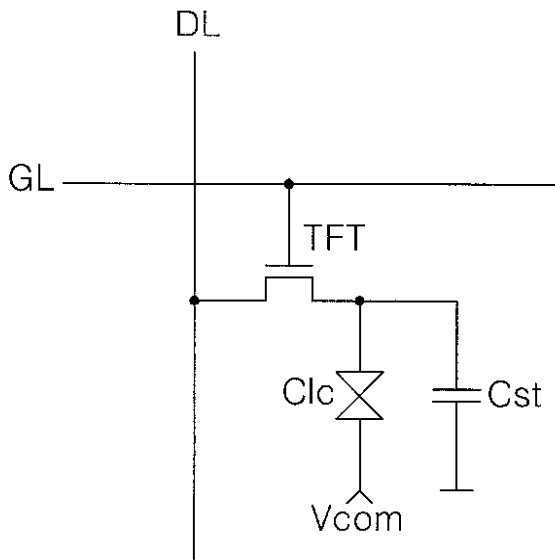
【符号の説明】

【0145】

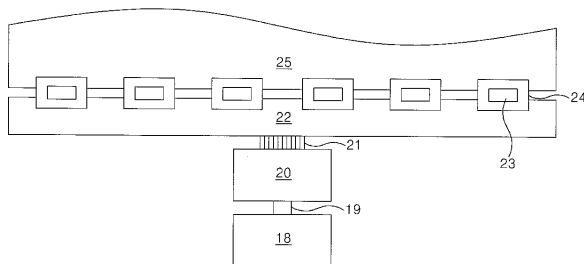
30 液晶表示パネル、31 タイミングコントローラー、32 データ駆動回路、33 ゲート駆動回路、34 ポート拡張部、35 データ変調部、36 グラフィック処理回路、38 直流-直流変換器、40 システムボード、41A 第1ソースPCB、41B 第2ソースPCB、42A、42B ソースCOF、60 システムボード、62 インタフェース回路、64 グラフィック処理回路、64a アナログ-デジタル変換部、64b スケーラ部、64c イメージ処理部、91 シフトレジスタ、92 データ復元部、93、94 ラッチアレイ、96 チャージシェア回路、97 出力回路、98 ガンマ補償電圧発生部、101、102 デコーダ、103 マルチプレクサ、111 フレームメモリ、113 ルックアップテーブル、201 色分離部、202 遅延部、203 カラーミキシング部、204 データ処理部、205 ヒストグラム分析部、206 バックライト制御部、207 インバータ。

10

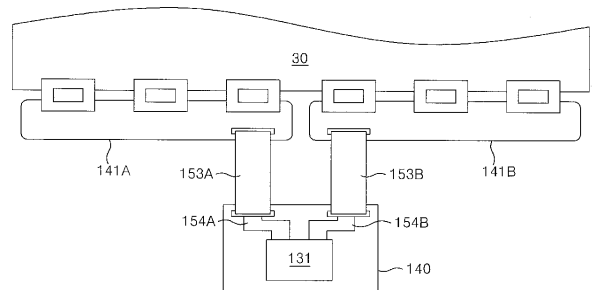
【図1】



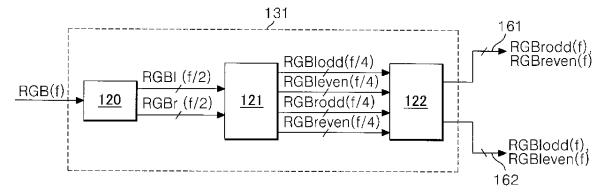
【図2】



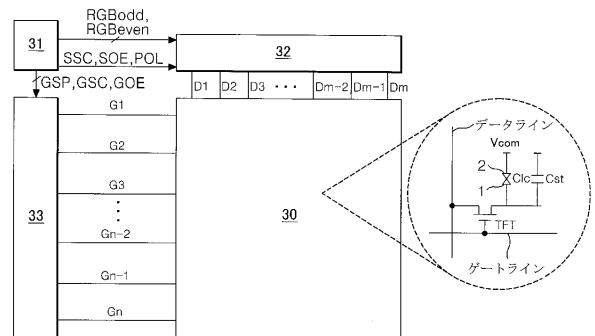
【図3】



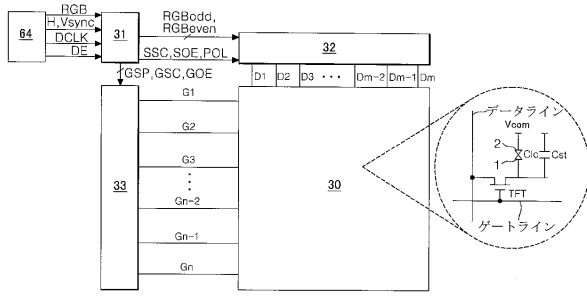
【図4】



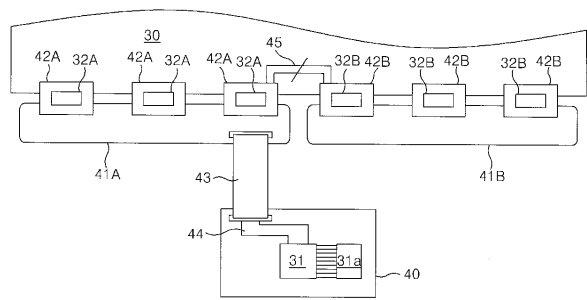
【図5】



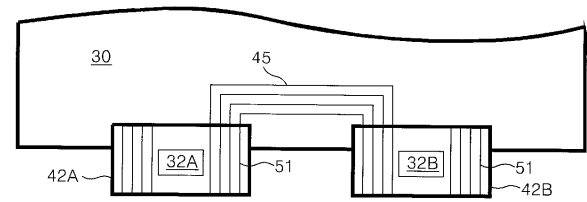
【図6】



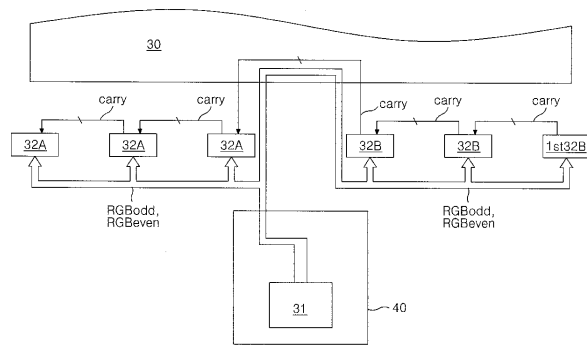
【図7】



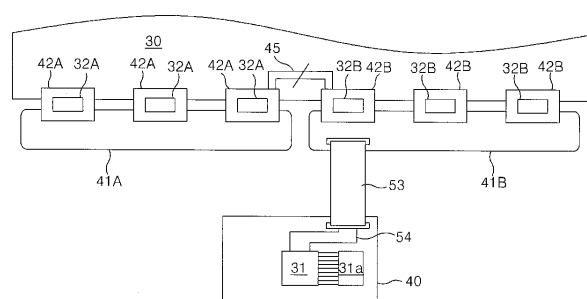
【図8】



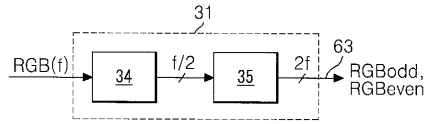
【図12】



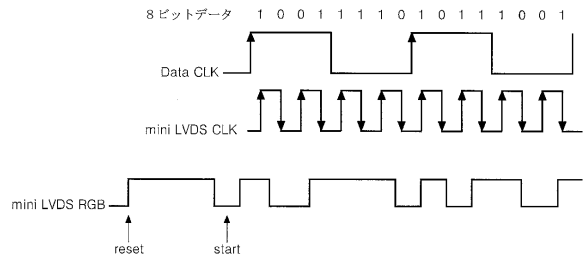
【図13】



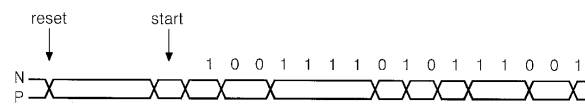
【図9】



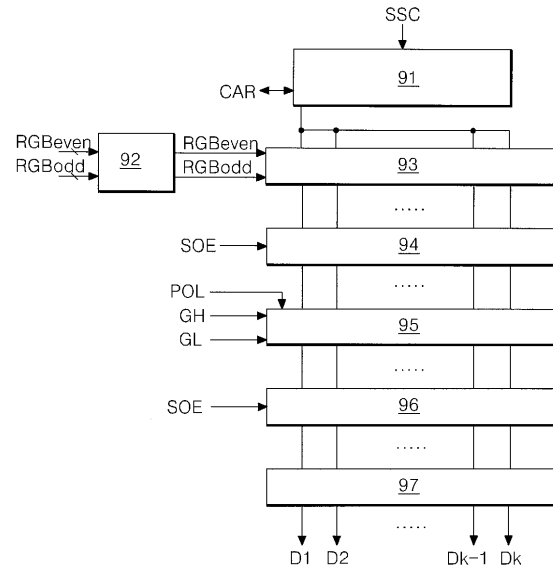
【図10】



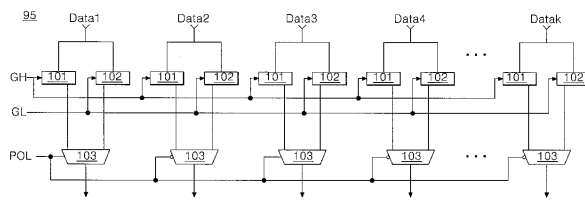
【図11】



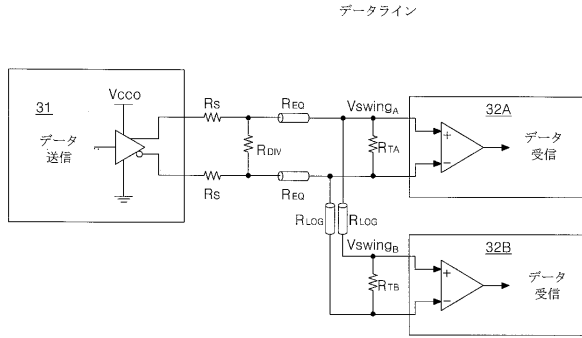
【図14】



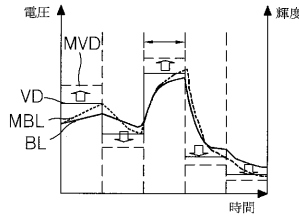
【図15】



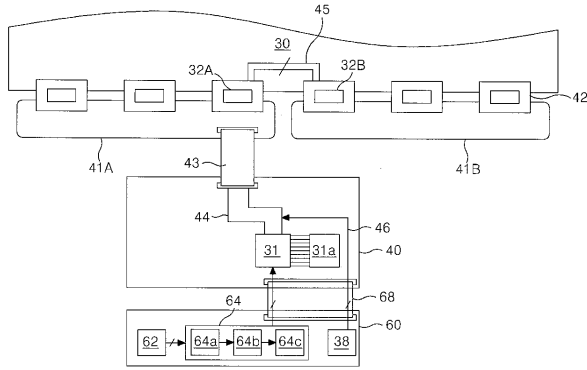
【図16】



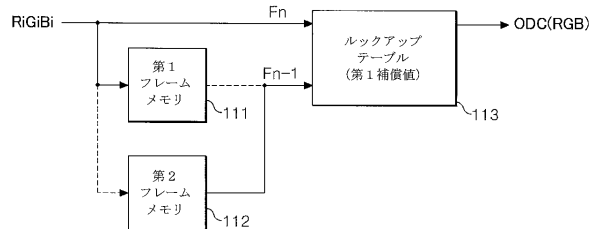
【図18】



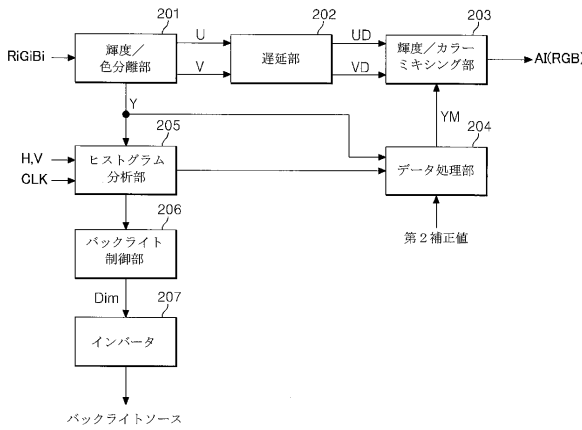
【図17】



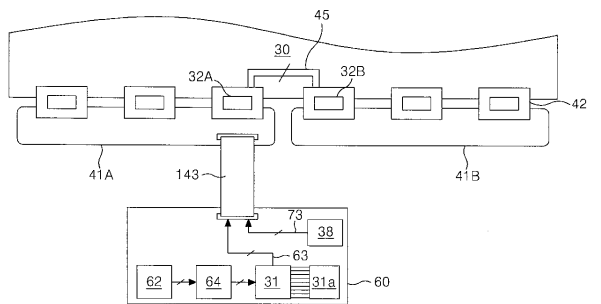
【図19】



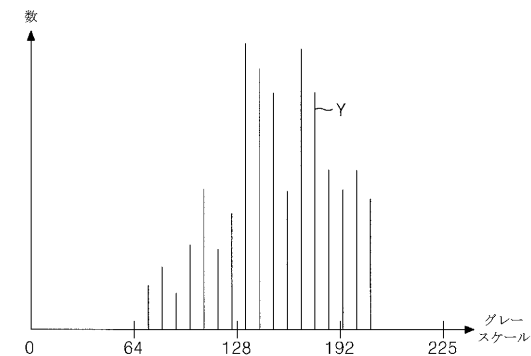
【図20】



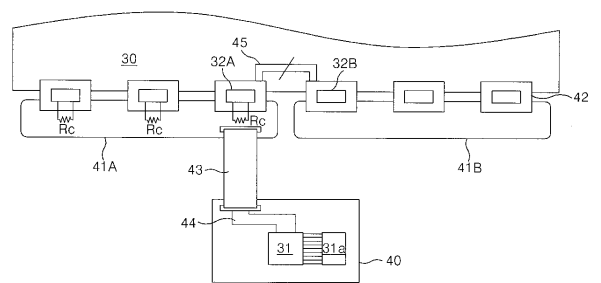
【図22】



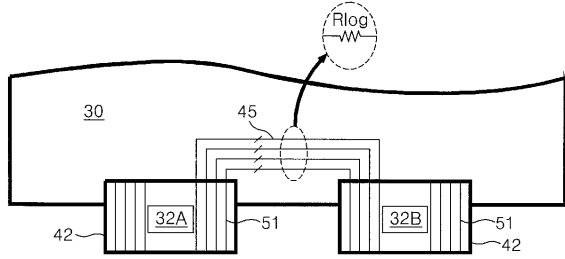
【図21】



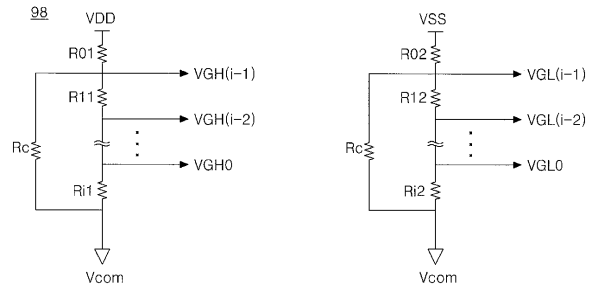
【図23】



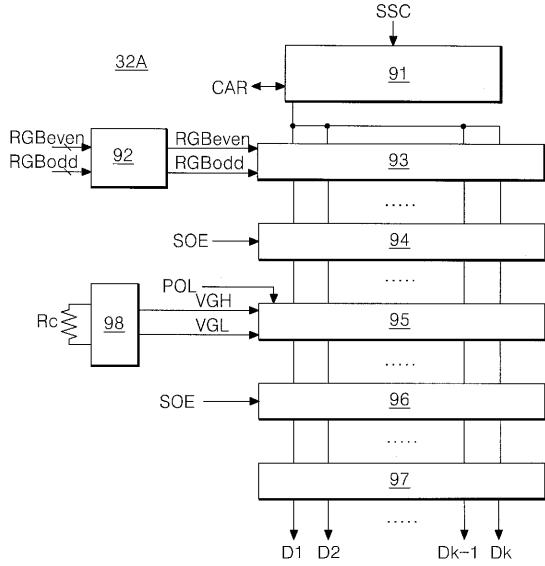
【図24】



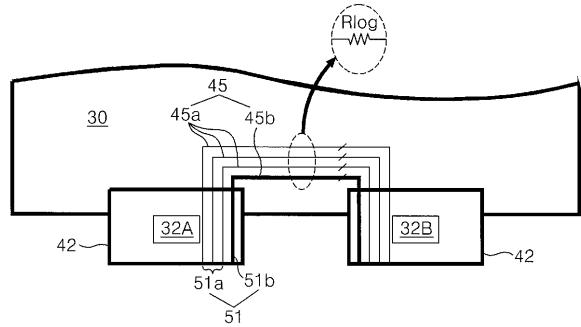
【図26】



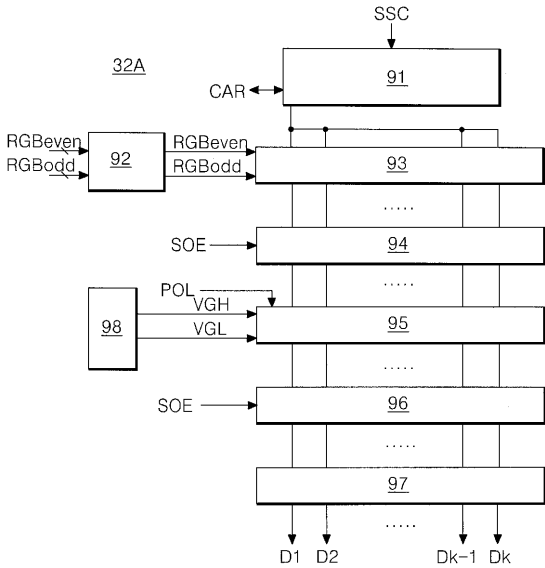
【図25】



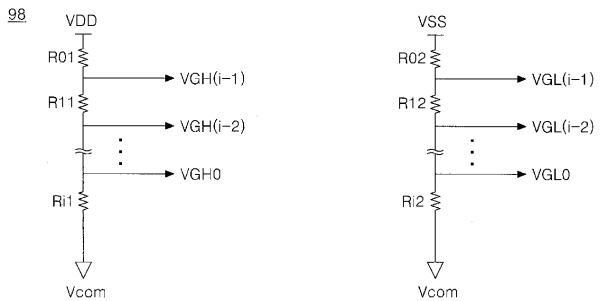
【図27】



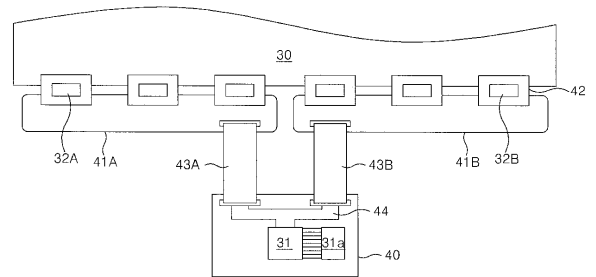
【図28】



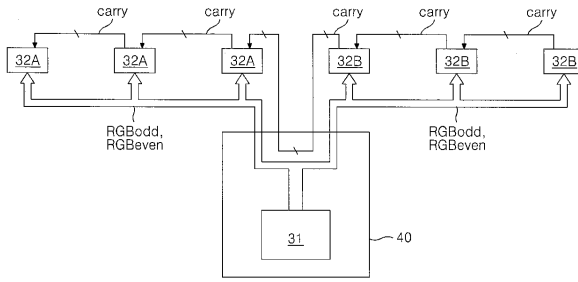
【図29】



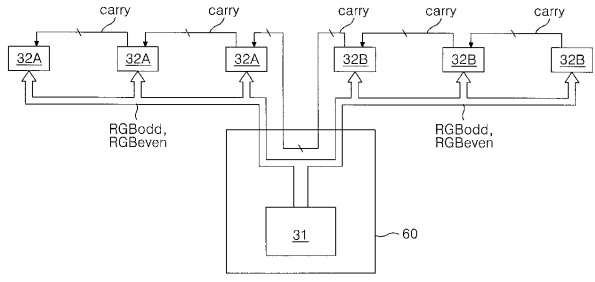
【図30】



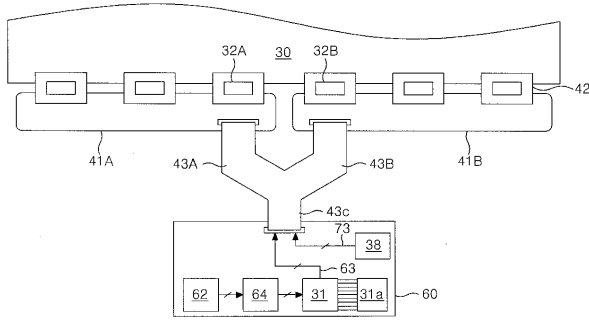
【図 3 1】



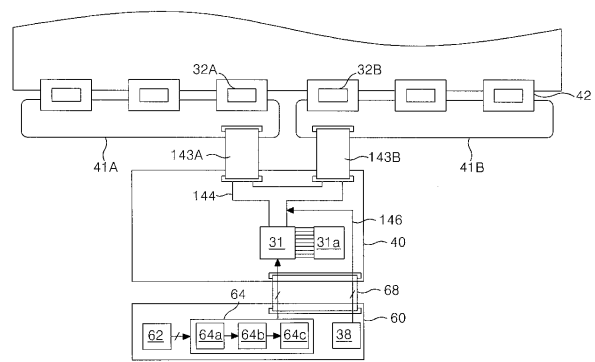
【図 3 3】



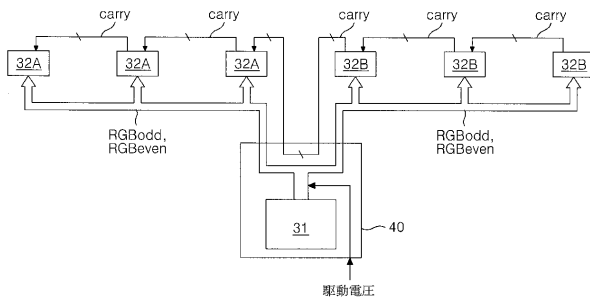
【図 3 2】



【図 3 4】



【図 3 5】



## フロントページの続き

- (31)優先権主張番号 10-2007-0030333  
 (32)優先日 平成19年3月28日(2007.3.28)  
 (33)優先権主張国 韓国(KR)
- (31)優先権主張番号 10-2007-0030454  
 (32)優先日 平成19年3月28日(2007.3.28)  
 (33)優先権主張国 韓国(KR)
- (31)優先権主張番号 10-2007-0046113  
 (32)優先日 平成19年5月11日(2007.5.11)  
 (33)優先権主張国 韓国(KR)
- (31)優先権主張番号 10-2007-0046126  
 (32)優先日 平成19年5月11日(2007.5.11)  
 (33)優先権主張国 韓国(KR)
- (72)発明者 ホンソン・ソン  
 大韓民国、キョンブク、クミ - シ、クピョン - ドン 474 - 7、ブヨン・アパートメント 80  
 3 - 706
- (72)発明者 ウンギ・ミン  
 大韓民国、テグ、ブク - グ、トンチョン - ドン 891、トンフワゴールドデンヴィル 103 - 1  
 205
- (72)発明者 ビョンジン・チェ  
 大韓民国、キョンブク、クミ - シ、トリアン - ドン 224、トリアンヒューマンシア 403 -  
 303
- (72)発明者 ドンファン・チャ  
 大韓民国、キョンブク、クミ - シ、チンピョン - ドン 98ビー、イネイジュゴン・アパートメン  
 ト 202 - 1509
- (72)発明者 ソヨク・チャン  
 大韓民国、テグ、ブク - グ、トンチョン - ドン、ヨンナムセカンドタウン 103 - 902

審査官 右田 昌士

- (56)参考文献 特開2006 - 049514 (JP, A)  
 特開2000 - 194278 (JP, A)  
 特開2004 - 133428 (JP, A)  
 特開2004 - 146717 (JP, A)  
 特開2003 - 050402 (JP, A)  
 特開2001 - 228834 (JP, A)  
 特開2005 - 196217 (JP, A)  
 特開2002 - 202760 (JP, A)  
 特開2006 - 330029 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

G02F 1/1345  
 G02F 1/1368  
 G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP4750780B2</a>	公开(公告)日	2011-08-17
申请号	JP2007341171	申请日	2007-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ホンソンソン ウンギミン ビョンジンチェ ドンファンチャ ソヨクチャン		
发明人	ホンソン・ソン ウンギ・ミン ビョンジン・チェ ドンファン・チャ ソヨク・チャン		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3406 G09G3/3611 G09G3/3688 G09G2300/0426 G09G2310/027 G09G2310/0281 G09G2320/0252 G09G2320/0646 G09G2330/06 G09G2340/16 G09G2360/16 G09G2370/08		
FI分类号	G02F1/1345 G02F1/1368 G02F1/133.520 G02F1/133.550		
F-TERM分类号	2H092/GA32 2H092/GA40 2H092/GA51 2H092/GA55 2H092/JA24 2H092/KA03 2H092/NA25 2H092/NA27 2H092/PA06 2H192/AA24 2H192/DA91 2H192/FA54 2H192/FB46 2H192/FB52 2H192/FB71 2H193/ZA04 2H193/ZF42 2H193/ZF51 2H193/ZF52		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
优先权	1020070026070 2007-03-16 KR 1020070030323 2007-03-28 KR 1020070030332 2007-03-28 KR 1020070030333 2007-03-28 KR 1020070030454 2007-03-28 KR 1020070046113 2007-05-11 KR 1020070046126 2007-05-11 KR		
其他公开文献	JP2008233869A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种简化控制PCB的液晶显示器件。一种液晶显示装置，包括：液晶显示器，包括第一和第二数据线组；多条栅极线，与第一和第二数据线组交叉；以及多个液晶单元，以矩阵形式排列面板30，连接到第一数据IC的第一源PCB 41A，用于向第一数据线组提供数据；第二源PCB 41A，连接到第二数据IC，用于向第二数据线组提供数据，通过单端口和源PCB 41B将视频数据输出到第一和第二数据IC，并输出用于通过单端口控制第一和第二数据IC的定时控制信号并且定时控制器31。 .The 13

$$R_{TA} = \frac{R_{TB}(R_{EQ} + R_{IOG})}{R_{EQ}}$$