

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4728507号
(P4728507)

(45) 発行日 平成23年7月20日 (2011.7.20)

(24) 登録日 平成23年4月22日 (2011.4.22)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 C

請求項の数 6 (全 11 頁)

(21) 出願番号 特願2001-173578 (P2001-173578)
 (22) 出願日 平成13年6月8日 (2001.6.8)
 (65) 公開番号 特開2002-365665 (P2002-365665A)
 (43) 公開日 平成14年12月18日 (2002.12.18)
 審査請求日 平成20年4月11日 (2008.4.11)

(73) 特許権者 303018827
 N E C 液晶テクノロジー株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100081433
 弁理士 鈴木 章夫
 (72) 発明者 石野 隆行
 鹿児島県出水市大野原町 2 0 8 0 鹿児島
 日本電気株式会社内

審査官 金高 敏康

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

透明基板上に一方向に延設された複数本の走査線と、前記走査線と直交する方向に延設された複数本の信号線と、前記走査線と信号線とで囲まれる画素領域に配設された透明電極と、前記透明電極に対応して設けられた薄膜トランジスタとを備えるアクティブマトリクス型液晶表示装置において、前記薄膜トランジスタは、前記走査線と前記信号線との交差部に配設され、前記走査線上に形成されたゲート絶縁膜及び半導体層からなるアイランドと、前記アイランド上にわたって延長される前記信号線の一部で形成されるドレイン電極と、前記信号線と同一層の導電膜で形成されて前記ドレイン電極とは微細な間隙を保って前記アイランド上に延長されるソース電極とを備え、前記走査線と前記信号線との交差部に該当しない部分の前記信号線の幅寸法は前記交差部の幅寸法より相対的に太く形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

前記ソース電極は前記透明電極の周辺に沿って延長される遮光部を備えており、前記遮光部の長さ方向の一部に前記透明電極とのコンタクトホールを備えていることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】

前記遮光部の長さ方向の一部の幅寸法を拡大した拡幅部を備えており、前記拡幅部に前記コンタクトホールを配設していることを特徴とする請求項 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】

前記遮光部の長さ方向の幅寸法はほぼ均等であり、当該長さ方向の一部に前記コンタクトホールを配設していることを特徴とする請求項 2に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】

透明基板上に一方向に延びる複数本の走査線を形成する工程と、前記走査線上にゲート絶縁膜、半導体層、オーミック層を積層したアイランドを形成する工程と、前記アイランド上の領域をドレイン電極として前記走査線と直交する方向に延びる複数の信号線を形成すると同時に、前記アイランド上において前記ドレイン電極と微細な間隙をおいて対峙されるソース電極を形成する工程と、全面に層間絶縁膜を形成しかつ前記ソース電極の一部を露呈するコンタクトホールを開口する工程と、前記走査線と信号線とで囲まれる画素領域に透明電極を形成しかつ前記コンタクトホールにより前記ソース電極に電気接続する工程とを含み、前記信号線を形成する工程は前記走査線との交差部の幅寸法より当該交差部に該当しない部分の幅寸法を太く形成する工程を含むことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

10

【請求項 6】

前記ドレイン電極を含む信号線及びソース電極は、全面に導電膜を成膜した後、1回のフォトリソグラフィ工程で同時に形成することを特徴とする請求項 5に記載のアクティブマトリクス型液晶表示装置の製造方法。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明はアクティブマトリクス型液晶表示装置に関し、特に開口率を向上して高い輝度での表示を可能にするとともに、製造工程が煩雑化することがないアクティブマトリクス型液晶表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】

アクティブマトリクス型液晶表示装置において、高い輝度での表示を行うために、通常、透過型の液晶表示装置等ではバックライト輝度を上げるという手法が採用されている。しかしながら、この手法では、多くの電力を使用して輝度を調節するようになっているため、多くの電力を消費することとなり、表示装置において重要な要素の一つとなっている省電力に関して十分とは言えない。また輝度を向上させるために、透過型の液晶表示装置では透過率を向上させるという手法が採用されている。しかしながら、この手法は、透過率低下に寄与するカラーフィルターの透過率を向上させることに等しく、透過率の向上を実現するためにはカラーフィルター膜中の顔料含有率を減少させたり、顔料含有率はそのまま膜厚を薄くするなどが行われているが、色度が変化するため、バックライト等の色調整が必要となり、材料に対する負荷が非常に大きい。このような理由から、パネル透過率の向上には、TFT基板における開口部の開口率を向上させることが中心に行われ、配線幅、トランジスタサイズを小さくするなどして開口部の画素表示面積を向上させるという手法が採用されている。

30

40

【0003】

すなわち、図9は従来の透過型の液晶表示装置の薄膜トランジスタ(TFT)基板におけるレイアウト図であり、透明基板上に走査線(ゲートライン)502と信号線(ドレインライン)503とが直交してマトリクス配置されており、これら走査線502と信号線503とで囲まれる領域を画素領域504とする。この画素領域504内の一隅部において走査線502の一部でゲート電極505を形成し、その上に半導体層からなるアイランド506を形成し、その上にドレイン電極511とソース電極512を形成してTFT素子514を形成する。ソース電極512はコンタクトホール516により画素領域504内に設けた透明電極(ITO)517に接続し、ドレイン電極511は信号線503と一体に形成している。そして、図外の対向電極に設けたブラックマトリクス(BM)によって

50

前記走査線 5 0 2、信号線 5 0 3 及び T F T 素子 5 1 4 の領域を覆い、B M 以外の領域を開口部とする。

【 0 0 0 4 】

ここで、同図に鎖線 X で示すように前記 T F T 基板において理論的に区画される画素領域を最大開口領域とし、同図に鎖線 Y で示すように実際に透明電極 5 1 7 によって表示を行う領域を開口部とすると、液晶表示装置の開口率は、最大開口領域 X に対する開口部 Y の占める面積割合で定義することができる。したがって、表示する画素領域のサイズを変えずに開口率を大きくするためには、B M によって遮光される走査線や信号線等の配線の配線幅を小さくすることが考えられるが、これでは配線抵抗が大きくなり、液晶表示動作の高速化を図る上で好ましくない。また、画素サイズを変えずに T F T 素子やコンタクトホール

10

【 0 0 0 5 】

一方、高精細化に伴って画素サイズが小さくなると、最大開口領域に対する配線や T F T 素子の占める割合が大きくなり、開口率への影響が大きくなる。すなわち、高精細化されることは最大開口領域 X がより小さくなることと同義である。ところが、配線や T F T 素子等が占める面積は既に縮小の限界にまで近づいているため、結果として開口部 Y の面積だけが小さくなり、最大開口領域 X に対する開口部 Y の占める割合である開口率が減少することになる。この場合においても、高精細化つまり最大開口領域 X の小面積化に伴い、配線や T F T 素子、さらにコンタクトホールのサイズを小さくすれば開口率は同等となるが、配線抵抗、トランジスタ性能等の特性に影響を与えるのは前述の通りである。

20

【 0 0 0 6 】

このような開口率を改善するものとして、特開平 8 - 2 6 2 4 9 5 号公報に記載の技術がある。この技術は、走査線（ゲートライン）と信号線（ドレインライン）との交差領域内に T F T 素子を配列した技術であり、このようにすることで、最大開口部内に T F T 素子を配置する必要がなくなり、開口率を向上することが可能である。しかしながら、この公報の技術は、信号線と交差する領域の走査線上にアモルファスシリコン等の半導体層を形成し、この半導体層上にソース電極とドレイン電極を形成して T F T 素子を形成した後、T F T 素子を覆うように信号線を形成し、当該信号線にドレイン電極を電気接続した構成がとられている。そのため、ソース電極及びドレイン電極を形成するためのフォトリソグラフィ工程と、信号線を形成するためのフォトリソグラフィ工程とで 2 つの工程が必要であり、従来のようにソース電極及びドレイン電極と同時に信号線を製造していた工程に比較してフォトリソグラフィ工程が一つ増えてしまい、製造工程の煩雑化を生じる原因になっている。

30

【 0 0 0 7 】

本発明の主な目的の一つは、アクティブマトリクス型表示装置において開口率を向上するとともに製造工程が煩雑化することを防止したアクティブマトリクス型表示装置及びその製造方法を提供することにある。

【 0 0 0 8 】

40

【課題を解決するための手段】

本発明は、透明基板上に一方向に延設された複数本の走査線と、走査線と直交する方向に延設された複数本の信号線と、走査線と信号線とで囲まれる画素領域に配設された透明電極と、透明電極に対応して設けられた T F T 素子とを備えるアクティブマトリクス型液晶表示装置において、T F T 素子は走査線と信号線との交差部に配設され、走査線上に形成されたゲート絶縁膜及び半導体層からなるアイランドと、アイランド上にわたって延長される信号線の一部で形成されるドレイン電極と、信号線と同一層の導電膜で形成されてドレイン電極とは微細な間隙を保ってアイランド上に延長されるソース電極とを備え、走査線と信号線との交差部に該当しない部分の信号線の幅寸法は交差部に該当する部分の幅寸法より相対的に太く形成されていることを特徴とする。

50

【 0 0 0 9 】

ここで、本発明においては、ソース電極は透明電極の周辺に沿って延長される遮光部を備えており、遮光部の長さ方向の一部に透明電極とのコンタクトホールを備えている構成とする。この場合、遮光部の長さ方向の一部の幅寸法を拡大した拡幅部を備え、この拡幅部にコンタクトホールを配設している構成とする。あるいは長さ方向の一部の幅寸法を拡大することなく均等な幅寸法の部分にコンタクトホールを配設してもよい。

【 0 0 1 0 】

本発明の液晶表示装置の製造方法は、透明基板上に一方向に延びる複数本の走査線を形成する工程と、後工程で形成される信号線との交差部にゲート絶縁膜、半導体層、オーミック層を積層したアイランドを形成する工程と、アイランド上の領域をドレイン電極として走査線と直交する方向に延びる複数の信号線を形成すると同時に、アイランド上においてドレイン電極と微細な間隙をおいて対峙されるソース電極を形成する工程と、全面に層間絶縁膜を形成しかつソース電極の一部を露呈するコンタクトホールを開口する工程と、走査線と信号線とで囲まれる画素領域に透明電極を形成しかつ当該透明電極をコンタクトホールによりソース電極に電気接続する工程とを含み、さらに信号線を形成する工程は走査線との交差部に該当する部分の幅寸法より当該交差部に該当しない部分の幅寸法を太く形成する工程を含むことを特徴とする。特に、ドレイン電極を含む信号線及びソース電極は、全面に導電膜を成膜した後、1回のフォトリソグラフィ工程で同時に形成することを特徴としている。

【 0 0 1 1 】

本発明によれば、T F T素子のアイランドは走査線と信号線との交差部に形成されるため、T F T素子が走査線と信号線とで囲まれる画素領域内に配設されることはなく、画素領域にはソース電極と透明電極とを電気接続するためのコンタクトホールが配置されるのみであり、画素領域の面積、すなわち透明電極の面積がT F T素子によって低減されることが防止され、開口率を向上することが可能になる。また、走査線と信号線との交差部に該当しない部分の信号線の幅寸法は交差部の幅寸法より相対的に太く形成されているので、信号線の低抵抗化を図ることができる。

【 0 0 1 2 】

また、本発明によれば、ドレイン電極としての信号線とソース電極とを同一の導電膜に対する一つのフォトリソグラフィ工程で同時に形成することが可能であり、従来技術として示した前記公報の技術のソース電極及びドレイン電極とは別の工程で信号線を形成する技術に比較してフォトリソグラフィ工程を1工程だけ低減することが可能であり、製造工程の簡略化が実現できる。

【 0 0 1 3 】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明の一実施形態としてのT F T基板10のレイアウト図であり、図2は当該T F T基板10を用いて構成したアクティブマトリクス基板、すなわち液晶表示装置1の図1のA A線に対応する箇所の概略断面図である。T F T基板10において、透明なガラス板101の表面には行方向に沿ってT i等の金属膜からなる複数本の走査線（ゲートライン）102が所要の間隔で配列形成されている。また、前記走査線102と直交する列方向に沿ってC r等の金属膜からなる複数の信号線（ドレインライン）103が所要の間隔で配列形成されており、これら走査線102と信号線103とで囲まれた矩形の領域がそれぞれ画素領域104として区画されている。

【 0 0 1 4 】

図3に要部の拡大図を、図4に図3のB B線断面図をそれぞれ示すように、前記走査線102と信号線103との交差部では、前記走査線102の幅は部分的に若干細くされてゲート電極105として構成され、このゲート電極105の領域上において当該幅寸法よりも若干幅広にゲート絶縁膜107とアモルファスシリコン108及びオーミック層109が積層された所要パターンのアイランド106が形成されている。すなわち、走査線10

2 上にゲート絶縁膜 1 0 7 とアモルファスシリコン 1 0 8 が積層され、さらにこのアモルファスシリコン 1 0 8 上に n^+ アモルファスシリコンからなるソース、ドレインの各オーミック層 1 0 9 が微小間隔おいて対峙した状態に形成されている。そして、一方のオーミック層 1 0 9 上に前記信号線 1 0 3 が延長配置されてドレイン電極 1 1 1 として構成され、他方のオーミック層 1 0 9 上にはソース電極 1 1 2 が延長配置され、これら全体が層間絶縁膜 1 1 3 で被覆され、これにより T F T 素子 1 1 4 が形成されている。前記ソース電極 1 1 2 はドレイン電極 1 1 1、すなわち信号線 1 0 3 と同層の金属膜で形成されており、その他端部は前記画素領域 1 0 4 に沿ってコの字型に延長された遮光部 1 1 5 として構成され、また前記層間絶縁膜 1 1 3 の一部に設けられたコンタクトホール 1 1 6 において、前記画素領域 1 0 4 に設けられた透明電極 (I T O) 1 1 7 に電気接続されている。その上で、全面に配向膜 1 1 8 が形成され、前記 T F T 基板 1 0 が形成されている。

10

【 0 0 1 5 】

また、図 2 に示したように、前記 T F T 基板 1 0 に対向される対向基板 2 0 には、透明なガラス板 2 0 1 の表面上にカラーフィルタ 2 0 2、ブラックマトリクス 2 0 3、配向膜 2 0 4 が形成されており、図外のスペーサにより前記 T F T 基板 1 0 と対向基板 2 0 との間に微小の間隙が構成され、当該間隙内に液晶 3 0 が充填される。さらに、前記 T F T 基板 1 0 と対向基板 2 0 の各表面には偏光板 1 1 9、2 0 5 が配設されており、これによりアクティブマトリクス型液晶表示装置 1 が構成されている。

【 0 0 1 6 】

以上のアクティブマトリクス基板のうち、T F T 基板 1 0 の製造方法について説明する。図 5 は図 4 に対応する箇所の断面工程図である。先ず、図 5 (a) のように、透明なガラス板 1 0 1 上に T i をスパッタ法により成膜し、第 1 のフォトリソグラフィ工程により選択エッチングを行って走査線 (ゲートライン) 1 0 2 を形成する。

20

【 0 0 1 7 】

次いで、図 5 (b) のように、ゲート絶縁膜 1 0 7 としての S i N 膜、アモルファスシリコン膜 1 0 8、 n^+ アモルファスシリコン膜 1 0 9 を順次 C V D 法により成膜した後、第 2 のフォトリソグラフィ工程により選択エッチングを行って T F T 素子のアイランド 1 0 6 を形成する。さらに、第 3 のフォトリソグラフィ工程により n^+ アモルファスシリコン膜 1 0 9 を選択エッチングし、ソース・ドレインの各オーミック層を形成する。なお、第 2 のフォトリソグラフィ工程におけるエッチングマスクとしてチャンネル部のマスク膜厚をソース・ドレイン領域のマスク膜厚よりも薄く形成しておくことにより、第 2 のフォトリソグラフィ工程のみで前記アイランドの選択エッチングと共に、前記 n^+ アモルファスシリコン膜 1 0 9 をチャンネル部においてエッチング分離し、ソース・ドレインの各オーミック層 1 0 9 を形成することが可能である。

30

【 0 0 1 8 】

次いで、図 5 (c) のように、全面に C r 膜をスパッタ法により成膜し、第 4 のフォトリソグラフィ工程で選択エッチングを行って信号線 1 0 3 (ドレインライン) を形成し、信号線 1 0 3 の一部でドレイン電極 1 1 1 を形成し、かつ同時にソース電極 1 1 2 を形成する。これにより、前記アイランド 1 0 6 のオーミック層 1 0 9 上に信号線 1 0 3 の一部で構成されるドレイン電極 1 1 1 と前記ソース電極 1 1 2 が配設され、T F T 素子 1 1 4 が形成される。前記ソース電極 1 1 2 は、図 3 に示したように、画素領域 1 0 4 の周辺に沿ってコ字状に延長形成された遮光部 1 1 5 を有しており、前記アイランド 1 0 6 上から延びるソース電極 1 1 2 と遮光部 1 1 5 との接続部分 1 2 0 はコンタクトホール 1 1 6 を形成するために若干幅寸法を増大させている。

40

【 0 0 1 9 】

次いで、図 5 (d) のように、全面に S i N 膜を C V D 法により形成して層間絶縁膜 1 1 3 を形成した後、第 5 のフォトリソグラフィ工程により前記層間絶縁膜 1 1 3 にソース電極 1 1 2 の一部を露出するコンタクトホール 1 1 6 を開口する。続いて、全面に I T O 膜をスパッタ法により形成し、第 6 のフォトリソグラフィ工程により当該 I T O 膜を選択エッチングして前記画素領域に I T O の透明電極 1 1 7 を形成する。この透明電極 1 1 7 は

50

前記コンタクトホール 116 により前記ソース電極 112 に電気接続される。しかる後、詳細は省略するが図 2 に示したように全面に配向膜 118 を形成し、また、前記ガラス板 101 の表面に偏光板 119 を配設することにより T F T 基板 10 が完成される。

【0020】

かかる構成においては、T F T 素子 114 のアイランド 106 は走査線 102 と信号線 103 との交差部において、走査線 102 の幅寸法にほぼ等しい領域内に形成される。そのため、T F T 素子 114 が走査線 102 と信号線 103 とで囲まれる画素領域 104 内に配設されることはなく、画素領域 104 にはソース電極 112 と透明電極 117 とを電気接続するためのコンタクトホール 116 が配置されるのみであり、画素領域 104 の面積、すなわち透明電極 117 の面積が T F T 素子 114 によって低減されることが防止され、開口率を向上することが可能になる。

10

【0021】

図 6 を参照すると、同図は画素領域の 1 辺の長さ（画素サイズ）を $100 \sim 400 \mu\text{m}$ の間で変化させたときの開口率の変化を示したものである。ここで、画素サイズの変化に対して、T F T 素子のサイズ、配線幅及びコンタクトホールの寸法は変わらないと仮定している。本発明の構造を用いることにより、画素サイズが小さくても開口率低下を低減することができ、画素サイズがより小さくなるほど開口率低下の低減への寄与は大きいことが分かる。

【0022】

また、本発明における前記した製造方法では、ドレイン電極 111 としての信号線 103 とソース電極 112 とを同一の金属膜を選択エッチングした一つのフォトリソグラフィ工程、すなわち前記実施形態の場合には第 4 のフォトリソグラフィ工程で同時に形成することが可能である。そのため、従来技術として示した前記公報の技術のようにソース電極及びドレイン電極とは別の工程で信号線を形成する技術に比較してフォトリソグラフィ工程を 1 工程だけ低減することが可能であり、製造工程の簡略化が実現できる。

20

【0023】

ここで本発明の他の実施形態について説明する。図 7 は前記実施形態の図 3 に対応する図であり、前記実施形態と同一部分には同一符号を付してある。前記実施形態ではソース電極 112 にコンタクトホール 116 を形成する部分 120 を幅広に形成しているが、この実施形態ではこの幅広の部分は設けてはならず、その代わりにコンタクトホール 116 は平面形状が偏平に近い形状として所要の面積を確保している。このように、ソース電極 112 の一部を画素領域 104 の内方に向けて突出していないため、画素領域 104 の面積をさらに大きくして開口率を向上することが可能である。

30

【0024】

また、図 8 に示すように、走査線 102 と信号線 103 との交差部において信号線 103 の一部の幅寸法を低減し、この低減した部分をアイランド 106 上に延設してドレイン電極 111 として構成する。このようにすることで、信号線 103 の長さ方向の大部分における幅寸法を増大することができ、信号線 103 の低抵抗化を図ることが可能になる。

【0025】

【発明の効果】

40

以上説明したように本発明は、T F T 素子のアイランドは走査線と信号線との交差部に形成されるため、T F T 素子が走査線と信号線とで囲まれる画素領域内に配設されることはなく、画素領域にはソース電極と透明電極とを電気接続するためのコンタクトホールが配置されるのみであり、画素領域の面積、すなわち透明電極の面積が T F T 素子によって低減されることが防止され、開口率を向上することが可能になる。また、本発明によれば、走査線と信号線との交差部に該当しない部分の信号線の幅寸法は交差部の幅寸法より相対的に太く形成されているので、信号線の低抵抗化を図ることができる。さらに、ドレイン電極としての信号線とソース電極とを同一の導電膜に対する一つのフォトリソグラフィ工程で同時に形成することが可能であり、従来技術として示した前記公報の技術のソース電極及びドレイン電極とは別の工程で信号線を形成する技術に比較してフォトリソグラフィ

50

工程を 1 工程だけ低減することが可能であり、製造工程の簡略化が実現できる。

【図面の簡単な説明】

【図 1】本発明にかかる T F T 基板のレイアウト図である。

【図 2】本発明の液晶表示装置の図 1 の A A 線に沿う箇所の断面図である。

【図 3】図 1 の要部の拡大図である。

【図 4】図 3 の B B 線に沿う箇所の断面図である。

【図 5】本発明にかかる T F T 基板の製造方法を工程順に示す断面図である。

【図 6】本発明と従来技術における画素サイズと開口率との関係を示す図である。

【図 7】本発明の他の実施形態の要部の拡大平面図である。

【図 8】本発明の更に他の実施形態の要部の拡大平面図である。

10

【図 9】従来の T F T 基板のレイアウト図である。

【符号の説明】

1 アクティブマトリクス型液晶表示装置

1 0 T F T 基板

2 0 対向基板

1 0 1 ガラス板

1 0 2 走査線（ゲートライン）

1 0 3 信号線（ドレインライン）

1 0 4 画素領域

1 0 5 ゲート電極

20

1 0 6 アイランド

1 0 7 ゲート絶縁膜

1 0 8 アモルファスシリコン

1 0 9 オーミック層

1 1 1 ドレイン電極

1 1 2 ソース電極

1 1 3 層間絶縁膜

1 1 4 T F T 素子

1 1 6 コンタクトホール

1 1 7 透明電極（ITO）

30

1 1 8 配向膜

1 1 9 偏光板

2 0 1 ガラス板

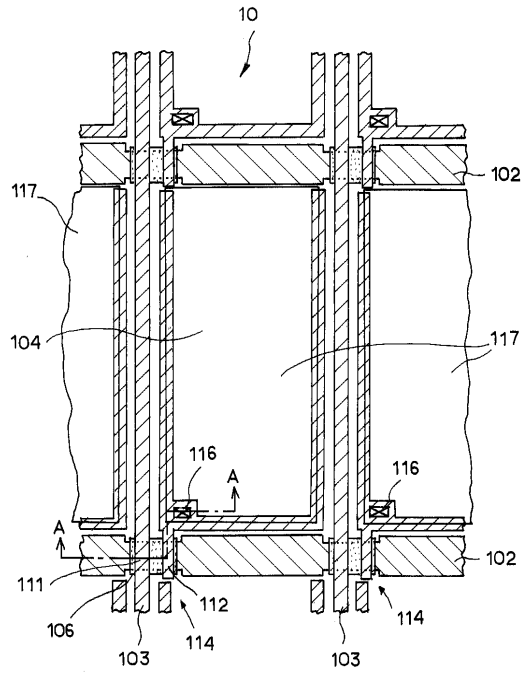
2 0 2 カラーフィルタ

2 0 3 ブラックマトリクス

2 0 4 配向膜

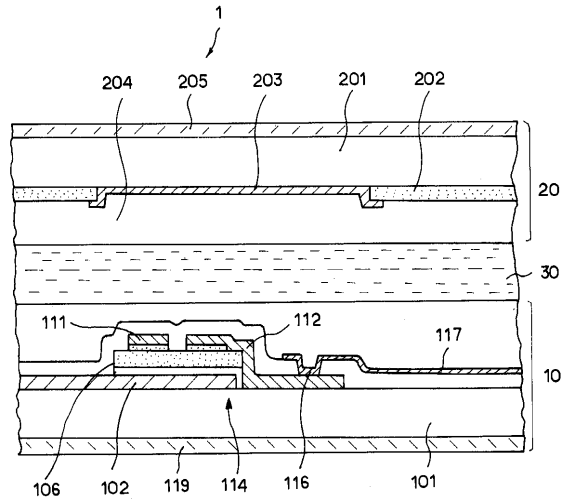
2 0 5 偏光板

【図 1】



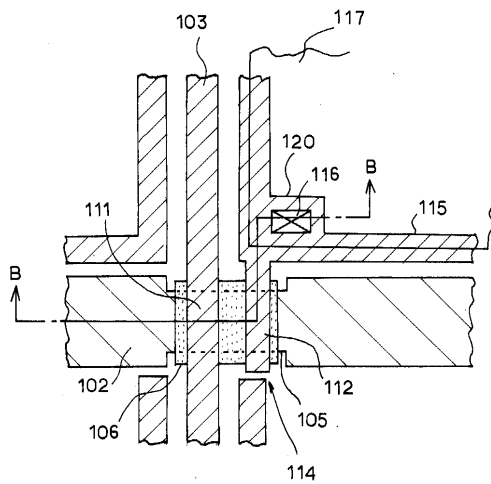
- | | |
|------------|---------------|
| 10: TFT基板 | 111: ドレイン電極 |
| 102: 走査線 | 112: ソース電極 |
| 103: 信号線 | 114: TFT素子 |
| 104: 画素領域 | 116: コンタクトホール |
| 106: アイランド | 117: 透明電極 |

【図 2】



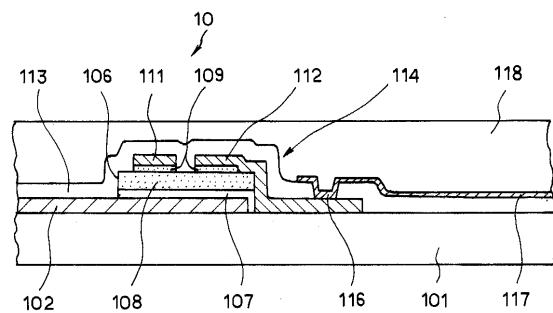
- | | |
|-------------|----------------|
| 1: 液晶表示装置 | 116: コンタクトホール |
| 10: TFT基板 | 117: 透明電極 |
| 20: 対向基板 | 118: 配向膜 |
| 30: 液晶 | 119: 偏光板 |
| 101: ガラス板 | 201: ガラス板 |
| 102: 走査線 | 202: カラーフィルタ |
| 106: アイランド | 203: ブラックマトリクス |
| 111: ドレイン電極 | 204: 配向膜 |
| 112: ソース電極 | 205: 偏光板 |

【図 3】



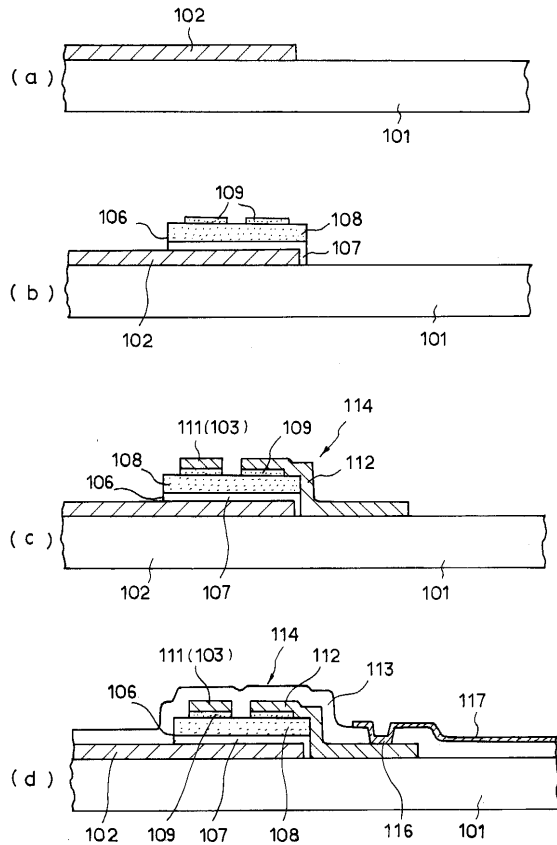
- | | |
|-------------|---------------|
| 102: 走査線 | 112: ソース電極 |
| 103: 信号線 | 114: TFT素子 |
| 106: アイランド | 116: コンタクトホール |
| 111: ドレイン電極 | 117: 透明電極 |

【図 4】

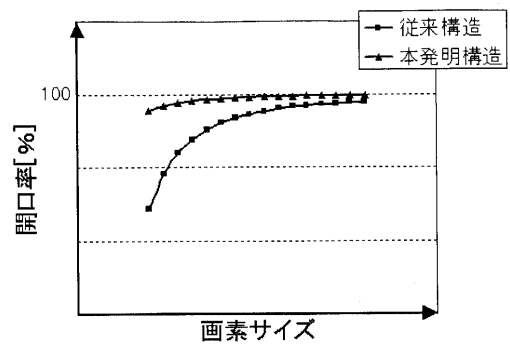


- | |
|------------------------|
| 10: TFT基板 |
| 101: ガラス板 |
| 102: 走査線 |
| 106: アイランド |
| 107: ゲート絶縁膜 |
| 108: アモルファスシリコン |
| 109: オーミック層 |
| 111: ドレイン電極 (103: 信号線) |
| 112: ソース電極 |
| 116: コンタクトホール |
| 117: 透明電極 |
| 118: 配向膜 |

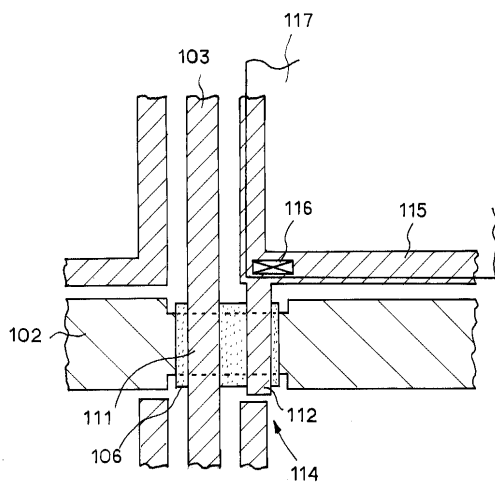
【図 5】



【図 6】

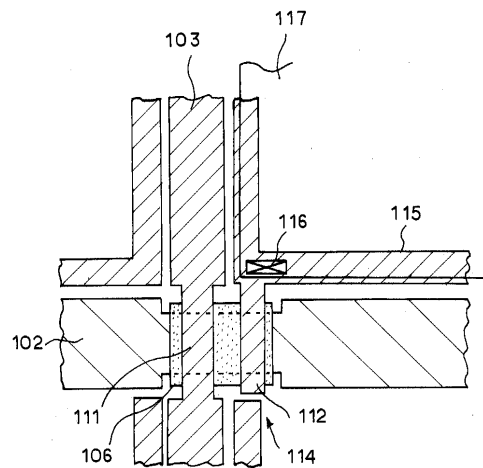


【図 7】



102 走査線	112 ソース電極
103 信号線	114 TFT素子
106 アイランド	116 コンタクトホール
111 ドレイン電極	117 透明電極

【図 8】



102 走査線	112 ソース電極
103 信号線	114 TFT素子
106 アイランド	116 コンタクトホール
111 ドレイン電極	117 透明電極

- | | | | |
|-------|-------|-------|----------|
| 5 0 2 | 走査線 | 5 1 1 | ドレイン電極 |
| 5 0 3 | 信号線 | 5 1 2 | ソース電極 |
| 5 0 4 | 画素領域 | 5 1 4 | TFT素子 |
| 5 0 6 | アイランド | 5 1 6 | コンタクトホール |
| | | 5 1 7 | 透明電極 |

フロントページの続き

- (56)参考文献 特開平 0 7 - 0 9 2 4 9 3 (J P , A)
特開 2 0 0 0 - 0 9 8 4 2 7 (J P , A)
特開 2 0 0 0 - 3 4 7 2 1 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368
G09F 9/30
H01L 29/786

专利名称(译)	有源矩阵型液晶显示装置及其制造方法		
公开(公告)号	JP4728507B2	公开(公告)日	2011-07-20
申请号	JP2001173578	申请日	2001-06-08
申请(专利权)人(译)	Kagoshimanihondenki有限公司		
当前申请(专利权)人(译)	NEC LCD科技有限公司		
[标]发明人	石野隆行		
发明人	石野 隆行		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786 G02F1/1362		
CPC分类号	G02F1/1368 G02F1/136286 G02F2201/40		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.612.C		
F-TERM分类号	2H092/GA28 2H092/JA24 2H092/JA34 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB22 2H092/JB31 2H092/KB25 2H092/NA27 2H092/PA08 2H092/PA09 2H092/PA13 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB82 2H192/CC05 2H192/CC42 2H192/CC56 2H192/EA04 2H192/EA17 2H192/EA22 2H192/EA43 2H192/HA44 2H192/HA47 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA14 5C094/DA15 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/ED03 5C094/ED14 5C094/ED15 5F110/AA16 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE04 5F110/EE44 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG44 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK33 5F110/HK34 5F110/HL07 5F110/HL23 5F110/NN24 5F110/NN35 5F110/NN77		
代理人(译)	铃木昭雄		
其他公开文献	JP2002365665A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有源矩阵型显示装置，其中即使像素尺寸被微粉化并且防止制造工艺复杂化，也改善了数值孔径，并提供了该装置的制造方法。解决方案：该装置具有沿透明基板101上的一个方向延伸的扫描线102，沿着与线102正交的方向延伸的信号线103，透明电极117，其布置在由像素区域104围绕的像素区域104中。扫描线和信号线以及TFT元件114对应于电极117设置。元件114布置在扫描线和信号线的交叉区域内。构成TFT元件的源电极112和漏电极111由同一层信号线的导电膜形成。通过将TFT元件布置在扫描和信号线的交叉区域中，像素区域的面积被扩大并且数值孔径得到改善。由于漏电极和源电极同时与信号线一起形成，因此防止了光刻工艺的增加。

【 图 1 】

