

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4716782号
(P4716782)

(45) 発行日 平成23年7月6日(2011.7.6)

(24) 登録日 平成23年4月8日(2011.4.8)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1333 (2006.01)	GO2F 1/1333 505
GO2F 1/1337 (2006.01)	GO2F 1/1337
GO9F 9/30 (2006.01)	GO9F 9/30 338
GO9F 9/35 (2006.01)	GO9F 9/35

請求項の数 3 (全 33 頁)

(21) 出願番号	特願2005-151573 (P2005-151573)	(73) 特許権者	000005049
(22) 出願日	平成17年5月24日 (2005.5.24)		シャープ株式会社
(65) 公開番号	特開2006-330201 (P2006-330201A)		大阪府大阪市阿倍野区長池町2番22号
(43) 公開日	平成18年12月7日 (2006.12.7)	(74) 代理人	100101214
審査請求日	平成19年9月7日 (2007.9.7)		弁理士 森岡 正樹
		(72) 発明者	黒澤 紀雄
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
		(72) 発明者	小杉 俊太郎
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
		審査官	福田 知喜
			最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板の間に封入された垂直配向型液晶と、
前記第1の基板に設けられて走査信号が供給されるゲートバスラインと、
前記第1の基板に前記ゲートバスラインと交差して設けられて表示信号が供給されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインにより画定される画素領域毎に形成されたスイッチング素子と、
前記画素領域毎に形成された画素電極と、
前記画素領域に設けられて前記スイッチング素子と接続された制御電極と、
前記画素電極の下方であって前記ゲートバスライン、前記データバスライン、前記スイッチング素子及び前記制御電極を覆う保護絶縁膜とを備え、
前記画素電極が少なくとも第1及び第2の領域に分割され、
前記第1の領域の画素電極は、前記制御電極と電氣的に接続されており、
前記第2の領域の画素電極は、前記制御電極と前記保護絶縁膜を介して容量結合している液晶表示装置において、
前記第2の領域の画素電極と前記制御電極とに挟まれた前記保護絶縁膜のうちの少なくとも一部は、その他の部分を覆う前記保護絶縁膜に比べて膜厚が薄く形成されていることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 記載の液晶表示装置において、

前記ゲートバスライン、前記データバスライン、前記スイッチング素子を覆う前記保護絶縁膜は、少なくとも下から第 1 及び第 2 の層からなり、

前記第 2 の領域の画素電極と前記制御電極とに挟まれた前記保護絶縁膜のうちの少なくとも一部は、前記第 1 の層のみからなること

を特徴とする液晶表示装置。

【請求項 3】

ゲートバスライン、データバスライン、スイッチング素子及び制御電極を第 1 の基板に形成した後、前記第 1 の基板の表面全体に保護絶縁膜を形成する工程と、

前記保護絶縁膜上にフォトレジストを全面に塗布した後、前記制御電極と第 1 の領域の画素電極を電氣的に接続する部分の前記フォトレジストを除去し、前記制御電極と第 2 の領域の画素電極とに挟まれる前記保護絶縁膜上の前記フォトレジストの膜厚を前記フォトレジストを残すその他の部分に比べて薄くなるように露光及び現像を行う工程と、

前記制御電極と前記第 1 の領域の画素電極とを電氣的に接続する部分の前記保護絶縁膜をエッチングして制御電極を露出させる工程と、

前記制御電極と前記第 2 の領域の画素電極とに挟まれる前記保護絶縁膜上の薄く形成された前記フォトレジストを除去すると共に、その他の前記保護絶縁膜上の前記フォトレジストを残しておく工程と、

前記制御電極と前記第 2 の領域の画素電極とに挟まれる前記保護絶縁膜の膜厚の一部をエッチングして、前記保護絶縁膜の膜厚を薄くする工程と、

前記フォトレジストを全て除去する工程と、

前記保護絶縁膜上に前記第 1 及び第 2 の領域の画素電極を形成する工程と

を有することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子を用いて画素を制御するアクティブマトリクス型の液晶表示装置に関する。

【背景技術】

【0002】

一般に普及している液晶表示装置は TN 型の液晶モードであるが、TN 型液晶表示装置は CRT と比較して視野角特性が劣るという欠点を有している。IPS (In-Plane Switching) 方式や MVA (Multi-domain Vertical Alignment) 方式の視野角特性の改善された液晶表示装置が開発されて、電子装置の表示部として広く使用されている。このうち、MVA 型液晶表示装置では、液晶画素を制御するスイッチング素子 (TFT) が形成される TFT 基板又はカラーフィルタが形成されるコモン基板の少なくとも一方に、液晶分子の配向を規制するための土手状の突起あるいはスリット状の窪みが画素内に設けられている。MVA 型液晶表示装置では、当該突起 (又は当該窪み) の両側で液晶分子の傾斜方向が異なるという特性を利用して配向分割 (マルチドメイン) が行われ、広い視野角特性が実現される。

【0003】

ところで、従来の MVA 型液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。図 15 は、横軸に印加電圧 (V) をとり、縦軸に透過率をとって、画面を正面から見たときの T-V (透過率-電圧) 特性 (◆印を結ぶ曲線) と、正面に対して上 60° の方向から見たときの T-V 特性 (*印を結ぶ曲線) とを示している。図 15 の図中に円で囲んだ部分に示すように、しきい値電圧よりも若干高い電圧を画素電極に印加したときには、斜め方向から見たときの透過率が正面から見たときの透過率よりも高くなる。また、印加電圧がある程度高くなると、斜め方向から見たときの透過率は、正面から見たときの透過率よりも低くなる。このため、斜め方向から見たときには赤色画素、

10

20

30

40

50

緑色画素及び青色画素の輝度差が小さくなり、その結果前述したように画面が白っぽくなる現象が発生する。この現象は、白茶け（discolor）と呼ばれている。白茶けは、MVA型液晶表示装置だけでなく、TN型液晶表示装置でも発生する。

【0004】

この現象を解決する手段として、画素電極を二つの領域に分割し、一方の領域の画素電極にはスイッチング素子を接続してデータ電圧（データ信号）を直接印加し、他方の領域の画素電極には容量を介してデータ電圧を印加する方法がある。容量を介してデータ電圧が印加される画素領域では、液晶容量との容量比により液晶に印加される電圧が決まり、データ電圧を直接印加する画素領域に印加される電圧とは異なる。これにより、図15に示す正面から見たときの透過率よりも斜め方向から見たときの透過率が高くなる現象が抑制され、その結果、画面が白っぽくなる現象（白茶け）も抑制される。このように1つの画素を複数の領域に分け、容量結合した画素領域を用いて表示特性を改善する方法は、容量結合によるハーフトングレースケール法（容量結合HT法）と呼ばれている。

10

【0005】

図16は、容量結合HT法を用いた従来のMVA型液晶表示装置のTF基板の1画素の構成を示している。図16(a)は、1画素の平面レイアウトを示している。図16(b)は、図16(a)の図中に示す仮想線A-A'で切断した断面を示している。図示は省略するが、MVA型液晶表示装置は実際には、TF基板101と、カラーフィルタ等を積層したコモン基板（図示せず）との間に垂直配向型液晶を挟みこんで封止した構造となっている。図16(a)には、理解を容易にするため、コモン基板側に形成されて液晶分子の配向規制を行うための土手状の突起61、62、63を合わせて示している。液晶表示装置は、突起61、62、63とTF基板101側の画素電極51、52間の斜め45度の隙間からなる窪みとにより、マルチドメインを形成している。

20

【0006】

図16(a)及び図16(b)に示すように、ガラス基板100上にはTi等からなるゲートバスライン10および補助容量バスライン11が並行しており、その上にはSiNからなる絶縁膜20が全面に形成されている。ゲートバスライン10の一部は液晶画素をスイッチングするTF5のゲート電極としても使用され、TF5部にはアモルファスシリコンからなる動作半導体層21、リンドーブされたアモルファスシリコンからなる不純物層22が形成されている。ゲート電極上の絶縁膜20はゲート絶縁膜として機能する。絶縁膜20を介してゲートバスライン10と直交するデータバスライン31と、データバスライン31に接続されたドレイン電極32と、動作半導体層21上で所定の隙間でドレイン電極32に対向配置されたソース電極33と、ソース電極33に接続された制御電極35a、35b、35cとはAl等で形成されている。それらの上の全面にはSiNからなる保護絶縁膜40が形成されている。

30

【0007】

保護絶縁膜40にはコンタクトホール41が開口されおり、制御電極35aはコンタクトホール41を介してその上部に形成された第1の領域の画素電極51と電氣的に接続されている。また、図示しない表示エリア外の、ゲートバスライン10、補助容量バスライン11及びデータバスライン31のそれぞれの端子取り出し部において、保護絶縁膜40は開口されている。ゲートバスライン10及び補助容量バスライン11では、絶縁膜20も開口されている。画素電極51、52はITO等の透明電極からなり、第1の領域の画素電極51と分離された第2の領域の画素電極52は、制御電極35a、35b、35cと保護絶縁膜40を介して容量結合されている。これにより、容量結合HT法が実現され、液晶表示装置は斜め方向から見たときの白茶けを抑制できる。なお、補助容量バスライン11と画素電極51、52とそれらに挟まれた絶縁膜20及び保護絶縁膜40により補助容量が形成される。

40

【特許文献1】特願2004-106138号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0008】

容量結合HT法では、第2の領域の画素電極52と容量結合するための制御電極35b、35cが特に必要である。制御電極35b、35cは、製造工程を増やさないためにデータバスライン31、ドレイン電極32及びソース電極33と同時に形成されており、必要な制御容量を持たせるためにはある程度の面積を必要とする。データバスライン31は、画素へのデータ電圧の書込みの時定数の問題から、ある程度低い抵抗値が要求されるため、Al等の金属が使用されている。従って、第2の領域の画素電極52と重なった制御電極35b、35cは、透過型液晶表示装置にとっては、光が透過しない領域となってしまう。そのため、画素の開口率が低下し、表示装置としての輝度が低下してしまうという問題がある。

10

【0009】

ところで、容量結合HT法を用いるか否かに限らず、液晶表示装置には補助容量が必要である。通常、液晶は交流駆動されているが、正の電圧で書き込んだ場合と負の電圧で書き込んだ場合との液晶にかかる実効電圧にズレが生じる。この実効電圧のズレを緩和して表示画面の焼き付き現象やチラツキを防止するために、補助容量は液晶容量の1から数倍の大きさで画素毎に設けられている。図16(a)及び図16(b)に示すように、補助容量は、補助容量バスライン11と、画素電極51、52とが重なった部分に形成されるが、所定の容量値を得るためには重なり部の面積がある程度必要とされ、補助容量バスライン11を太くする等の必要が生じる。その結果、Ti等の金属でできた補助容量バスライン11により、画素の開口率の低下が起こる。

20

【0010】

本発明の目的は、視角特性に優れて高輝度な液晶表示装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

上記目的は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板の間に封入された垂直配向型液晶と、前記第1の基板に設けられて走査信号が供給されるゲートバスラインと、前記第1の基板に前記ゲートバスラインと交差して設けられて表示信号が供給されるデータバスラインと、前記ゲートバスライン及び前記データバスラインにより画定される画素領域毎に形成されたスイッチング素子と、前記画素領域毎に形成された画素電極と、前記画素領域に設けられて前記スイッチング素子と接続された制御電極と、前記画素電極の下方であって前記ゲートバスライン、前記データバスライン、前記スイッチング素子及び前記制御電極を覆う保護絶縁膜とを備え、前記画素電極が少なくとも第1及び第2の領域に分割され、前記第1の領域の画素電極は、前記制御電極と電氣的に接続されており、前記第2の領域の画素電極は、前記制御電極と前記保護絶縁膜を介して容量結合している液晶表示装置において、前記第2の領域の画素電極と前記制御電極とに挟まれた前記保護絶縁膜のうちの少なくとも一部は、その他の部分を覆う前記保護絶縁膜に比べて膜厚が薄く形成されていることを特徴とする液晶表示装置によって達成される。

30

【0012】

上記本発明の液晶表示装置において、前記ゲートバスライン、前記データバスライン、前記スイッチング素子を覆う前記保護絶縁膜は、少なくとも下から第1及び第2の層からなり、前記第2の領域の画素電極と前記制御電極とに挟まれた前記保護絶縁膜のうちの少なくとも一部は、前記第1の層のみからなることを特徴とする。

40

【0013】

また、上記目的は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板の間に封入された液晶と、前記第1の基板に設けられて走査信号が供給されるゲートバスラインと、前記ゲートバスラインと同時に形成される補助容量電極と、前記ゲートバスライン及び前記補助容量電極の上方に形成されて一部がゲート絶縁膜として機能する絶縁膜と、前記第1の基板に前記ゲートバスラインと交差して設けられて表示信号が供

50

給されるデータバスラインと、前記ゲートバスライン及び前記データバスラインにより画定される画素領域毎に形成されたスイッチング素子と、前記スイッチング素子に電氣的に接続された画素電極と、前記画素電極の下方であって前記ゲートバスライン、前記データバスライン及び前記スイッチング素子を覆う保護絶縁膜と、前記画素電極と前記補助容量電極との間に形成された補助容量とを備え、前記補助容量電極の上方にある前記保護絶縁膜は除去されており、前記補助容量電極と前記画素電極とに挟まれた前記絶縁膜により前記補助容量が形成されており、前記補助容量を形成する前記絶縁膜は、前記スイッチング素子部の前記絶縁膜と膜厚がほぼ同じ又は薄く形成されていることを特徴とする液晶表示装置によって達成される。

【0014】

10

上記本発明の液晶表示装置において、前記ゲートバスライン、前記データバスライン及び前記スイッチング素子を覆う前記保護絶縁膜は、少なくとも下から第1及び第2の層からなることを特徴とする。

【0015】

また、上記目的は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板の間に封入された液晶と、前記第1の基板に設けられて走査信号が供給されるゲートバスラインと、前記ゲートバスラインと同時に形成される補助容量電極と、前記ゲートバスライン及び前記補助容量電極の上方に形成されて一部がゲート絶縁膜として機能する絶縁膜と、前記第1の基板に前記ゲートバスラインと交差して設けられて表示信号が供給されるデータバスラインと、前記ゲートバスライン及び前記データバスラインにより画定される画素領域毎に形成されたスイッチング素子と、前記スイッチング素子に電氣的に接続された画素電極と、前記画素電極の下方であって前記ゲートバスライン、前記データバスライン及び前記スイッチング素子を覆う保護絶縁膜と、前記画素電極と前記補助容量電極との間に形成された補助容量とを備え、前記スイッチング素子を覆う前記保護絶縁膜は、少なくとも下から第1及び第2の層からなるとともに、前記補助容量電極の上方では、前記保護絶縁膜は前記第2の層が除去されており、前記補助容量は、前記絶縁膜及び前記保護絶縁膜の前記第1の層により形成されていることを特徴とする液晶表示装置によって達成される。

20

【0016】

また、上記目的は、ゲートバスライン、データバスライン、スイッチング素子及び制御電極を第1の基板に形成した後、前記第1の基板の表面全体に保護絶縁膜を形成する工程と、前記保護絶縁膜上にフォトレジストを全面に塗布した後、前記制御電極と第1の領域の画素電極を電氣的に接続する部分の前記フォトレジストを除去し、前記制御電極と第2の領域の画素電極とに挟まれる前記保護絶縁膜上の前記フォトレジストの膜厚を前記フォトレジストを残すその他の部分に比べて薄くなるように露光及び現像を行う工程と、前記制御電極と前記第1の領域の画素電極とを電氣的に接続する部分の前記保護絶縁膜をエッチングして制御電極を露出させる工程と、前記制御電極と前記第2の領域の画素電極とに挟まれる前記保護絶縁膜上の薄く形成された前記フォトレジストを除去すると共に、その他の前記保護絶縁膜上の前記フォトレジストを残しておく工程と、前記制御電極と前記第2の領域の画素電極とに挟まれる前記保護絶縁膜の膜厚の一部をエッチングして、前記保護絶縁膜の膜厚を薄くする工程と、前記フォトレジストを全て除去する工程と、前記保護絶縁膜上に前記第1及び第2の領域の画素電極を形成する工程とを有することを特徴とする液晶表示装置の製造方法によって達成される。

30

40

【0017】

また、上記目的は、ゲートバスライン、補助容量電極、一部がゲート絶縁膜として機能する絶縁膜、データバスライン及びスイッチング素子を第1の基板に形成した後、前記第1の基板の表面全体に保護絶縁膜を形成する工程と、前記保護絶縁膜上にフォトレジストを全面に塗布した後、前記ゲートバスラインの端子取出し部の前記フォトレジストを除去し、前記スイッチング素子と画素電極とを電氣的に接続する部分及び補助容量が形成される部分の前記保護絶縁膜上の前記フォトレジストの膜厚を前記フォトレジストを残すその

50

他の部分に比べて薄くなるように露光及び現像を行う工程と、前記ゲートバスラインの端子取出し部の前記保護絶縁膜及び前記絶縁膜をエッチングする工程と、前記スイッチング素子と前記画素電極とを電氣的に接続する部分及び前記補助容量が形成される前記保護絶縁膜上の薄く形成された前記フォトレジストを除去すると共に、その他の前記保護絶縁膜上の前記フォトレジストを残しておく工程と、前記スイッチング素子と前記画素電極とを電氣的に接続する部分及び前記補助容量が形成される部分の前記保護絶縁膜の全部をエッチングする工程と、前記フォトレジストを全て除去する工程と、前記保護絶縁膜及び前記絶縁膜上に前記画素電極を形成する工程とを有することを特徴とする液晶表示装置の製造方法によって達成される。

【発明の効果】

10

【0018】

本発明によれば、視角特性に優れて高輝度な液晶表示装置が実現できる。

【発明を実施するための最良の形態】

【0019】

〔第1の実施の形態〕

本発明の第1の実施の形態による液晶表示装置及びその製造方法について図1乃至図6を用いて説明する。まず、本実施の形態の原理について図1、図2及び図6を用いて説明する。図1は、本実施の形態の液晶表示装置であって、容量結合によるハーフトングレースケール法（容量結合HT法）を用いたMVA型液晶表示装置に用いられる薄膜トランジスタ基板（TFT基板）1の1画素の構成を示している。図1（a）は、TFT基板1の1画素の平面レイアウトを示し、図1（b）は、図1（a）の図中に示す仮想線A-A'で切断した断面の構成を示している。図2乃至図4は、図1に示すTFT基板1の製造工程断面図を示している。図5及び図6は、本実施の形態による変形例の液晶表示装置に用いられるTFT基板の製造工程断面図を示している。

20

【0020】

図1（a）及び図1（b）に示すように、制御電極35a、35b、35cと第2の領域の画素電極52とが重なり、制御容量が形成される制御容量部42の保護絶縁膜40の膜厚をTFT（スイッチング素子）5やデータバスライン31等を覆う保護絶縁膜40に比べて薄く形成された構造とすることで、制御電極35b、35cの面積を大きくせず、制御容量を必要な容量値とすることが可能となる。

30

【0021】

同様に、補助容量となる補助容量部43についても、保護絶縁膜40の膜厚をTFT5やデータバスライン31等を覆う保護絶縁膜40の膜厚より薄くすることで、補助容量バスライン11を太くすることなく、十分な容量値の補助容量を得ることができる。TFT5等を覆う部分の保護絶縁膜40の膜厚を制御容量部42及び補助容量部43の保護絶縁膜40に合わせて全て薄くすると、液晶表示装置の製造中のダメージや外部からの水分による保護を行うことが十分にできなくなる。ところが、本実施の形態では、保護を目的とする領域と、高い容量値の容量を得る目的とする領域とで保護絶縁膜40の膜厚が最適な値となるように形成される。

【0022】

40

また、場所により保護絶縁膜40の膜厚を変えるためには、コンタクトホール41や表示エリア外の端子取り出し部の保護絶縁膜40用のエッチングマスクとは別のマスクを用意して、制御容量部42及び補助容量部43の保護絶縁膜40の膜厚を一部エッチングすることにより、図1（b）に示す構造のTFT基板1が得られる。しかし、この方法では、フォトリソグラフィ工程が1回増えてしまい、製造コストの上昇の原因となる。

【0023】

そこで本実施の形態では、図3に示すように、レジストマスク7はコンタクトホール41や不図示の端子部顔出しの開口部では開口して形成されているが、制御容量部42や補助容量部43では、その他のレジストを残す部分に比べて膜厚が相対的に薄く形成されている。このようなレジストマスク7を用いることにより、まずコンタクトホール41及び

50

ゲート端子取出し部 44 をエッチングして開口し、次に薄く残ったレジストを酸素プラズマ等で除去した後に、制御容量部 42 や補助容量部 43 の保護絶縁膜 40 の膜厚の一部をエッチングする。これにより、制御容量部 42 及び補助容量部 43 の保護絶縁膜 40 のそれぞれの膜厚と、その他の保護絶縁膜 40 の膜厚とを異ならせることができる。

【0024】

本実施の形態による変形例の原理について図 6 を用いて説明する。図 6 (c) に示すように、本変形例では、TFT 5 等の保護絶縁膜 40 は、例えば SiN で形成された下層膜 (第 1 の絶縁層) 401 と、下層膜 401 に対してエッチングの選択比を持つ、例えば SiO₂ で形成された上層膜 (第 2 の絶縁層) 402 とを積層した 2 層以上の構造に形成される。制御容量部 42 や補助容量部 43 では、上層膜 402 を除去して下層膜 401 のみからなる保護絶縁膜 40 とすることで、膜厚を相対的に薄く形成できる。

10

【0025】

以上説明したように、本実施の形態によれば、制御容量部 42 や補助容量部 43 の保護絶縁膜 40 の膜厚は、TFT 5 等を覆う部分の保護絶縁膜 40 の膜厚に比べて薄い構造とすることができる。これにより、TFT 5 への後工程ダメージに対する保護機能を確保しつつ、従来の TFT 基板 101 に形成された制御容量又は補助容量の容量値を維持したまま、制御容量又は補助容量が 1 画素内を占める面積の割合小さくすることができる。これにより、1 画素の開口率の減少を最小限に抑えて高輝度の液晶表示装置を得ることができる。さらに、容量結合 HT 法を適用できるので、白茶けの無い視角特性の優れた MVA 型液晶表示装置を得ることができる。

20

【0026】

(実施例 1-1)

本実施の形態による実施例 1-1 の液晶表示装置及びその製造方法について図 1 乃至図 4 を用いて説明する。図 1 に示す容量結合 HT 法を用いた MVA 型液晶表示装置は、実際には TFT 基板 1 と、カラーフィルタ等を積層したコモン基板 (図示せず) との間に垂直配向型液晶を挟み込んで封止した構造を有している。図 1 (a) には、理解を容易にするため、コモン基板側に形成されて液晶分子の配向規制を行うための土手状の突起 61、62、63 を合わせて示している。液晶表示装置は、突起 61、62、63 と、TFT 基板 1 側の第 1 の領域の画素電極 51 と第 2 の領域の画素電極 52 との間に形成された斜め 45 度の隙間からなる窪みとにより、マルチドメインを形成している。

30

【0027】

次に、図 2 乃至図 4 を用いて本実施の形態の液晶表示装置の製造方法について説明する。図 2 (a) に示すように、ガラス基板 (第 1 の基板) 100 上に、例えば膜厚が 150 nm の Al と、例えば膜厚が 50 nm の Ti とをこの順に成膜してパターンニングし、ゲートバスライン 10 及び補助容量バスライン 11 を形成する。図に示す断面において、ゲートバスライン 10 はゲート電極として機能し、補助容量バスライン 11 は補助容量電極として機能する。

【0028】

次に、図 2 (b) に示すように、例えば膜厚が 400 nm の SiN からなる絶縁膜 20 を全面に形成する。図に示す断面において、ゲートバスライン 10 上の絶縁膜 20 はゲート絶縁膜として機能する。次いで、例えば膜厚が 70 nm のアモルファスシリコンと、例えばリンをドーパした膜厚が 50 nm のアモルファスシリコンとをこの順に成膜してパターンニングし、動作半導体層 21 及び不純物層 22 を形成する。動作半導体層 21 及び不純物層 22 は TFT が形成される部分に形成される。

40

【0029】

次に、図 2 (c) に示すように、例えば、膜厚が 20 nm の Mo と、膜厚が 200 nm の Al と、膜厚が 50 nm の Mo とからなる配線電極を堆積してパターンニングし、データバスライン 31 (不図示) と、ドレイン電極 32 と、ソース電極 33 と、制御電極 35a と、制御電極 35b、35c (不図示) とを形成する。このとき、TFT 5 のチャネル領域上に位置する不純物層 22 は除去される。次に、図 2 (d) に示すように、例えば膜厚

50

が400nmのSiNからなる保護絶縁膜40を全面に堆積する。

【0030】

次に、図3に示すように、保護絶縁膜40をパターニングするためのレジストマスク7を以下のように形成する。まず、全面にポジ型レジストを約2μmの厚さで塗布し、次に制御電極35aと画素電極51とを接続するコンタクトホール41が形成される領域のレジストを開口し、制御電極35a、35b、35cと画素電極52とが制御容量を形成する制御容量部42及び補助容量バスライン11と画素電極51とが補助容量を形成する補助容量部43のレジストの厚さがレジストを残すその他の部分のおよそ1/4乃至1/2の厚さ、例えば0.6μmの膜厚となるように露光して現像し、レジストマスク7を形成する。レジストを薄く残す部分の露光マスクの透過率を30乃至70%とすることで、所定の領域で膜厚の異なるレジストマスク7を形成することが可能である。

10

【0031】

次に、図3(a)に示すように、レジストマスク7を用いて保護絶縁膜40をエッチングし、コンタクトホール41を開口する。図示は省略するが、通常はこの際に、データバスライン31の表示エリア外での端子取り出し部でも同様に保護絶縁膜40をエッチングして開口する。当該端子取出部の構造は、制御電極35a上のコンタクトホール41と同様である。図3(b)に示すように、コンタクトホール41を開口する工程において同時に、ゲートバスライン10の端子取り出し部であるゲート端子12上の保護絶縁膜40及び絶縁膜20を続けてエッチングして除去して端子取り出しを行う。

20

【0032】

次に、図4(a)に示すように、全面を酸素プラズマにさらして、レジストマスク7を全体的にアッシングし、制御容量部42及び補助容量部43のレジストがなくなるまで処理する。次に、図4(b)に示すように、再度、制御容量部42及び補助容量部43の保護絶縁膜40をエッチングし、残膜厚を約200nmに形成する。次いで、レジストマスク7を全て剥離除去する。

【0033】

次に、図1(b)に示すように、例えば膜厚が100nmのITOからなる透明電極を堆積してパターニングし、第1の領域の画素電極51と第2の領域の画素電極52を形成する。次に、図示は省略するが、ポリイミドからなる配向膜を全面に塗布する。こうして、TFT基板1が完成する。

30

【0034】

図示は省略するが、対向ガラス基板上に、遮光マスク(ブラックマトリクス)と、カラーフィルタと、ITOからなるコモン電極等を積層し、土手状の突起61、62、63を形成する。次いで、全面に例えばポリイミドからなる配向膜を塗布する。こうして、コモン基板が完成する。こうして完成したTFT基板1とコモン基板とを貼り合せ、液晶を注入して封止して液晶表示装置が完成する。

【0035】

画素電極51はTFT5から延びた制御電極35aとコンタクトホール41を介して電氣的に接続されているため、データバスライン31から液晶を駆動する電圧(表示信号)が直接書き込まれる。一方、画素電極52は、制御容量部42の保護絶縁膜40を介して制御電極35a、35b、35cに容量結合されているため、画素電極51とは異なる電圧が書き込まれる。従って、液晶表示装置の表示画面を斜めから見たときの白茶け現象を抑制できる。しかも、制御容量部42の保護絶縁膜40の膜厚は、TFT5等の保護絶縁膜40に対して約1/2の厚さに薄く形成されている。このため、本実施例の液晶表示装置の制御電極35a、35b、35cを従来の液晶表示装置の制御電極35a、35b、35cの面積に対して約1/2に形成しても、両液晶表示装置の制御容量の容量値はほぼ等しくなる。

40

【0036】

また、補助容量部43では、補助容量バスライン11と画素電極51とが絶縁膜20及び保護絶縁膜40を挟み込んだ構造となる。補助容量部43の保護絶縁膜40を薄くしな

50

いと、絶縁膜 20 及び保護絶縁膜 40 の厚さは $400\text{ nm} + 400\text{ nm} = 800\text{ nm}$ となるのに対し、本実施例では、絶縁膜 20 及び保護絶縁膜 40 の厚さは、 $400\text{ nm} + 200\text{ nm} = 600\text{ nm}$ となる。従って、本実施例の液晶表示装置の補助容量の容量値を従来の液晶表示装置と同じ容量値に設定しても、補助容量電極の面積を約 $3/4$ に減少できる。これにより、画素の開口率が大きくなるので、液晶表示装置の高輝度化が図れる。

【0037】

(実施例 1-2)

次に、本実施の形態の変形例としての実施例 1-2 の液晶表示装置及びその製造方法について図 5 及び図 6 を用いて説明する。本実施例の TFT 基板 1 の平面レイアウトは、上記実施例 1-1 と同様である。図 5 及び図 6 は、図 1 (a) の図中に示す仮想線 A-A' で切断した断面における、本実施例の TFT 基板 1 の製造工程断面図である。

10

【0038】

まず、図 5 (a) に示すように、上記実施例 1-1 と同様の製造工程により、ゲートバスライン 10、補助容量バスライン 11、絶縁膜 20、データバスライン 31 (図 5 では不図示)、ドレイン電極 32、ソース電極 33 及び制御電極 35a、35b、35c をガラス基板 100 上に形成する。次に、図 5 (b) に示すように、例えば膜厚が 150 nm の SiN で形成された下層膜 401 と、例えば膜厚が 300 nm の SiO_2 で形成された上層膜 402 とをこの順に成膜し、下層膜 401 と上層膜 402 とからなる保護絶縁膜 40 を全面に堆積する。

【0039】

20

次に、図 5 (c) に示すように、保護絶縁膜 40 をパターニングするためのレジストマスク 7 を形成する。レジストマスク 7 は上記実施例 1-1 と同様に、コンタクトホール 41、データバスライン 31 の端子取出し部 (図示せず) 及びゲート端子取出し部 44 (図 5 (d) 参照) の形成される位置が開口される。また、レジストマスク 7 は、制御容量部 42 及び補助容量部 43 ではレジストを残すその他の部分のおよそ $1/4$ 乃至 $1/2$ 程度、例えば $0.6\text{ }\mu\text{m}$ の膜厚となるように形成される。

【0040】

レジストマスク 7 を用いて SiO_2 からなる上層膜 402 と SiN からなる下層膜 401 とを続けてエッチングし、コンタクトホール 41 とデータバスライン 31 の端子取出し部とを開口し、図 5 (d) に示すように、ゲート端子取出し部 44 ではさらに絶縁膜 20 をエッチングして開口する。

30

【0041】

次に、図 6 (a) に示すように、全面を酸素プラズマにさらして、レジストマスク 7 を全体的にアッシングし、制御容量部 42 及び補助容量部 43 のレジストが無くなるまで処理する。

【0042】

次に、図 6 (b) に示すように、制御容量部 42 及び補助容量部 43 において下層膜 401 が残るように、再び、保護絶縁膜 40 のうちの上層膜 402 のみをエッチングする。上層膜 402 をエッチングするには、例えば CHF_3 等のガスを用いてプラズマエッチングを行えば、SiN で形成された下層膜 401 に対して選択エッチングが可能になる。その後、レジストマスク 7 をすべて剥離除去する。

40

【0043】

次に、図 6 (c) に示すように、例えば膜厚が 100 nm の ITO からなる透明電極を堆積してパターニングし、第 1 の領域の画素電極 51 及び第 2 の領域の画素電極 52 を形成する。以下、上記実施例 1-1 と同様の製造工程により、TFT 基板 1 及びそれを用いた液晶表示装置が完成する。

【0044】

以上説明したように、本実施例によれば、保護絶縁膜 40 を 2 層構造とすることで、制御容量部 42 では下層膜 401 のみを残し、補助容量部 43 では絶縁膜 20 と下層膜 401 が積層された絶縁膜を残すことができる。上記実施例 1-1 では、保護絶縁膜 40 の膜

50

厚400nmのうち、およそ半分の200nmだけエッチングしているが、この方法はエッチングレートを管理し、エッチング時間による制御を行う必要がある。

【0045】

これに対し、本実施例では、上層膜402は下層膜401に対して選択性のあるエッチングを行うことができるため、下層膜401の堆積膜厚によって保護絶縁膜40の残膜厚が決まり、保護絶縁膜40の膜厚の制御が容易となる。また、保護絶縁膜40において、上層膜402をSiNで形成し、下層膜をSiO₂で形成することも可能である。しかし、制御容量を形成するのは下層膜であるため、下層膜を比誘電率の大きいSiNで形成した方が同じ容量値の補助容量を同じ膜厚で形成する場合に形成面積を小さくできる。

【0046】

なお、上記実施例1-1及び本実施例ともに、制御容量部42の保護絶縁膜40又は補助容量部43の保護絶縁膜40のみを薄くしても構わない。これはレジストマスク7の形状を変更するだけで容易に達成できる。また、上記実施例1-1及び本実施例では、容量結合HT法を用いた画素構造で説明したが、これに限られない。例えば、容量結合HT法を用いない画素構造の液晶表示装置において、画素の開口率を向上させるために補助容量部43の保護絶縁膜40のみを薄くする場合にも適用可能である。

【0047】

〔第2の実施の形態〕

本発明の第2の実施の形態による液晶表示装置及びその製造方法について図7乃至図14を用いて説明する。本実施の形態の液晶表示装置は、容量結合HT法を用いていない画素構造を有し、従来の液晶表示装置に比べて補助容量の面積が減少されている点に特徴を有している。まず、本実施の形態の原理について図7及び図11乃至図14を用いて説明する。図7は、本実施の形態のMVA型液晶表示装置に用いられるTF T基板1の1画素の構成を示している。図7(a)は、TF T基板1の1画素の平面レイアウトを示し、図7(b)は、図7(a)の図中に示す仮想線A-A'で切断した断面の構成を示している。図8乃至図10は、図7に示すTF T基板1の製造工程断面図を示している。図11乃至図14は、本実施の形態による2つの変形例の液晶表示装置に用いられるTF T基板の製造工程断面図を示している。

【0048】

従来の液晶表示装置では、補助容量は保護絶縁膜及び一部がゲート絶縁膜になる絶縁膜を補助容量バスラインと画素電極とで挟み込んだ構造を有しているが、本実施の形態の液晶表示装置では、補助容量を構成する保護絶縁膜を除去して絶縁膜のみとすることで、同じ容量値であっても補助容量の形成面積を減少できる。また、図11及び図12に示すTF T基板1では、絶縁膜20のみを残す手段として、TF T5等の部分では、例えば下からSiO₂/SiNの2層膜（下層膜401/上層膜402）からなる保護絶縁膜40とし、補助容量部43では、上層膜402（SiN）と下層膜402（SiO₂）とをこの順にエッチングすることで、SiNよりなる絶縁膜20のみを容易に残すことができる。

【0049】

図13及び図14に示すTF T基板1では、コンタクトホール41が形成される領域のレジストマスク7の膜厚を補助容量部43と同様に相対的に薄くして、ゲートバスライン10や補助容量バスライン11の端子顔出しの開口部のみレジストを除去しておく。まず、端子顔出しの開口部の保護絶縁膜40及び絶縁膜20をエッチングする。次に、レジストマスク7の膜厚の薄いレジストを除去した後、コンタクトホール41及び補助容量部43の保護絶縁膜40をエッチングすることで、コンタクトホール41ではソース電極33が露出する一方、補助容量部43では絶縁膜20を残すことができる。

【0050】

このように、補助容量部43における保護絶縁膜40がTF T等を覆う部分の膜厚に比べて薄い又は除去された構造とすることで、同じ容量値であっても補助容量が画素内を占める面積を小さくすることができる。これにより、画素の開口率の減少を最小限に抑えて明るい表示を得ることができると共に、焼き付きやチラツキのない表示品質の優れた液

10

20

30

40

50

晶表示装置が得られる。しかも、保護絶縁膜40の一部を薄くするためのマスク工程が増加しないので、低コストで液晶表示装置を製造することが可能となる。

【0051】

(実施例2-1)

本実施の形態による実施例2-1の液晶表示装置及びその製造方法について図7乃至図10を用いて説明する。本実施例2-1の液晶表示装置は、補助容量部43の保護絶縁膜40をエッチング除去して、補助容量バスライン11、画素電極51及びそれらに挟まれた絶縁膜20で補助容量を形成する構造を備えた点に特徴を有している。

【0052】

図7に示す容量結合HT法を用いていないMVA型液晶表示装置は実際には、TF基板1と、カラーフィルタ等を積層したコモン基板(図示せず)との間に垂直配向型液晶を挟み込んで封止された構造を有している。図7(a)には、理解を容易にするため、コモン基板側に形成されて液晶分子の配向規制を行うための土手状の突起61、62、63を合わせて示している。液晶表示装置は、突起61、62、63と、TF基板1側の画素電極51に形成された斜め45度の隙間からなる窪みとによりマルチドメインを形成している。なお、本実施例の液晶表示装置は、TN型の液晶等であっても構わない。

【0053】

図7(a)及び図7(b)に示すように、本実施例の液晶表示装置に備えられたTF基板1は、制御電極35a、35b、35cを有していない点及び2つに分割された画素電極を有していない点を除き、上記第1の実施の形態の液晶表示装置と同様の画素構造を有している。また、本実施例のTF基板1は制御電極35a、35b、35cを有していないので画素内に制御容量が形成されていない。

【0054】

次に、図8乃至図10を用いて本実施例の液晶表示装置の製造方法について説明する。

まず、図8(a)に示すように、ガラス基板(第1の基板)100上に、例えば膜厚が150nmのAlと例えば膜厚が50nmのTiとをこの順に成膜してパターニングし、ゲートバスライン10及び補助容量バスライン11を形成する。図に示す断面において、ゲートバスライン10はゲート電極として機能し、補助容量バスライン11は補助容量電極として機能する。

【0055】

次に、図8(b)に示すように、例えば膜厚が400nmのSiNからなる絶縁膜20を全面に形成する。図に示す断面において、ゲートバスライン10上の絶縁膜20はゲート絶縁膜として機能する。次いで、例えば膜厚が70nmのアモルファスシリコンと、例えばリンをドーパした膜厚が50nmのアモルファスシリコンとをこの順に成膜してパターニングし、動作半導体層21及び不純物層22を堆積する。動作半導体層21及び不純物層22はTFが形成される部分に残される。

【0056】

次に、図8(c)に示すように、例えば膜厚が20nmのMoと、例えば膜厚が200nmのAlと、例えば膜厚が50nmのMoとからなる配線電極を堆積してパターニングし、データバスライン31と、ドレイン電極32と、ソース電極33とを形成する。このとき、TF5のチャンネル領域上に位置する不純物層22は除去される。次に、図8(d)に示すように、例えば膜厚が400nmのSiO₂からなる保護絶縁膜40を全面に堆積する。

【0057】

次に、図9(a)に示すように、保護絶縁膜40をパターニングするためのレジストマスク7を以下のように形成する。まず、全面にポジ型レジストを約2μmの厚さで塗布し、次に、上記第1の実施の形態と同様に、コンタクトホール41、データバスライン31の端子取出し部(図示せず)及びゲート端子取出し部44(図9(b)参照)が形成される領域のレジストを開口し、補助容量部43のレジストの厚さがレジストを残すその他の部分のおよそ1/4乃至1/2の厚さ、例えば0.6μmの膜厚となるようにレジストマ

10

20

30

40

50

スク7を形成する。なお、データバスライン31の端子取出し部の構造はソース電極33上のコンタクトホール41の構造と同じである。

【0058】

次に、図9(a)及び図9(b)に示すように、レジストマスク7を用いて保護絶縁膜40をエッチングし、コンタクトホール41及びデータバスラインの端子取出し部を開口し、ゲート端子取出し部44ではさらに絶縁膜20をエッチングして開口する。

【0059】

次に、図10(a)に示すように、全面を酸素プラズマにさらして、レジストマスク7を全体的にアッシングし、補助容量部43のレジストがなくなるまで処理する。次に、図10(b)に示すように、 SiO_2 からなる保護絶縁膜40を CHF_3 ガス等を用いてプラズマエッチングし、補助容量部43には SiN 膜からなる絶縁膜20のみが残るように形成する。次いで、レジストマスク7を全て剥離除去する。

【0060】

次に、図7(b)に示すように、例えば膜厚が100nmのITOからなる透明電極を堆積してパターンニングし、画素電極51を形成する。次に、図示は省略するが、ポリイミドからなる配向膜を全面に塗布する。こうして、TF基板1が完成する。以下、上記第1の実施の形態の実施例1-1と同様の製造工程により、液晶表示装置が完成する。

【0061】

以上説明したように、本実施例では、補助容量部43において、補助容量バスライン11と画素電極51とが絶縁膜20のみを挟み込んだ構造になっている。従って、本実施例による液晶表示装置は、補助容量部43に保護絶縁膜40が形成されている従来の液晶表示装置と比較して、同じ容量値の補助容量を形成するのであれば、画素内を占める補助容量の形成面積を小さくできる。これにより、画素の開口率が大きくなるので、高輝度の液晶表示装置が得られる。

【0062】

(実施例2-2)

次に、本実施の形態の変形例としての実施例2-2の液晶表示装置及びその製造方法について図11及び図12を用いて説明する。本実施例のTF基板1の平面レイアウトは、上記実施例2-1と同様である。図11及び図12は、図7(a)の図中に示す仮想線A-A'で切断した断面における、本実施例のTF基板1の製造工程断面図である。

【0063】

まず、図11(a)に示すように、上記実施例2-1と同様の製造工程により、ゲートバスライン10、補助容量バスライン11、絶縁膜20、データバスライン31(図11では不図示)、ドレイン電極32及びソース電極33をガラス基板100上に形成する。次に、図11(b)に示すように、例えば膜厚が100nmの SiO_2 で形成された下層膜401と、例えば膜厚が300nmの SiN で形成された上層膜402とをこの順に成膜し、下層膜401と上層膜402とからなる保護絶縁膜40を全面に堆積する。

【0064】

次に、図11(c)に示すように、保護絶縁膜40をパターンニングするためのレジストマスク7を形成する。レジストマスク7は上記実施例1-1と同様に、コンタクトホール41、データバスライン31の端子取出し部(図示せず)及びゲート端子取出し部44(図11(d)参照)の形成される位置が開口される。また、レジストマスク7は、補助容量部43ではレジストを残すその他の部分のおよそ1/4乃至1/2、例えば0.6 μm の膜厚となるように形成される。

【0065】

図11(c)に示すように、レジストマスク7を用いて SiN からなる上層膜402と SiO_2 からなる下層膜401とを続けてエッチングし、コンタクトホール41とデータバスライン31の端子取出し部とを開口し、次いで、図11(d)に示すように、ゲート端子取出し部44ではさらに絶縁膜20をエッチングして開口する。

【0066】

次に、図12(a)に示すように、全面を酸素プラズマにさらして、レジストマスク7を全体的にアッシングし、補助容量部43のレジストがなくなるまで処理する。

【0067】

次に、図12(b)に示すように、再び上層膜402と下層膜401とを続けてエッチングして除去し、補助容量部43においてSiNからなる絶縁膜20を残す。下層膜401をエッチングする際に、例えばCHF₃等のガスを用いてプラズマエッチングを行えば、SiNで形成された絶縁膜20に対して選択エッチングが可能になる。その後、レジストマスク7をすべて剥離除去する。

【0068】

次に、図12(c)に示すように、例えば膜厚が100nmのITOからなる透明電極を堆積してパターンニングし、画素電極51を形成する。以下、上記実施例1-1と同様の製造工程により、TFT基板1及びそれを用いた液晶表示装置が完成する。

【0069】

上記本実施例2-1では、保護絶縁膜40はSiO₂膜のみで形成されている。ところが、外部のNa⁺等の可動イオンからの汚染に対して、SiNはSiO₂より遮断能力が高いことが知られている。そこで本実施例2-2では、TFT等の保護絶縁膜40をSiO₂とSiNとの積層膜とすることで、保護膜としての役割を十分果たしながら、補助容量部43では制御よくエッチングしてSiNからなる絶縁膜20を残すことが可能となる。

【0070】

(実施例2-3)

次に、本実施の形態の他の変形例としての実施例2-3の液晶表示装置及びその製造方法について図13及び図14を用いて説明する。本実施例のTFT基板1の平面レイアウトは、上記実施例2-1と同様である。図13及び図14は、図7(a)の図中に示す仮想線A-A'で切断した断面における、本実施例のTFT基板1の製造工程断面図である。

【0071】

まず、図13(a)に示すように、上記実施例2-1と同様の製造工程により、ゲートバスライン10、補助容量バスライン11、絶縁膜20、データバスライン31(図13では不図示)、ドレイン電極32及びソース電極33をガラス基板100上に形成する。次に、図13(b)に示すように、可動イオンに対する遮断能力の高いSiNからなり、例えば膜厚が400nmの保護絶縁膜40を全面に堆積する。

【0072】

次に、図13(b)及び図13(c)に示すように、保護絶縁膜40をパターンニングするためのレジストマスク7を形成する。本実施例のレジストマスク7は、上記第1の実施の形態及び本実施の形態の実施例2-1、2-2と異なり、ゲート端子取出し部44が形成される領域のみ開口され、コンタクトホール41、データバスライン31の端子取出し部(図示せず)及び補助容量部43では、レジストを残すその他の部分のおよそ1/4乃至1/2、例えば0.6μmの膜厚となるように形成されている。図13(c)に示すように、レジストマスク7を用いて保護絶縁膜40及び絶縁膜20を続けてエッチングし、ゲート端子取出し部44を開口する。

【0073】

次に、図13(d)に示すように、全面を酸素プラズマにさらして、レジストマスク7を全体的にアッシングし、コンタクトホール41、データバスラインの端子取出し部及び補助容量部43のレジストがなくなるまで処理する。

【0074】

次に、図14(a)に示すように、保護絶縁膜40を再びプラズマエッチングし、コンタクトホール41、データバスライン31の端子取出し部を開口するとともに、補助容量部43においても保護絶縁膜40をエッチングする。この時、保護絶縁膜40と絶縁膜20はともにSiNで形成されているが、コンタクトホール41及びデータバスライン31

10

20

30

40

50

の端子取出し部のエッチング終了時を一般的なプラズマ発光モニタにより十分に検知可能である。このため、このエッチング終了時に合わせてエッチングを終了することにより、補助容量部43の絶縁膜20を所定の膜厚で残すことは容易に制御できる。その後、レジストマスク7をすべて剥離除去する。

【0075】

次に、図14(b)に示すように、例えば膜厚が100nmのITOからなる透明電極を堆積してパターンニングし、画素電極51を形成する。以下、上記実施例1-1と同様の製造工程により、TFT基板1及びそれを用いた液晶表示装置が完成する。

【0076】

以上説明したように、本実施例では、保護絶縁膜40はSiNのみで形成されているが、コンタクトホール41及びデータバスライン31の端子取り出し部と同時にエッチングを終了することにより、補助容量部43の保護絶縁膜40のエッチングの終了時を検知できるため、容易に補助容量部43の絶縁膜20(SiN膜)を残すことが可能となる。

【0077】

なお、コンタクトホール41及びデータバスラインの端子取出し部の開口面積が小さく、エッチング終了の検知が困難な場合は、ガラス基板100の面内で液晶表示装置として差し支えない場所に、ダミーのソース電極及びドレイン電極とその上に保護絶縁膜のコンタクトホールを設け、当該コンタクトホールにより保護絶縁膜40のエッチングの終了時を検知することが可能である。

【0078】

このように、保護絶縁膜40のエッチング終了時をモニタできるため、保護絶縁膜40のエッチング終了後、さらに補助容量部43の絶縁膜20を例えば総膜厚の1/3程度エッチングして、補助容量部43の絶縁膜20の膜厚をより薄くし、単位面積当たりの容量値を大きくすることも可能である。この場合、エッチング時間によって残膜厚を制御することになるが、エッチングレートの管理をすれば十分可能である。このようにして形成されたTFT基板1の断面を図14(c)に示す。また、図13及び図14で述べた製造方法は、上記実施例2-2の保護絶縁膜40のように2層構造にしても適用できることは自明である。

【0079】

以上説明したように、上記第1の実施の形態によれば、制御容量部42の保護絶縁膜40又は補助容量部43の保護絶縁膜40を相対的に薄くした構造とすることで、これらの容量を形成するためのメタル電極(制御電極35a、35b、35cや補助容量バスライン11等)の面積を減少することができる。従って、画素の開口率減少を最小限に抑えて明るい表示を得ることができると共に、容量結合HT法による白茶けのない視角特性及び焼き付きやチラツキのない表示品質に優れたMVA型液晶表示装置が得られる。

【0080】

また、上記第2の実施の形態によれば、補助容量部43の保護絶縁膜40を相対的に薄く又は取り除いた構造とすることで、これらの容量を形成するためのメタル電極(補助容量バスライン11)の面積を減少することができる。従って、画素の開口率減少を最小限に抑えて明るい表示を得ることができると共に、焼き付きやチラツキのない表示品質の優れた液晶表示装置を得ることができる。

【0081】

さらに、上記第1及び第2の実施の形態によれば、保護絶縁膜40を部分的に薄くするためのマスク工程を増やさずにTFT基板1を形成できるので、低コストで液晶表示装置を製造することが可能となる。

【図面の簡単な説明】

【0082】

【図1】本発明の第1の実施の形態による液晶表示装置に用いられるTFT基板の1画素の概略構成を示す図である。

【図2】本発明の第1の実施の形態による液晶表示装置に用いられるTFT基板の製造工

10

20

30

40

50

程断面図である。

【図 3】本発明の第 1 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 4】本発明の第 1 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 5】本発明の第 1 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 6】本発明の第 1 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 7】本発明の第 2 の実施の形態による液晶表示装置に用いられる T F T 基板の 1 画素の概略構成を示す図である。 10

【図 8】本発明の第 2 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 9】本発明の第 2 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 10】本発明の第 2 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 11】本発明の第 2 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 12】本発明の第 2 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。 20

【図 13】本発明の第 2 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 14】本発明の第 2 の実施の形態による液晶表示装置に用いられる T F T 基板の製造工程断面図である。

【図 15】従来の液晶表示装置の T-V 特性を示すグラフである。

【図 16】従来の液晶表示装置に用いられる T F T 基板の 1 画素の概略構成を示す図である。

【符号の説明】

【0083】 30

1、101 T F T 基板

5 T F T

7 レジストマスク

10 ゲートバスライン

11 補助容量バスライン

20 絶縁膜

21 動作半導体層

22 不純物層

31 データバスライン

32 ドレイン電極

33 ソース電極

35a、35b、35c 制御電極

40 保護絶縁膜

41 コンタクトホール

42 制御容量部

43 補助容量部

44 ゲート端子取出し部

51、52 画素電極

61、62、63 突起

100 ガラス基板

40

50

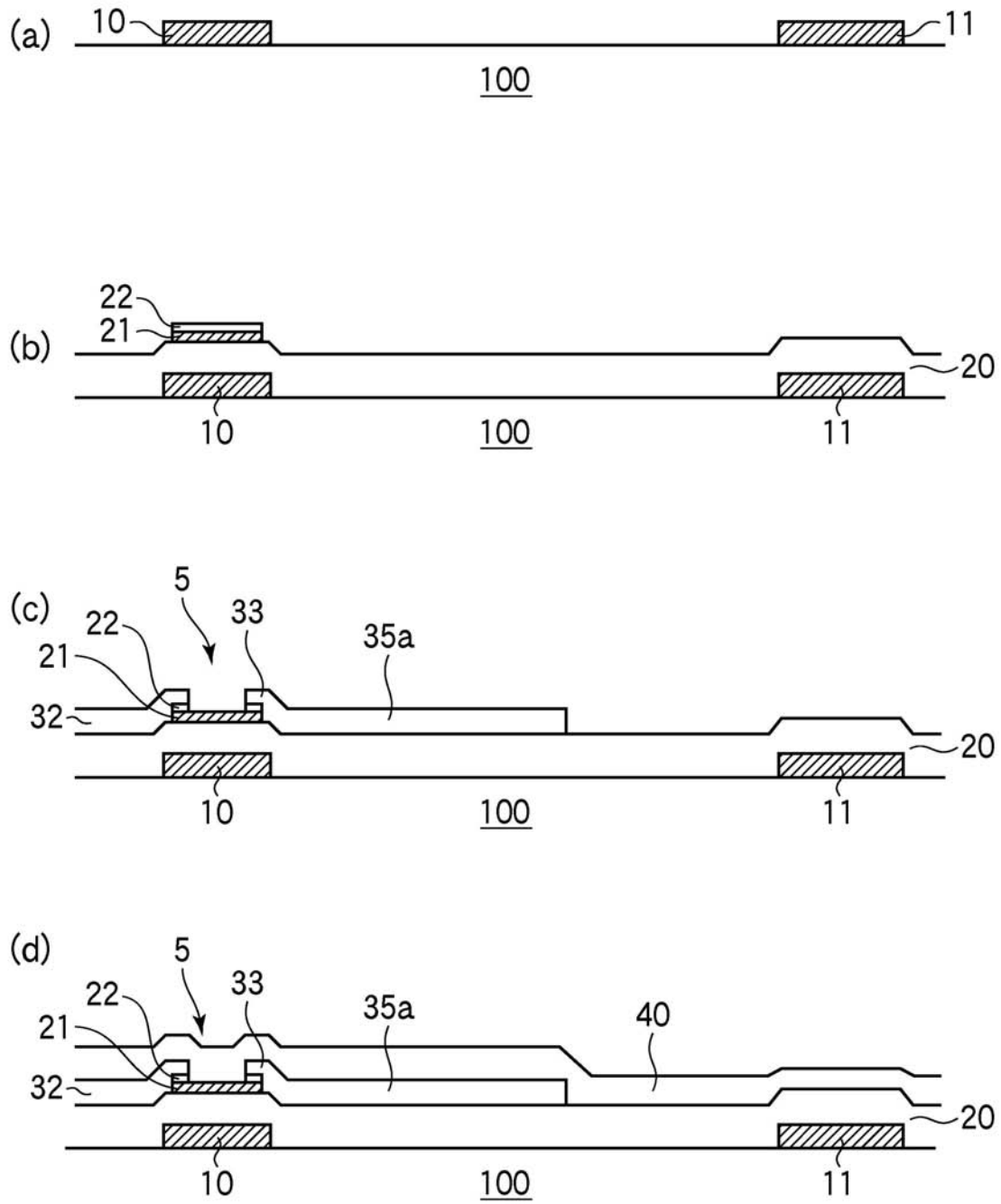
4 0 1 下層膜
4 0 2 上層膜

Figure 1 consists of two parts: (a) a plan view and (b) a cross-sectional view of a semiconductor device 1.

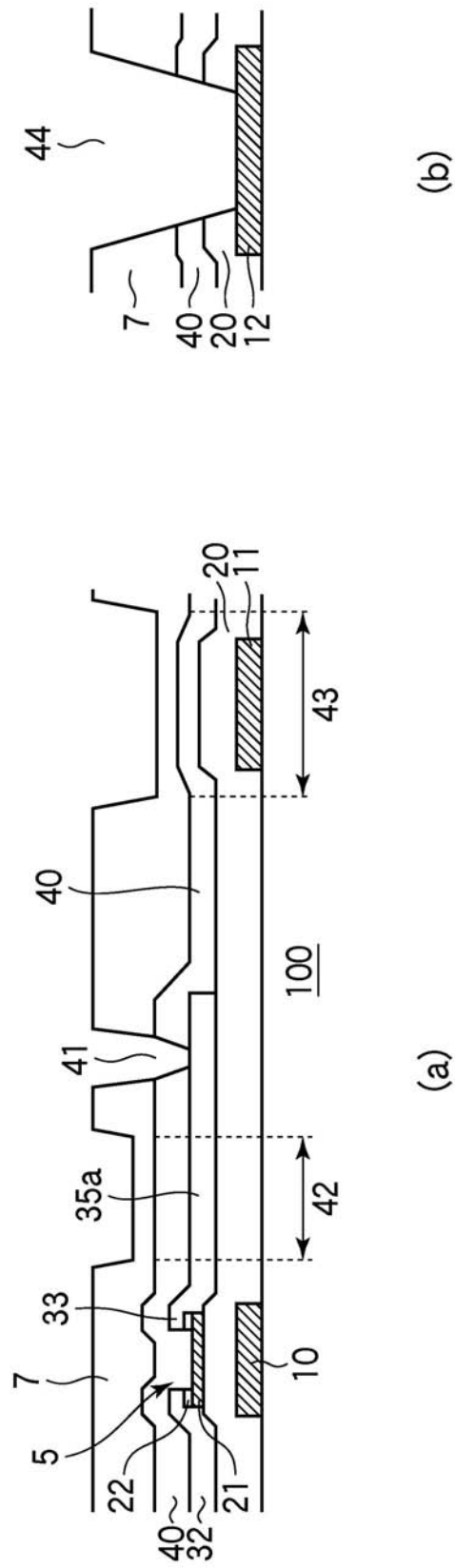
Part (a) is a plan view showing a central region 52 surrounded by a patterned layer 51. A diagonal line A-A' passes through the center. Various regions are labeled with numbers: 31, 32, 5, 21, 10, 33, 35a, 41, 43, 51, 63, 35b, 42, 61, 35c, 11, 62, and 52. A dashed line 61 is also shown.

Part (b) is a cross-sectional view along line A-A' of the device 1. It shows a substrate 100 with a base layer 11 and a top layer 20. A patterned layer 52 is formed on the substrate, with a central region 51 and a surrounding region 40. A diagonal line A-A' passes through the center. Various regions are labeled with numbers: 22, 21, 32, 10, 5, 33, 52, 35a, 41, 51, 40, 20, 11, 100, 42, and 43. A dashed line 42 is also shown.

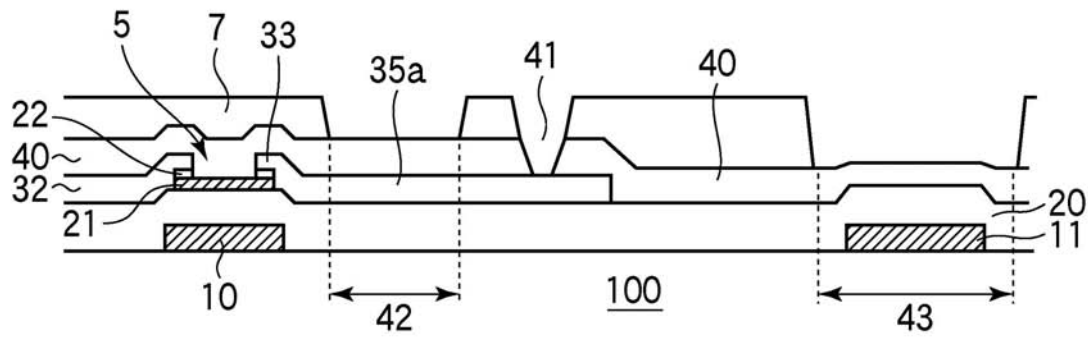
【図 2】



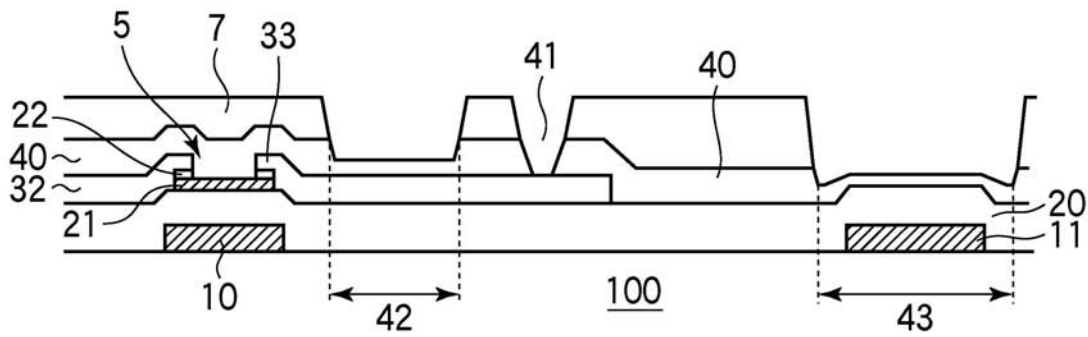
【図 3】



【図 4】

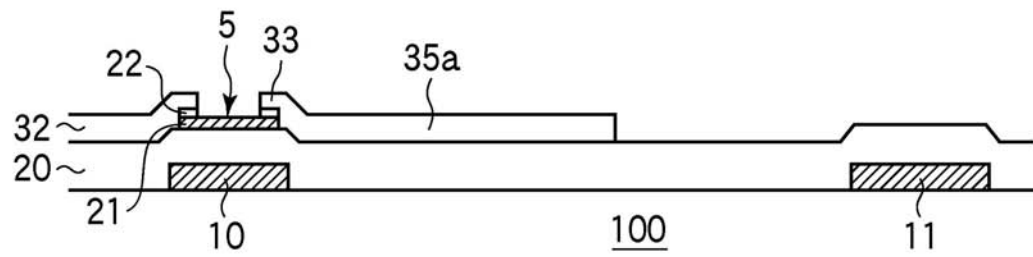


(a)

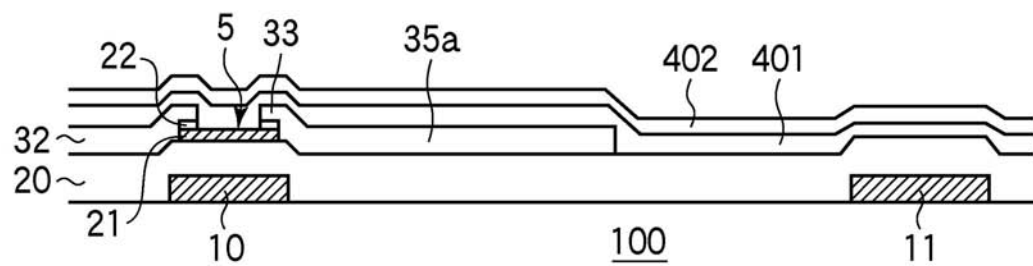


(b)

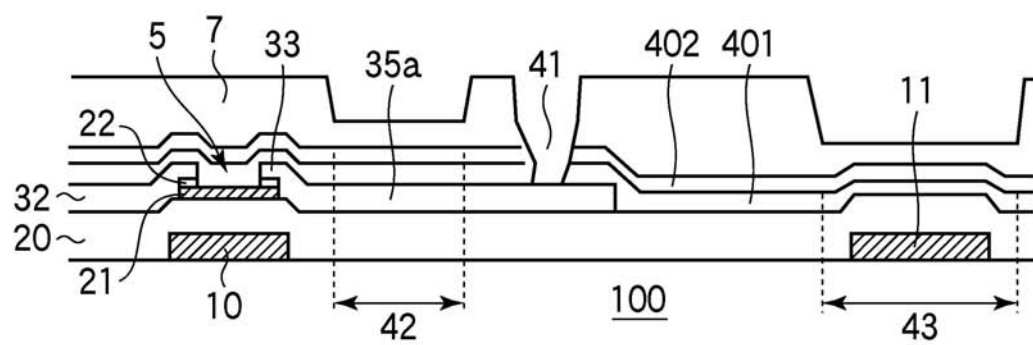
【図 5】



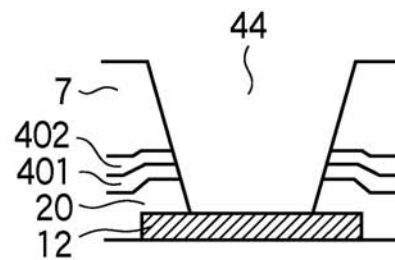
(a)



(b)

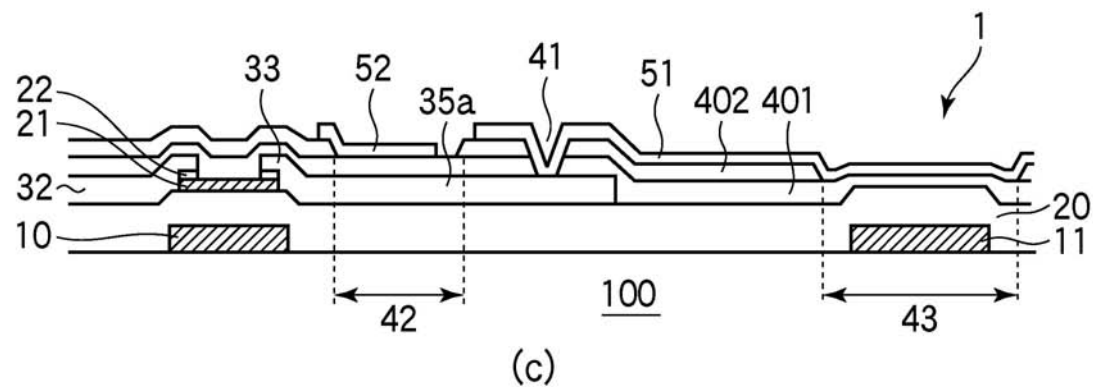
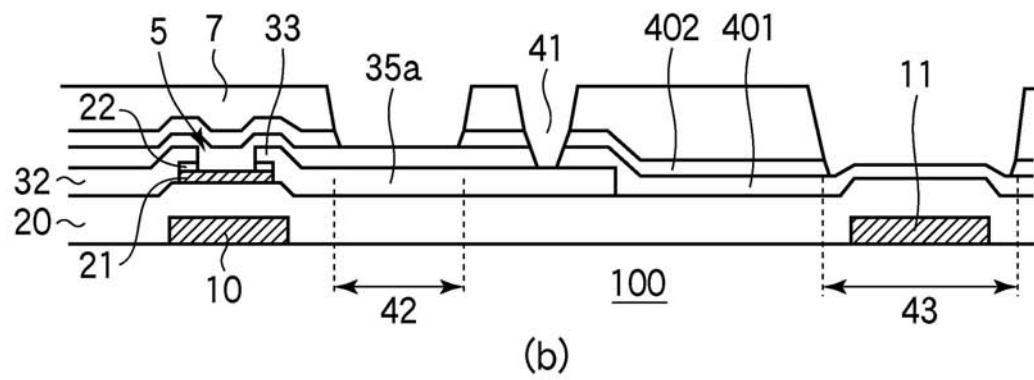
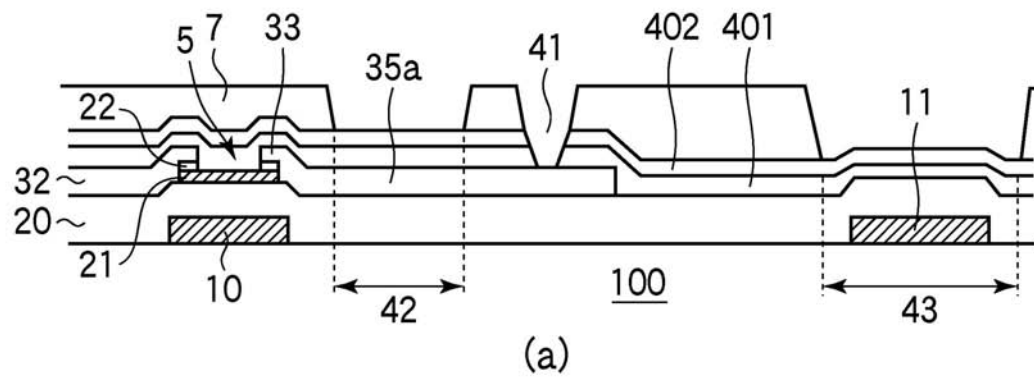


(c)

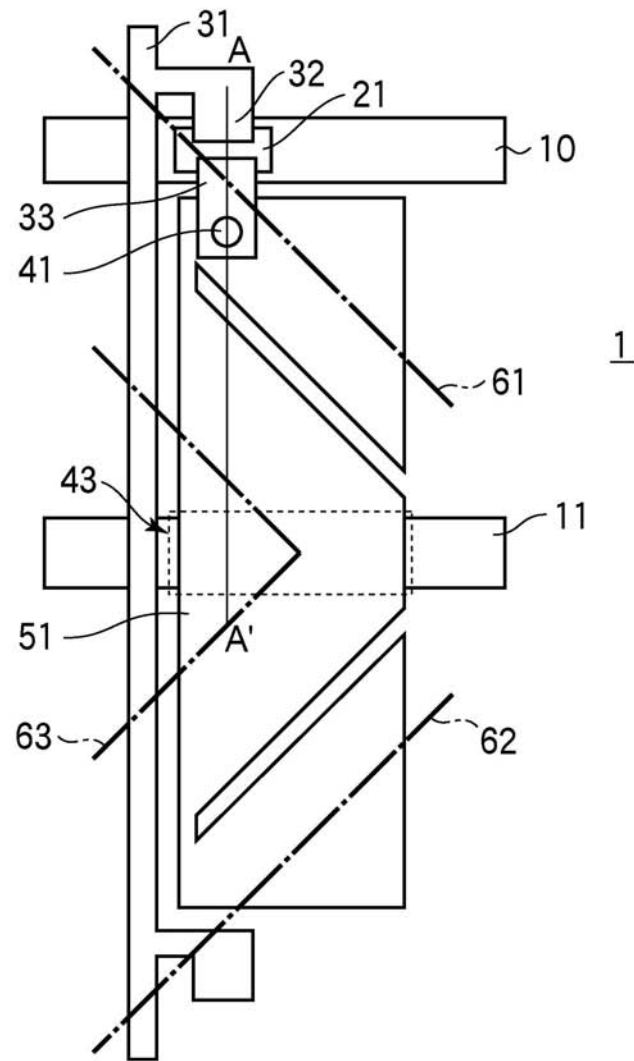


(d)

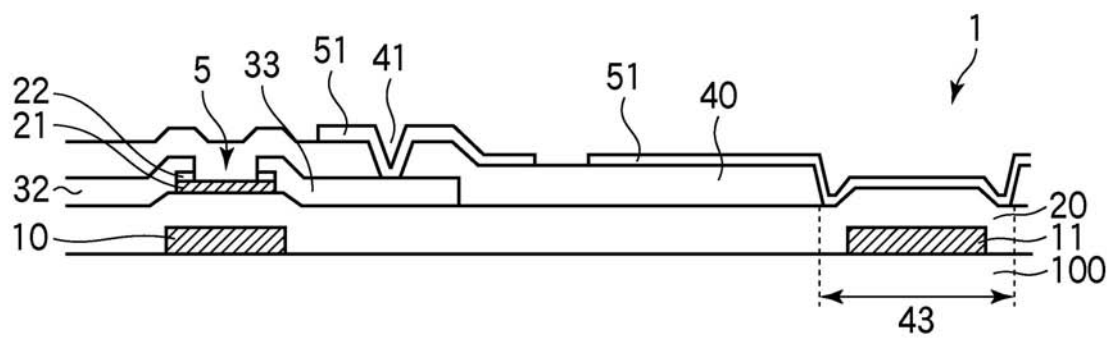
【図 6】



【図 7】

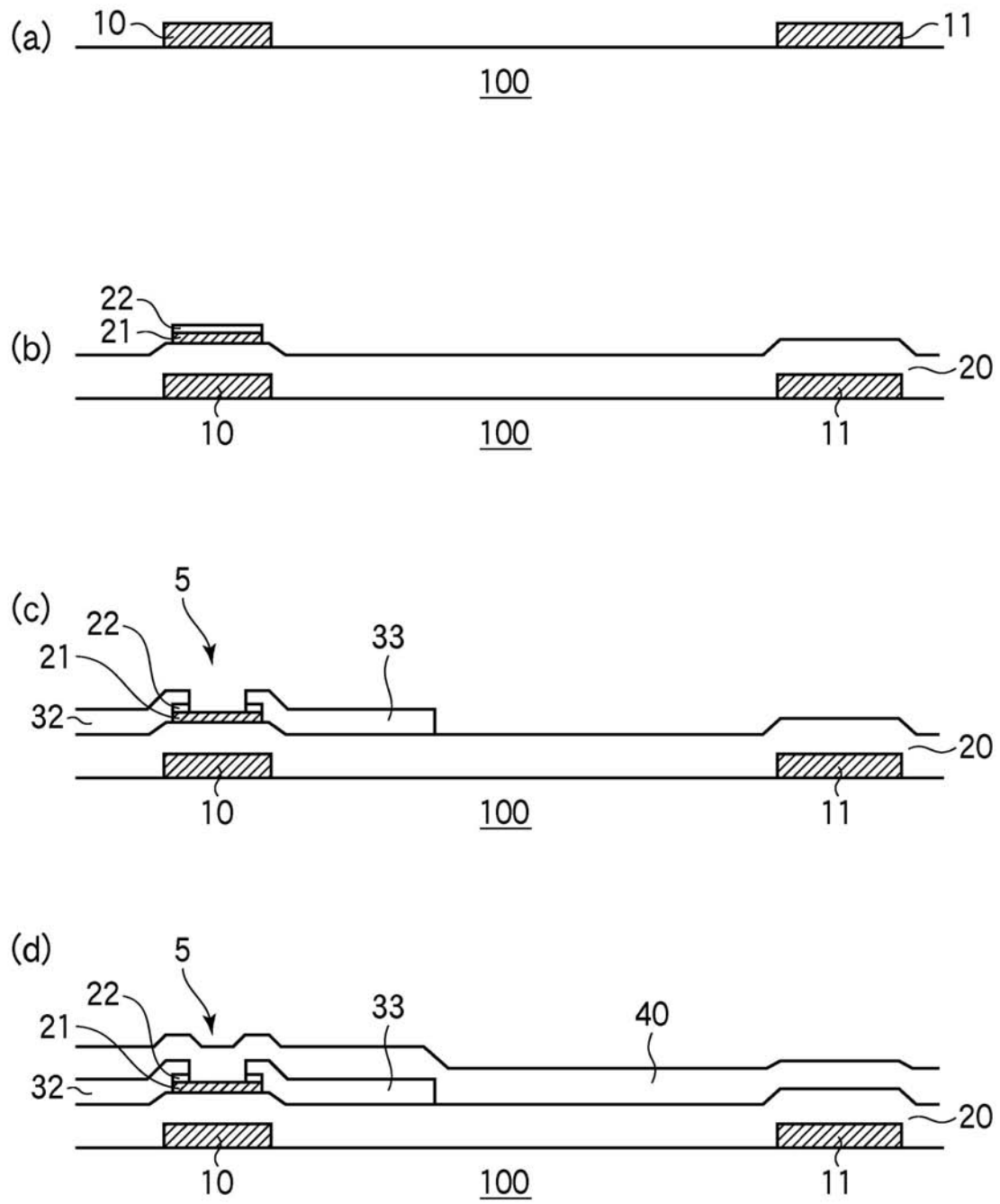


(a)

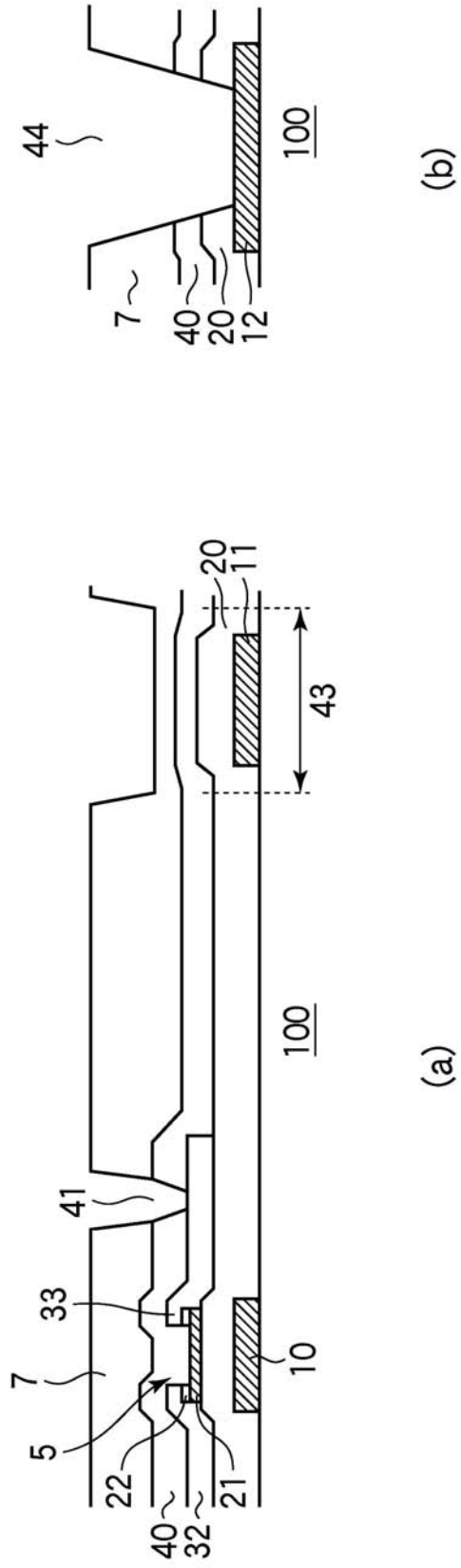


(b)

【図 8】



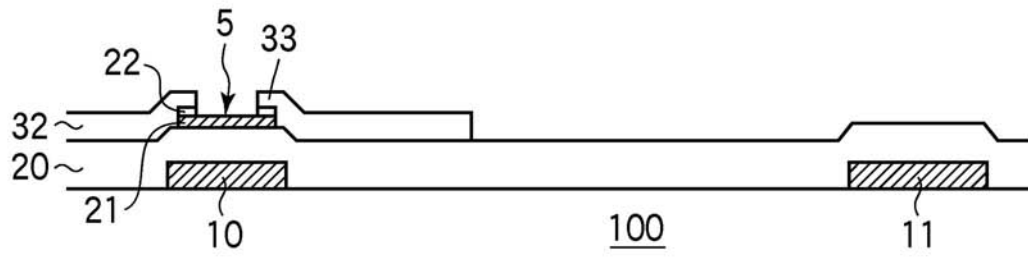
【図 9】



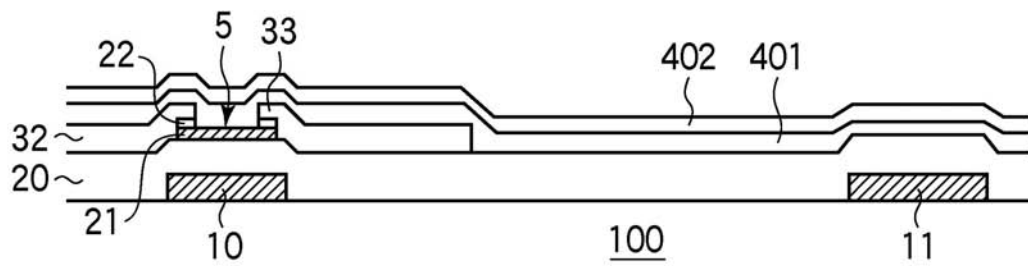
[illegible][illegible]

(b)

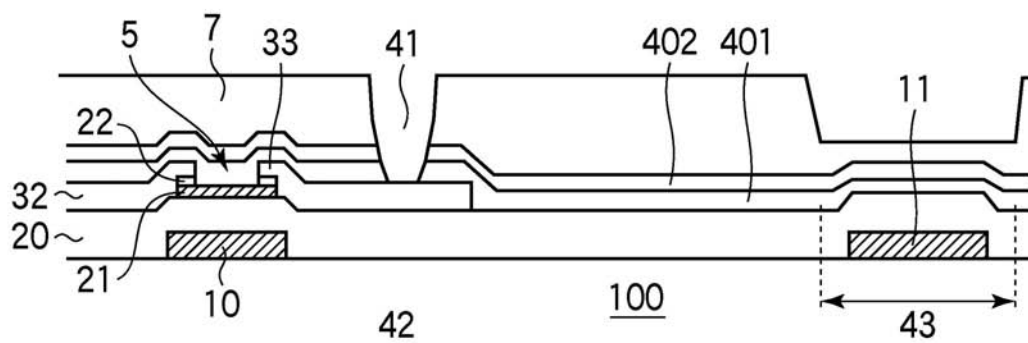
【図 11】



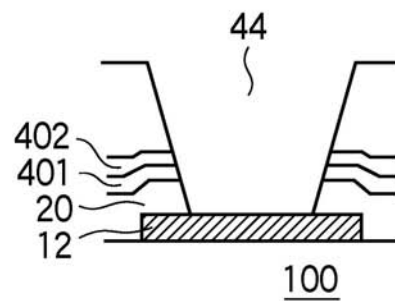
(a)



(b)

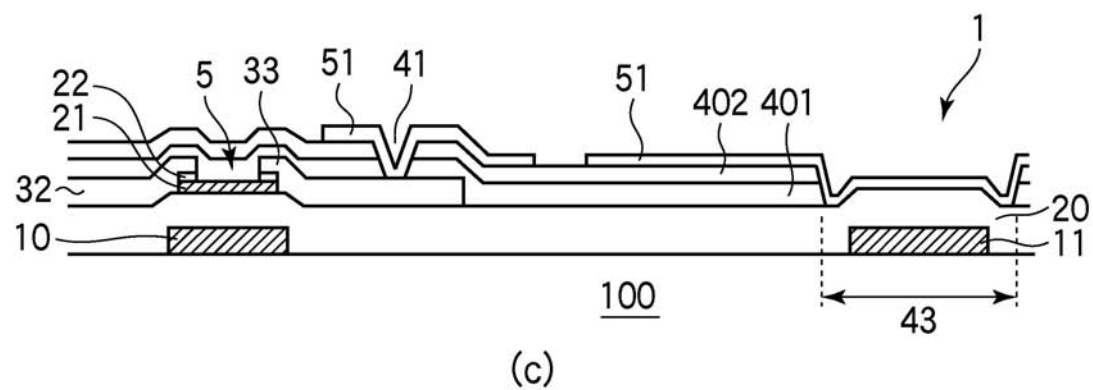
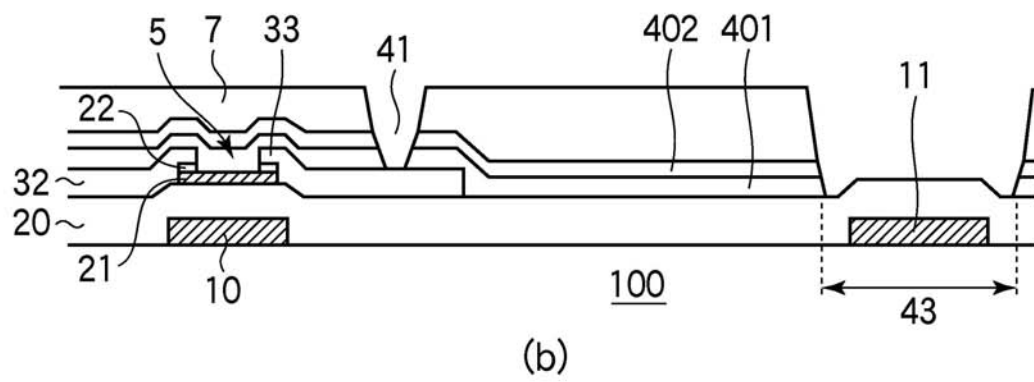
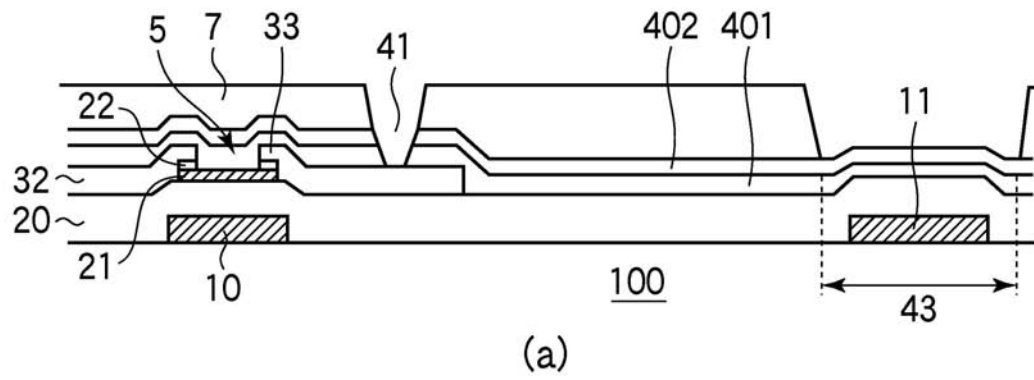


(c)

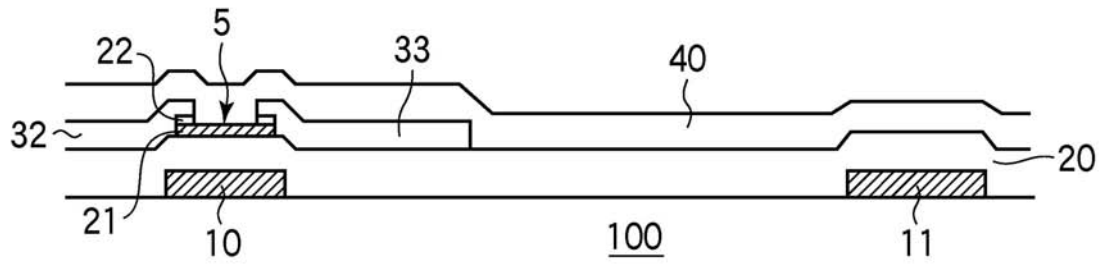


(d)

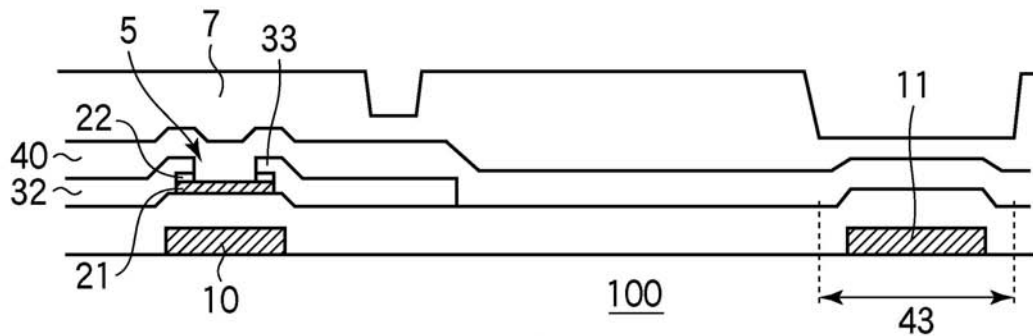
【図 12】



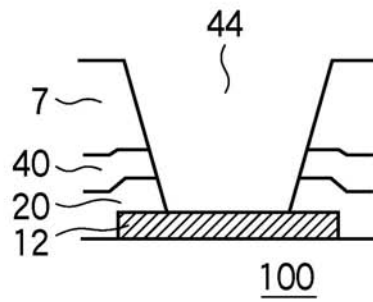
【図 13】



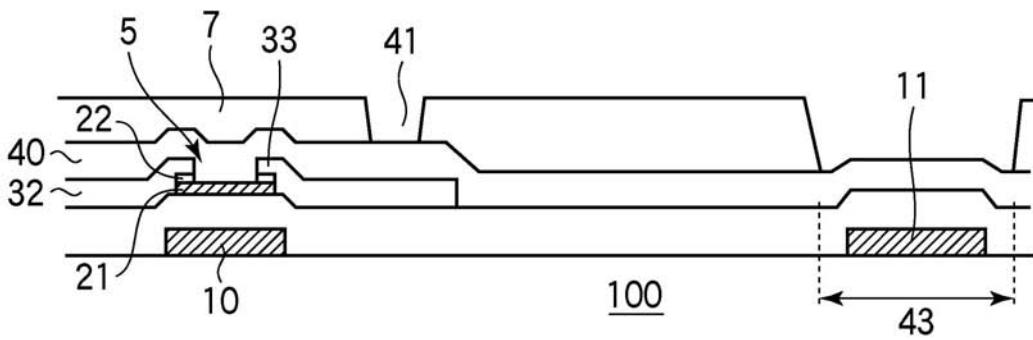
(a)



(b)

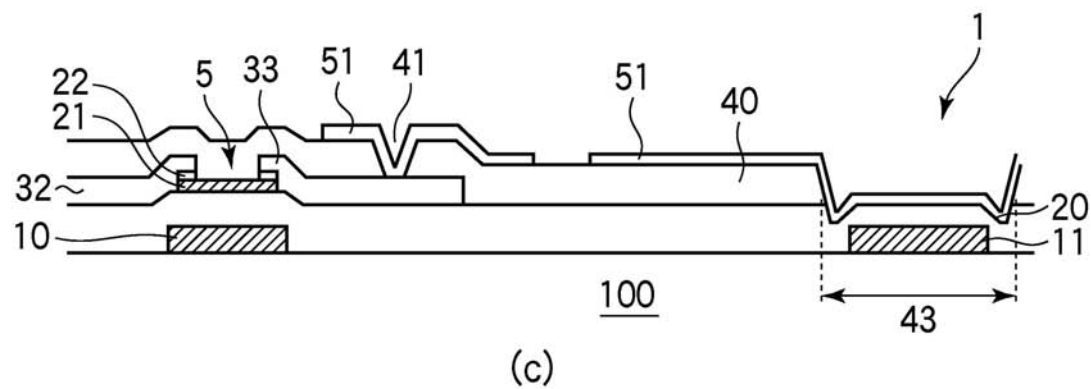
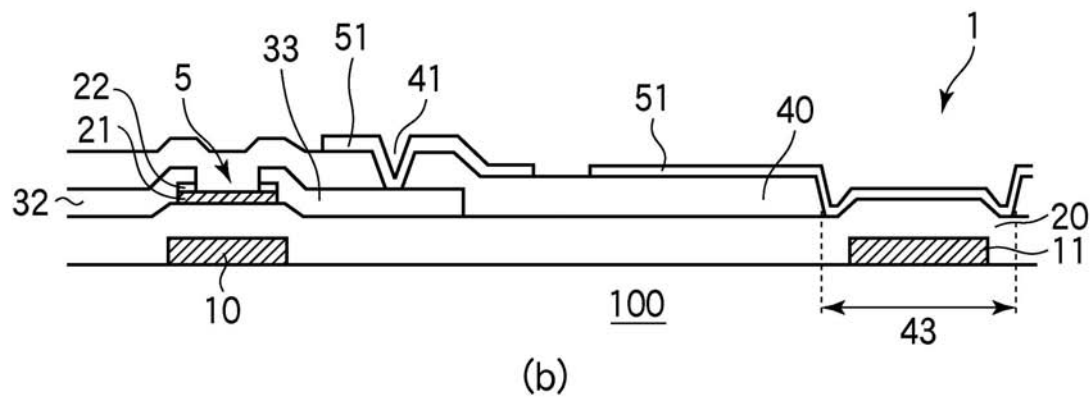
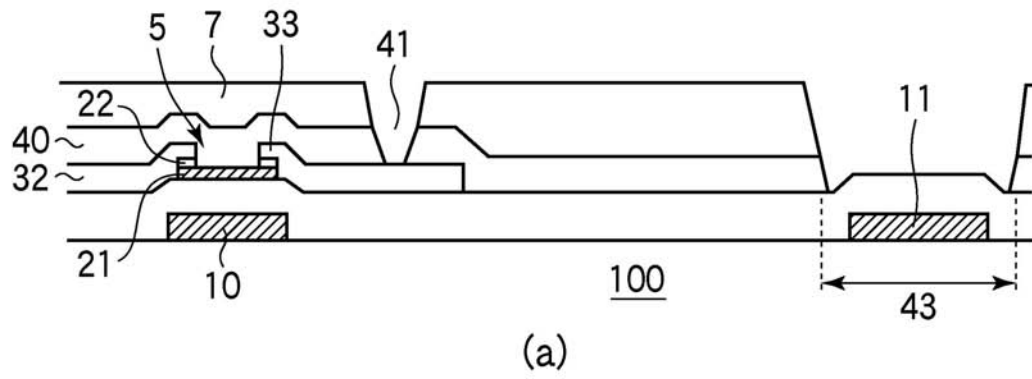


(c)

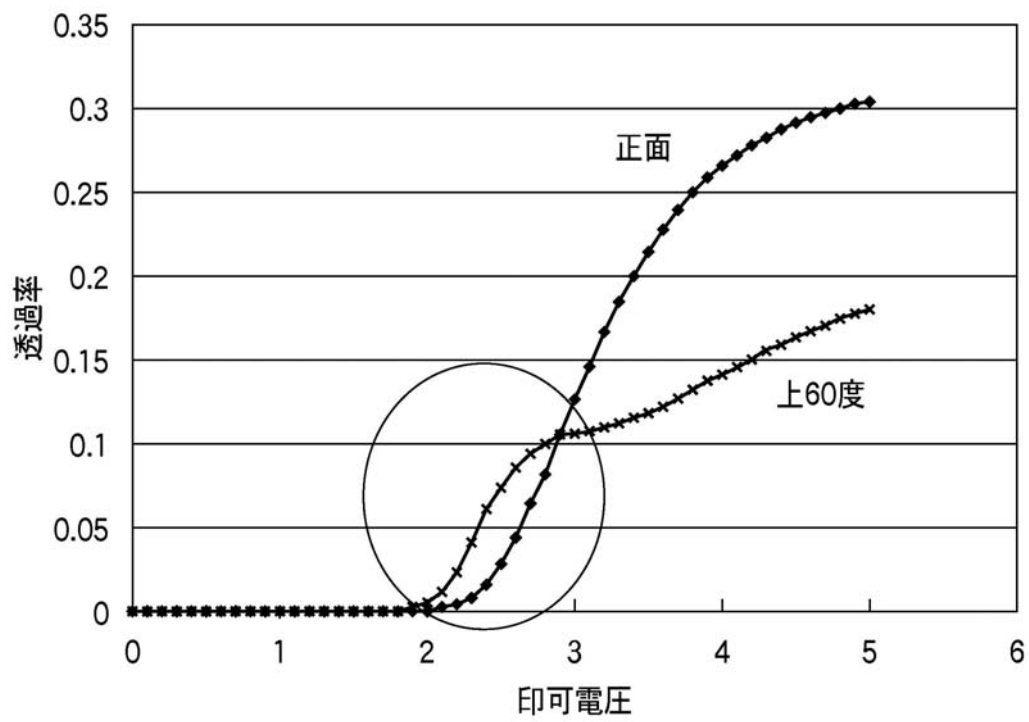


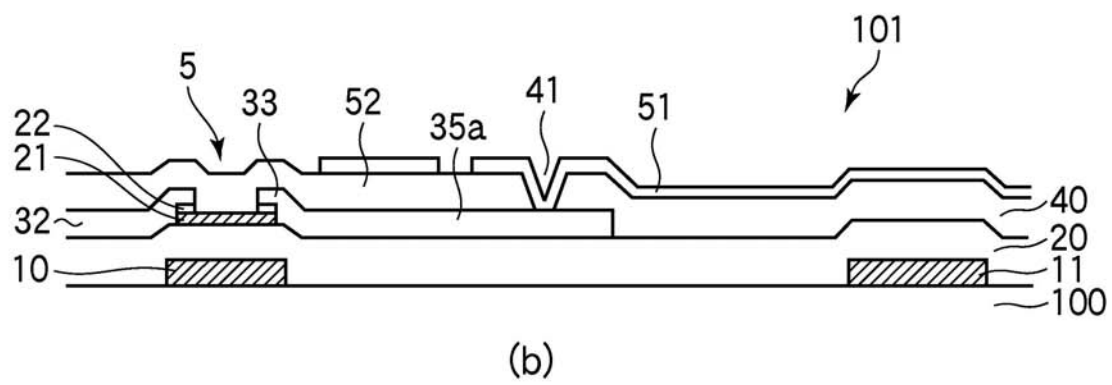
(d)

【図 14】



【図 15】





フロントページの続き

- (56)参考文献 特開2001-324725 (JP, A)
特開2004-110054 (JP, A)
特開平10-339885 (JP, A)
特開2002-082355 (JP, A)
特開2002-182245 (JP, A)
特開平11-015022 (JP, A)
特開2005-055896 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F	1/1368
G02F	1/1333
G02F	1/1337
G09F	9/30
G09F	9/35

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4716782B2	公开(公告)日	2011-07-06
申请号	JP2005151573	申请日	2005-05-24
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	黒澤紀雄 小杉俊太郎		
发明人	黒澤 紀雄 小杉 俊太郎		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1337 G09F9/30 G09F9/35		
CPC分类号	G02F1/1393 G02F1/13439 G02F1/1368 G02F2201/50		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/1337 G09F9/30.338 G09F9/35		
F-TERM分类号	2H090/HA04 2H090/HA05 2H090/HA08 2H090/HB04X 2H090/HC12 2H090/HD07 2H090/KA07 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA15 2H092/GA14 2H092/JA26 2H092/JB45 2H092/JB56 2H092/JB64 2H092/JB66 2H092/JB67 2H092/KB25 2H092/NA01 2H092/NA07 2H092/PA02 2H092/QA09 2H190/HA04 2H190/HA05 2H190/HA08 2H190/HB04 2H190/HC12 2H190/HD07 2H190/KA07 2H190/LA01 2H190/LA04 2H190/LA22 2H190/LA25 2H192/AA24 2H192/BA23 2H192/BC13 2H192/BC23 2H192/BC31 2H192/CB05 2H192/CC04 2H192/DA12 2H192/DA63 2H192/EA22 2H192/EA43 2H192/EA74 2H192/GD14 2H192/HA44 2H192/JA13 2H290/AA33 2H290/BB24 2H290/BB44 2H290/CA33 2H290/CA46 5C094/AA10 5C094/AA12 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB01 5C094/FB19		
代理人(译)	盛冈正树		
审查员(译)	福田 知喜		
其他公开文献	JP2006330201A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有优异视角特性和高亮度的液晶显示装置及其制造方法，涉及一种通过使用开关元件控制像素的有源矩阵液晶显示装置。ZSOLUTION：TFT基板1具有这样的结构，使得形成控制电容器的控制电容部分42的保护绝缘膜40和形成辅助电容器的辅助电容部分43的保护绝缘膜40较少膜厚度大于覆盖TFT 5等的保护绝缘膜40

