

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4200759号
(P4200759)

(45) 発行日 平成20年12月24日 (2008.12.24)

(24) 登録日 平成20年10月17日 (2008.10.17)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1368 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/1368

G09G 3/20 611A

G09G 3/20 611E

請求項の数 5 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2002-378777 (P2002-378777)
 (22) 出願日 平成14年12月27日 (2002.12.27)
 (65) 公開番号 特開2004-212426 (P2004-212426A)
 (43) 公開日 平成16年7月29日 (2004.7.29)
 審査請求日 平成17年9月1日 (2005.9.1)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107076
 弁理士 藤綱 英吉
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 蓮仏 啓一
 鳥取県鳥取市南吉方3丁目201番地 鳥
 取三洋電機株式会社内
 (72) 発明者 小林 靖弘
 鳥取県鳥取市南吉方3丁目201番地 鳥
 取三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配置され、各々 T F T によって駆動される画素電極と、列ごとに該 T F T のゲート電極に接続された複数のゲートラインと、行ごとに該 T F T のソース電極に接続された複数のソースラインと、各々のゲートラインに接続され、順次所定の選択期間毎に所定のゲートラインを選択電圧供給手段の出力部に結合するゲートドライバと、ソースラインに映像信号を供給するソースドライバとを有し、

前記選択電圧供給手段は所定の選択電圧を供給するための第 1 の電源と、

前記所定選択電圧より低い電圧を供給する第 2 の電源とを有し、前記第 2 の電源はダイオードのアノード側に接続され、前記ダイオードのカソード側は前記選択電圧供給手段の出力部に接続されており、

前記選択電圧供給手段の出力部には、常時前記第 2 の電源からの電圧が供給されているとともに、前記選択期間の初めから前記選択期間の長さより短い時間の間には前記第 1 の電源からの電圧が供給されるようになすためのスイッチ手段が設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

前記第 1 の電源は、前記スイッチ手段を経て前記選択電圧供給手段の出力部に接続されていることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】

前記 T F T は、アモルファスシリコンから作成されたものであることを特徴とする請求

10

20

項 1 又は 2 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 4】

前記選択電圧供給手段は、ローレベルゲート電圧電源と共にゲートドライバの外に配置されていることを特徴とする請求項 1 又は 2 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 5】

前記スイッチ手段は、各ゲートラインごとに並列に設けられていることを特徴とする請求項 1 又は 2 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

10

【発明が属する技術分野】

本発明は、アクティブマトリクス液晶表示装置に関し、特にこの液晶画素に接続された T F T (Thin Film Transistor) のゲートパルス供給手段を備えたアクティブマトリクス液晶表示装置に関する。

【0002】

【従来の技術】

まず、従来のアクティブマトリクス型液晶表示装置の一般的な構成を、一画素部分の模式的な等価回路図である図 5 を参照して簡単に説明する。個々の液晶画素 L P は液晶パネル上のゲートライン X n と信号ライン Y m の交点に設けられており、この液晶画素 L P は等価的に液晶容量 C_{LC} で表わされている。通常液晶容量 C_{LC} には補助容量 C_S が並列に接続されている。液晶容量 C_{LC} の一端は駆動用画素トランジスタ T r に接続されているとともに、他端は対向電極に接続されて所定の基準電圧 V com が印加されている。

20

【0003】

画素トランジスタ T r は絶縁ゲート電界効果型の薄膜トランジスタ T F T からなり、そのドレイン電極 D は信号ライン Y m に接続されており画像信号 V sig の供給を受け、また、ソース電極 S は液晶容量 C_{LC} の一端、すなわち画素電極に接続されている。さらに、画素トランジスタ T r のゲート電極 G はゲートライン X n に接続されて所定のゲート電圧 V gate を有するゲートパルス G P が印加されるようになされている。液晶容量 C_{LC} とゲート電極 G との間には結合容量 C_{GS} が形成される。この結合容量 C_{GS} は画素電極とゲートライン X n との間の浮遊容量成分と画素トランジスタ T r 内部のソース領域とゲート領域との間の寄生容量成分が合わさったものであり、後者の寄生容量成分が支配的であるとともその値は個々の画素トランジスタ T r によってかなりのばらつきが存在している。

30

【0004】

この一画素の各部分の電圧波形を図 6 を用いて説明する。まず、この画素の選択期間中に電圧 V gate のゲートパルス G P がゲート電極 G に印加されると、画素トランジスタ T r はオン状態になる。この時、信号ライン Y m から供給された画像信号 V sig が画素トランジスタ T r を介して液晶画素に書き込まれて、いわゆるサンプリングが行なわれる。次にこの画素が非選択期間になるとゲートパルス G P の印加が停止されてローレベルゲート電圧が印加され、画素トランジスタ T r はオフ状態となるが、書き込まれた画像信号は液晶容量 C_{LC} に保持されている。

40

【0005】

選択期間から非選択期間に移行するとき、矩形波ゲートパルス G P はハイレベルからローレベルに急激に立ち下がるので、このとき前述した結合容量 C_{GS} を介してカップリングにより液晶容量 C_{LC} に蓄えられた電荷が瞬間的に放電する。このため、液晶画素に書き込まれた画像信号 V sig に電圧シフト Δ V が生じてしまう。したがって、液晶表示素子の個々の画素ごとに結合容量 C_{GS} の値にばらつきがあるため、前記電圧シフト Δ V にもばらつきが生じるので、結果として液晶パネルの表示画面を周期的に変化させ、いわゆるフリッカ及び残像を生じて表示品位を著しく劣化させる。

【0006】

なお、液晶画素には選択期間中に画像信号を書き込み、続く非選択期間中書き込まれた画

50

像信号を保持して一フィールドが構成されるが、一フィールドにおける液晶画素の透過率はその間に液晶に印加される実効電圧によって決定される。したがって、画素トランジスタ T_r は、選択期間内に書き込みを完了するために必要なオン電流が確保できるものでなければならない。また、一フィールド期間中に液晶画素を点灯し続けるのに十分な実効電圧が得られるようにするために、非選択期間中あるいは保持期間中のリーク電流はできるだけ小さくする必要がある。実効電圧としては選択期間より遥かに長い非選択期間時の影響が大きい。このため、画素容量 C_{LC} を充電した後オフする時生じる前述の電圧シフト ΔV は液晶に印加される実効電圧に大きく効いてくるため、表示品位が損なわれる。

【0007】

従来、電圧シフト ΔV の絶対量及びばらつきを抑制するため、液晶容量 C_{LC} に並列接続されている補助容量 C_s を大きめに形成するという対策が講じられていた。すなわち結合容量 C_{GS} を介して放電される電荷量を補うに足る電荷を予め補助容量 C_s に蓄えるものである。しかしながら、補助容量 C_s は液晶画素領域に形成されており、この寸法を大きく設定すると画素開口率 (Aperture Ratio) が犠牲になるため、十分な表示コントラストを得ることができなくなる。

【0008】

このような従来のアクティブマトリクス型液晶表示装置の電圧シフト ΔV の問題点を解決するための一例が下記特許文献 1 に開示されている。この下記特許文献に開示されている方法は、図 7 に示すように、選択期間から非選択期間に移行する直前に、一旦ゲート電圧の電圧レベルを第 1 のハイレベルゲート電圧 V_{gate1} よりも低い第 2 のハイレベルゲート電圧 V_{gate2} まで下げ、その後ゲートパルス G_P をローレベルゲート電圧 V_{GL} まで立ち下げることにより書き込まれた画像信号 V_{sig} の電圧シフト ΔV を抑制するようにしたものである。

【0009】

このゲートパルス G_P の電圧レベルを下げるタイミングは、選択期間中液晶画素への書き込み動作に影響を与えないように、書き込みが完了した時点でなされる。このゲートパルス G_P を第 1 のハイレベルゲート電圧 V_{gate1} から一旦第 2 のハイレベルゲート電圧 V_{gate2} まで下げた後、非選択期間へ移行した際にローレベルゲート電圧 V_{GL} まで立ち下げることにより、選択期間から非選択期間への移行時点でゲートライン X_n とソース電極 S との間の電位差は小さくなるため、電圧シフト ΔV を効果的に抑制できるようになる。

【0010】

下記特許文献 1 で採用されているアクティブマトリクス型液晶表示装置の具体的な駆動手段を図 8 を用いて説明する。図 8 において、アクティブマトリクス型液晶表示装置は、マトリクス状に配列された液晶画素 LP と、個々の液晶画素 LP を駆動する画素トランジスタ T_r とからなる表示部を有している。なお、図 8 では一列分の液晶画素のみを表わしている。各画素トランジスタ T_r のゲート電極 G にはゲートライン $X_1, X_2, X_3, X_4, \dots$ を介して垂直走査回路 101 が接続されており、線順次でゲートパルス G_P を印加して画素トランジスタ T_r の選択動作を行なう。また、各画素トランジスタ T_r のドレイン電極 D には信号ライン Y_m を介して水平駆動回路 102 が接続されており、選択された画素トランジスタ T_r を介して画像信号 V_{sig} を各液晶画素 LP に書き込む。

【0011】

垂直走査回路 101 はシフトレジスタ 103 から構成されており、このシフトレジスタ 103 は D 型フリップフロップ 104 を多段接続した構造を有し、各 D 型フリップフロップ 104 は出力端子が共通結線された一対のインバータ 105, 106 から構成されている。各インバータは P チャネル型の駆動トランジスタ 107 を介して直列接続された一対の分圧抵抗 R_1, R_2 の中点に接続されていると共に、N チャネル型の駆動トランジスタ 108 を介してグランド側に接続されている。これら一対の駆動トランジスタ 107, 108 はシフトクロックパルス V_{CK1}, V_{CK2} 及びこれらの反転パルスに応答して導通しインバータを駆動する。一対のインバータ 105, 106 の共通結線された出力端子には第三のインバータ 109 の入力端子が接続されており、この第三のインバータ 109 の出

10

20

30

40

50

力端子には各段のD型フリップフロップの出力パルスが現われる。この出力パルスは次段のD型フリップフロップの入力としても用いられる。第一段目のD型フリップフロップに対してスタート信号VSTを入力することにより、シフトレジスタ103は各段毎に順次半周期ずつ位相のずれた出力パルスを出力する。当該段の出力パルスと前段の出力パルスをナンドゲート素子110で論理処理した後インバータ111で反転することによりゲートパルスGPが得られる。

【0012】

そして、前記直列接続された分圧抵抗R1, R2の一端は電源ラインVVDに接続されており、他端はスイッチングトランジスタ114を介してグランド側に接続されている。スイッチングトランジスタ114のゲート電極には制御電圧VCKXが周期的に印加されている。スイッチングトランジスタ114がオフ状態にある時には電源電圧VVDがそのままシフトレジスタ103に供給され、各ゲートパルスGPの電圧レベルは電源電圧と等しくなる。一方、スイッチングトランジスタ114がオン状態になると、R1とR2の比によって分圧された電圧がシフトレジスタ103に供給されるので、ゲートパルスGPの電圧レベルもそれに従って低下する。

【0013】

この例では、スイッチングトランジスタ114のゲート電極に印加される制御電圧VCKXは水平同期信号に応じてパルス状にレベル変化する。本例では水平周期は63.5μsに設定されておりゲートライン1本当たりの選択期間に相当する。制御電圧VCKXは各水平周期の最終部分で6~8μsの間ハイレベルに変化する。この時間は選択期間内における画像信号の書き込み動作に影響を与えない様に設定されている。すなわち選択されたゲートライン上の画素に対して点順次で画像信号を書き込み終わった段階で制御電圧VCKXがハイレベルに切り換わる。制御電圧VCKXがハイレベルになるとスイッチングトランジスタ114がオン状態になるので、シフトレジスタ103に供給される電源電圧のレベルは、例えば第1のハイレベルゲート電圧Vgate1として設定されたVVDの13.5Vから8.5V程度に設定された第2のハイレベルゲート電圧Vgate2にまで低下する。この低下量は一对の分圧抵抗R1, R2の比を適宜決めることにより適宜設定される。

【0014】

この電源電圧の変動に応じて、例えばn番目のゲートパルスGPnは一水平周期内においてそのレベルが13.5Vから8.5Vに階段状に変化する。次の水平周期ではn+1番目のゲートラインに対応するゲートパルスGPn+1が発生し同じく階段状にそのレベルが変化する。このような動作によれば、垂直走査回路は個々のゲートパルスGPの印加電圧レベルを立ち上げる直前に、一旦ゲートパルスの電圧レベルを下げた後に立ち下げることで画素に書き込まれた画像信号Vsigの電圧シフトを抑制することができる。このように、下記特許文献1に記載の方法では、ゲートパルスGPの立ち下がりを経段状とすることにより画像信号の電圧シフトΔVを有効に抑制できるようになる。

【0015】

【特許文献1】

特開平6-3647号公報

【0016】

【発明が解決しようとする課題】

しかしながら、上記特許文献1に開示されている具体例では、ゲートドライバを構成するシフトレジスタ103に供給する電源供給電圧をVVDと $VVD \times R1 / (R1 + R2)$ との間で変化させることにより階段状に立ち下がるゲートパルスGPを得ているため、シフトレジスタ103を含む回路自体が複雑で大きく、消費電流が大きくなるのでドライバの占める面積が大きくなってしまおうと共に、電源として抵抗で分割したものを使用するので、その電源電圧には電流依存性があり、電圧が不安定になりやすい。加えて、シフトレジスタ103は通常は5V以下であるロジックレベルよりも遙かに高い電圧、例えば13.5Vないしは8.5Vで駆動されるので、非常に高消費電力となってしまう。

【 0 0 1 7 】

本発明者らは、上記特許文献 1 に開示されているアクティブマトリクス型液晶表示素子の駆動方法の問題点を改良すべく種々検討を重ねた結果、予め第 1 のハイレベルゲート電圧 V_{gate1} に相当する電圧を発生するための第 1 の電源 V_{GH0} と、この第 1 のハイレベルのゲート電圧 V_{gate1} から所定電圧だけ低い第 2 のハイレベルゲート電圧 V_{gate2} に相当する電圧を発生するための第 2 の電源 V_{ANA} とを設け、この第 2 の電源 V_{ANA} から常時ダイオードを経て第 2 のハイレベルゲート電圧 V_{gate2} を供給するようにし、その第 2 のハイレベルゲート電圧 V_{gate2} に重畳するように第 1 のハイレベルゲート電圧 V_{gate1} をオン・オフ制御する構成となすことにより、低消費電力かつ簡単な回路でありながら、切換に際してサージ電圧が発生することがなく、しかも、安定した階段状に切り替わるゲートパルスが発生させることができることを見出し、本発明を完成するに至ったのである。

10

【 0 0 1 8 】

【課題を解決するための手段】

すなわち、本発明の第 1 の態様によれば、マトリクス状に配置され、各々 T F T によって駆動される画素電極と、列ごとに該 T F T のゲート電極に接続された複数のゲートラインと、行ごとに該 T F T のソース電極に接続された複数のソースラインと、各々のゲートラインに接続され、順次所定の選択期間毎に所定のゲートラインを選択電圧供給手段の出力部に結合するゲートドライバと、ソースラインに映像信号を供給するソースドライバとを有し、前記選択電圧供給手段は所定の選択電圧を供給するための第 1 の電源と、前記所定選択電圧より低い電圧を供給する第 2 の電源とを有し、前記第 2 の電源はダイオードのアノード側に接続され、前記ダイオードのカソード側は前記選択電圧供給手段の出力部に接続されており、前記選択電圧供給手段の出力部には、常時前記第 2 の電源からの電圧が供給されているとともに、前記選択期間の初めから前記選択期間の長さより短い時間の間には前記第 1 の電源からの電圧が供給されるようになるためのスイッチ手段が設けられていることを特徴とするアクティブマトリクス型液晶表示装置が提供される。

20

【 0 0 1 9 】

かかる構成を採用することにより、各ゲートラインの選択期間中に階段状のゲートパルス電圧を印加することができるので、従来のアクティブマトリクス型液晶表示装置の電圧シフト ΔV の問題点を解決することができるだけでなく、選択電圧供給手段には常時所定の選択電圧より低い第 2 の電圧が供給されているために、各ゲートラインに供給する電圧の切換に際してタイミングがずれてもサージ電圧が発生したり電圧が印加されなくなるようなことがなく、しかも第 1 の電源及び第 2 の電源からなる独立した電源を有しているために安定した電圧が供給されるので、安定した電圧の階段状のゲートパルスを供給することができるようになる。

30

【 0 0 2 0 】

また、かかる態様において、前記第 2 の電源はダイオードのアノード側に接続され、前記ダイオードのカソード側は前記選択電圧供給手段の出力部に接続されていることが好ましい。かかる構成を採用することにより、第 2 の電源の電圧よりも高い第 1 の電源の電圧が印加されれば直ちに出力電圧は第 1 の電源から供給される電圧に切り替わるので、簡単な回路で、かつ低消費電力で階段状のゲートパルスを供給することができるようになる。

40

【 0 0 2 1 】

さらに、かかる態様においては、前記第 1 の電源は前記スイッチ手段を経て前記選択電圧供給手段の出力部に接続されていることが好ましい。かかる構成を採用することにより、簡単な回路で、かつ低消費電力で階段状のゲートパルスを供給することができるようになる。

【 0 0 2 2 】

さらに、かかる態様においては、前記 T F T はアモルファスシリコンから作製されていることが好ましい。このような構成を備えることにより、かかる態様においては従来の電圧シフト ΔV に起因する画質低下の問題が解決されているために、たとえアモルファスシリ

50

コンを用いることにより低温ポリシリコンから作製した場合に比して液晶表示パネルの画質が低下することがあるとしても、これを補うことができるばかりでなく製造工程を少なくすることができるので、安価に大画面の液晶表示パネルを製造することができるようになる。

【 0 0 2 3 】

また、かかる態様においては、前記選択電圧供給手段は、ローレベルゲート電圧電源と共にゲートドライバの外に配置されていることが好ましい。かかる態様となせば前記選択電圧供給手段に大電流が流れて発熱量が多くなっても、冷却が容易になる。

【 0 0 2 4 】

また、かかる態様においては、スイッチ手段はゲートラインごとに並列に設けられていることが好ましい。このような構成となすことにより、該スイッチ手段として小型のものを複数個並列に分散配置することができるので、総体的に消費電力も減少するので、ゲートドライバと一体に組み込むことができるようになる。

【 0 0 2 5 】

【発明の実施の形態】

（実施例 1）

以下、本発明の具体例を図 1 ～ 図 3 を用いて詳細に説明する。なお、図 1 は本発明の実施例 1 に対応するアクティブマトリクス型液晶表示装置の駆動手段を説明する図、図 2 は図 1 の主要部分の出力波形を示す図、図 3 は図 1 の選択電圧供給手段の具体的回路図である。アクティブマトリクス型液晶表示装置の駆動手段 1 0 は、CPU からのクロックパルス 1 2 が入力されるタイマ回路 1 4 及びシフトレジスタからなるゲートドライバ 1 6 とを有し、更に各画素トランジスタのゲート電極に接続されているゲートライン X_n 、 X_{n+1} 、 $X_{n+2} \cdots$ を有している。なお、各画素トランジスタのドレイン電極に接続される信号ラインは、上記の従来技術と同様であるので、省略している。

【 0 0 2 6 】

タイマ回路 1 4 は、図 2 に示したように、CPU からのクロックパルス 1 2 の立ち上がりに応じてカウントを開始し、このクロックパルスの立ち下がり時よりは長い、次のクロックパルスの立ち上がり時よりも短い周期でカウントを終了するようになされ、このタイマ回路 1 4 の出力により選択電圧供給手段 1 8 のスイッチ手段 2 0 を制御して、その出力電圧 V_{G1} を第 1 のハイレベルゲート電圧 V_{gate1} とそれよりも低い第 2 のハイレベルゲート電圧 V_{gate2} とに切り替えるようになされている。

【 0 0 2 7 】

ここで、図 3 を参照すると、第 2 のハイレベルゲート電圧 V_{gate2} を供給する第 2 の電源 V_{ANA} はダイオード 2 2 を経て選択電圧供給手段 1 8 の出力 V_{G1} へ接続され、また、第 1 のハイレベルゲート電圧 V_{gate1} を供給する第 1 の電源 V_{GH0} は、タイマ 1 4 の出力がレベルシフト回路 2 6 を経て接続されているスイッチ手段 2 0 を経て同じく出力 V_{G1} へ接続されている。すなわち、この選択電圧供給手段 1 8 の出力 V_{G1} に表れる電圧は、常時第 2 の電源 V_{ANA} がダイオード 2 2 を経て出力 V_{G1} に接続されているため、スイッチ手段 2 0 がオフ状態の場合は第 2 の電源 V_{ANA} の電圧、すなわち V_{gate2} が出力され、スイッチ手段 2 0 がオン状態の場合は第 1 の電源 V_{GH0} の電圧、すなわち V_{gate1} が出力されるようになっている。

【 0 0 2 8 】

したがって、タイマ回路 1 4 がカウント中はスイッチ手段 2 0 がオン状態となるので、選択電圧供給手段 1 8 の出力 V_{G1} に表れる電圧は第 1 のハイレベルゲート電圧 V_{gate1} となり、タイマ回路 1 4 がカウントを停止するスイッチ手段 2 0 がオフ状態となるので、選択電圧供給手段 1 8 の出力 V_{G1} に表れる電圧は第 2 のハイレベルゲート電圧 V_{gate2} となる。

【 0 0 2 9 】

一方、図 1 に戻ると、CPU からのクロックパルス 1 2 はシフトレジスタからなるゲートドライバ 1 6 にも導入されており、このゲートドライバ 1 6 により、一フィールド期間中

10

20

30

40

50

に前記CPUからのクロックパルス12の立ち上がり同期して、各ゲートライン X_n 、 X_{n+1} 、 X_{n+2} ・・・がゲートパルス制御スイッチ24n、24n+1、24n+2・・・により順次線順序で所定時間選択され、その選択期間に当たるゲートライン(図1では X_n が選択されているものが示されている。)が選択電圧供給手段の出力部VG1に接続され、他のゲートラインは全てローレベルゲート電圧源VGLに接続されるようになされている。

【0030】

したがって、図2に示すように、一フィールド期間中に選択期間に至ったゲートライン X_n に印加されるゲートパルス G_{Pn} は、最初に低レベル電圧源VGLから供給される電圧より急速に第1のハイレベルゲート電圧Vgate1まで立ち上がり、その後所定の期間後に第2のハイレベルゲート電圧Vgate2に下がり、その後選択期間の終了とともに低レベル電圧電源VGLから供給される電圧まで急速に立ち下がり、次のフィールドの選択期間になるまでこの状態が維持される。次いで順次選択期間になるゲートライン X_{n+1} 、 X_{n+2} ・・・にも G_{Pn} と同様の階段状のゲートパルス G_{Pn+1} 、 G_{Pn+2} ・・・が印加される。なお、本実施例においては、例えば選択期間は13.5 μ s、VGH0は25V11 μ s、VANAは13V2.5 μ sづつ与えられるようになされている。

【0031】

このように、本実施例によれば、常時第2の電源VANAからVgate2に相当する電圧をダイオード22を経て選択電圧供給手段18の出力部VG1に供給するとともに、タイマ回路14がカウントをしている間にスイッチ手段20をオンにすることにより第1の電源VGH0から第1のハイレベルゲート電圧Vgate1に相当する電圧を前記選択電圧供給手段18の出力部VG1に供給されるようになしてあるので、ハイレベルゲート電圧の切換の際にロスがなく、サージ電圧が発生することはなくなる。さらに、カウンタ14、ゲートドライバ16等のロジック回路は5V以下の電圧で作動させることができるので、消費電力を少なくすることができる。

(実施例2)

なお、上記の実施例1においては、選択電圧供給手段18において一つのスイッチ手段20を使用したが、このような構成ではスイッチ手段20に大電流が流れるため、発熱の問題を考慮すると前記選択電圧供給手段18はゲートドライバ16とは別体に設けることが好ましい。

【0032】

このような発熱の問題点を解決して選択電圧供給手段18をゲートドライバに組み込めるようになした変形例を実施例2として図4に示す。図4に記載のものにおいて図1に記載のものと相違している点は、レベルシフト回路をタイマ回路14内に組み込み、ゲートドライバ16と共に複数のスイッチングトランジスタ20を各ゲートラインごとに並列に接続して分散配置し、該スイッチングトランジスタ20のベースを前記タイマ回路14内のレベルシフト回路の出力に、同じくコレクタを第1の電源VGH0に、同じくエミッタを第2の電源VANAからダイオード22を経て接続されている選択電圧供給手段の出力部VG1に接続した点である。

【0033】

この実施例2においては、選択電圧供給手段の出力部VG1には常時ダイオード22を経て第2電源VANAから第2のハイレベルゲート電圧Vgate2に相当する電圧が印加されており、タイマ回路14がカウントを続けている間にレベルシフト回路からの出力により複数のスイッチングトランジスタ20がオン状態となり、第1の電源VGH0のから第1のハイレベルゲート電圧Vgate1が選択電圧供給手段の出力部VG1に印加されるようになっている。

【0034】

この実施例2においては、複数のスイッチングトランジスタ20が並列に配置されているため、個々のスイッチングトランジスタ20に流れる電流値はその個数に反比例して小さくなり、その発熱量も小さくなるので、ゲートドライバ16と一体に組み込むことができるようになる。

10

20

30

40

50

【 0 0 3 5 】

なお、前記スイッチングトランジスタ 2 0 の数は、図 4 では各ゲートライン X_n 、 X_{n+1} 、 X_{n+2} ・・・に対応するように設けられているが、必ずしもこのような構成とする必要はなく、この複数個のスイッチングトランジスタ 2 0 をゲートドライバ 1 6 と一体に配置した際に発熱による影響が無視できるような個数となせばよい。

【 0 0 3 6 】

【発明の効果】

以上説明したように、本発明によれば、各ゲートラインの選択期間中に階段状のゲートパルス電圧を印加することができるので、従来のアクティブマトリクス型液晶表示装置の電圧シフト ΔV の問題点を解決することができるだけでなく、この階段状のゲートパルス電圧を、常時第 2 の電源 V_{ANA} からダイオード 2 2 を経て選択電圧供給手段の出力部 V_{G1} に供給するとともに、タイマ回路 1 4 がカウントをしている間にスイッチ手段 2 0 をオンにすることにより第 1 の電源 V_{GH0} から第 1 のハイレベルゲート電圧 V_{gate1} に相当する電圧を前記選択電圧供給手段の出力部 V_{G1} に供給するようになったので、ハイレベルゲート電圧の切換の際にロスがなく、サージ電圧が発生せず、しかも、ロジック回路は通常の 5 V 以下の電圧で駆動できるように上記特許文献 1 に記載されているものと比すると非常に消費電力を低くすることができるという効果も奏する。

【図面の簡単な説明】

【図 1】図 1 は、本発明の実施例 1 にかかるアクティブマトリクス型液晶表示装置の駆動手段を示す図である。

【図 2】図 2 は、図 1 の主要部分の出力波形を示す図である。

【図 3】図 3 は、図 1 の選択電圧供給手段の具体的な回路の一例を示す図である。

【図 4】図 4 は、本発明の実施例 2 にかかるアクティブマトリクス型液晶表示装置の駆動手段を示す図である。

【図 5】従来のアクティブマトリクス型液晶表示装置の一般的な構成を、一画素部分の模式的な等価回路図である。

【図 6】従来のアクティブマトリクス型液晶表示装置の一画素の各部分の電圧波形を示す図である。

【図 7】従来の従来のアクティブマトリクス型液晶表示装置の ΔV の問題点の解決するための方法を示す図である。

【図 8】図 7 の方法を実施するための具体的な駆動手段を示す図である。

【符号の説明】

V_{GH0} 第 1 の電源
 V_{ANA} 第 2 の電源
 V_{GL} ローレベルゲート電圧電源
 V_{G1} 選択電圧供給手段の出力部
 1 0 アクティブマトリクス型液晶表示装置の駆動手段
 1 2 CPU のクロックパルス
 1 4 タイマ回路
 1 6 ゲートドライバ
 1 8 選択電圧供給手段
 2 0 スイッチ手段
 2 2 ダイオード
 2 4 n 、2 4 $n+1$ 、2 4 $n+3$ 、・・・ ゲートパルス制御スイッチ
 2 6 レベルシフト回路

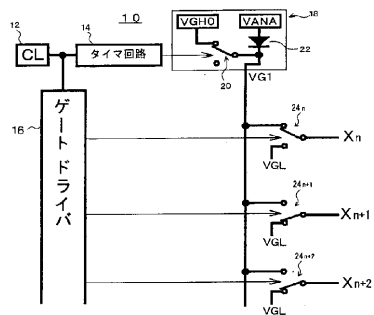
10

20

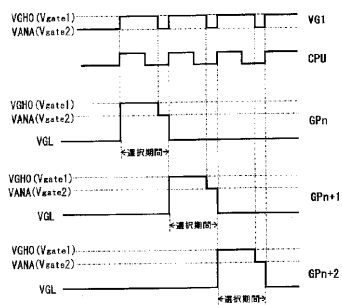
30

40

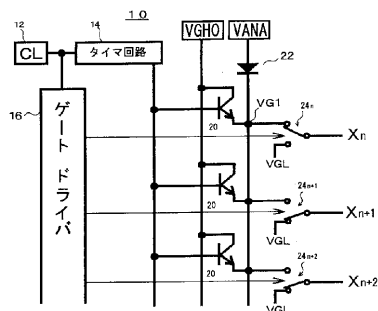
【図 1】



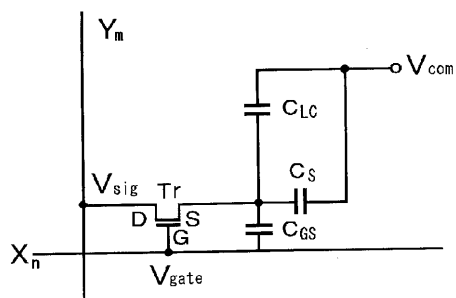
【図 2】



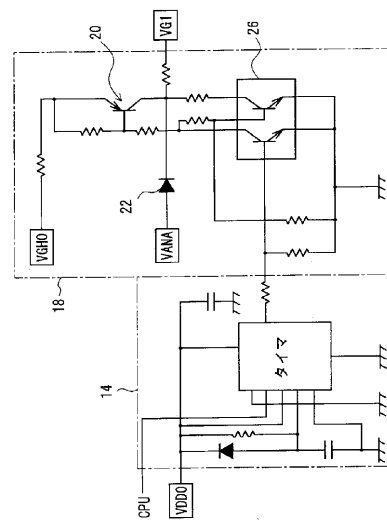
【図 4】



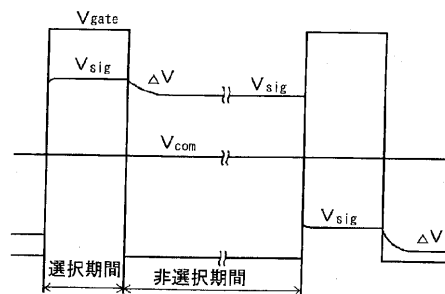
【図 5】



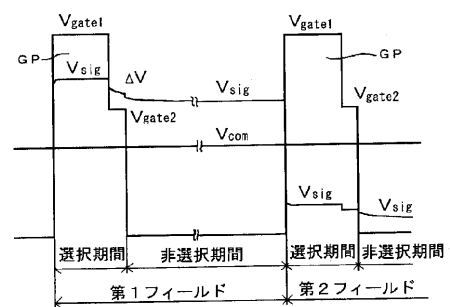
【図 3】



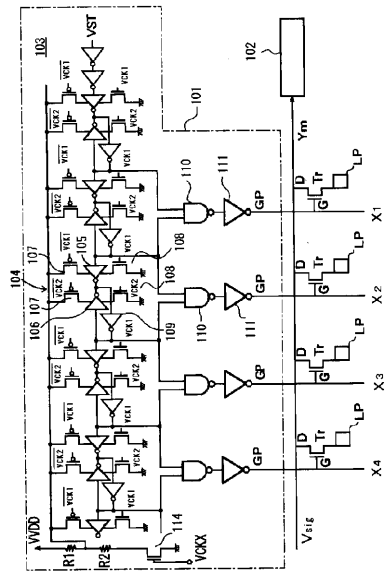
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 H
G 0 9 G 3/20 6 1 2 E
G 0 9 G 3/20 6 2 2 C
G 0 9 G 3/20 6 2 2 G

(72)発明者 平賀 悟
鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内

審査官 濱本 禎広

(56)参考文献 特開2000-137247(JP,A)
特開平09-101502(JP,A)
特開平11-281957(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00-3/38
G02F 1/133

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP4200759B2	公开(公告)日	2008-12-24
申请号	JP2002378777	申请日	2002-12-27
[标]申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	蓮仏啓一 小林靖弘 平賀悟		
发明人	蓮仏 啓一 小林 靖弘 平賀 悟		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20		
CPC分类号	H03K17/6257 G09G3/3677 G09G3/3696 G09G2310/06 G09G2320/0219 G09G2330/021 H03K17/164 H03K17/603 H03K17/74 H03K17/76		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.611.A G09G3/20.611.E G09G3/20.611.H G09G3/ /20.612.E G09G3/20.622.C G09G3/20.622.G		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB31 2H092/NA26 2H092/PA06 2H093 /NA16 2H093/NC01 2H093/NC22 2H093/NC34 2H093/ND39 2H093/NE03 2H192/AA24 2H192/FB03 2H192/GD61 2H193/ZA04 2H193/ZB02 2H193/ZF01 2H193/ZP03 5C006/AA16 5C006/AC11 5C006 /AF42 5C006/AF69 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BF22 5C006/BF24 5C006/BF26 5C006/BF29 5C006/BF31 5C006/BF36 5C006/BF43 5C006/FA16 5C006/FA20 5C006/FA23 5C006 /FA26 5C006/FA34 5C006/FA37 5C006/FA38 5C006/FA46 5C006/FA47 5C006/FA51 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD19 5C080/DD20 5C080/DD24 5C080/DD26 5C080 /DD28 5C080/DD29 5C080/FF03 5C080/FF11 5C080/JJ03 5C080/JJ04		
代理人(译)	宫坂和彦		
其他公开文献	JP2004212426A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了使矩阵液晶显示装置通过降低功耗而产生无浪涌，并且当在选择模式中提供给栅极线的栅极脉冲逐步变化时消除开关损耗。解决方案：该有源矩阵液晶显示装置配备有用于提供给定选择电压的第一电源VGHO和用于提供低于选择电压的给定值的电压的第二电源VANA作为选择电压供应装置。来自第二电源VANA的电压通常施加到选择电压供应装置的输出部分VG1，并且来自第一电源VGHO的电压从选择周期的开始被叠加比选择周期短的时间，因此将阶梯形栅极脉冲GPn，GPn + 1，GPn + 2，.....施加到给定的选定栅极线Xn，Xn + 1，Xn + 2，....

