

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-60857

(P2010-60857A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H090
G02F 1/1333 (2006.01)	G02F 1/1333 505	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H093
	G02F 1/133 575	2H193

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2008-226646 (P2008-226646)	(71) 出願人	502356528
(22) 出願日	平成20年9月4日 (2008.9.4)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(72) 発明者	小野 記久雄
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		Fターム(参考)	2H090 HA03 HA04 HB03X
			2H092 GA14 GA50 JA26 JA46 JB31
			JB46 NA01 NA26 PA06 PA12
			PA13 QA09

最終頁に続く

(54) 【発明の名称】 液晶表示装置

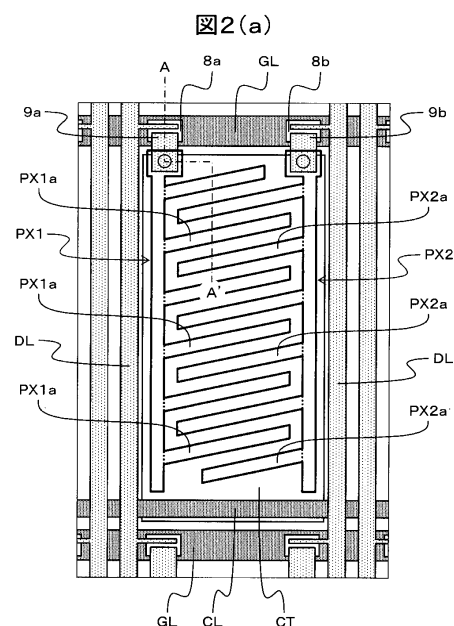
(57) 【要約】 (修正有)

【課題】 1枚の基板に画素電極と対向電極とが絶縁層を介して積層配置されている液晶表示装置において、光の透過率を維持しつつ駆動電圧を低減する。

【解決手段】 第1の画素電極PX1、第2の画素電極PX2、および対向電極CTを有する画素がマトリクス状に配置されており、1つの画素における第1の画素電極PX1と第2の画素電極PX2とは、それぞれ、複数の櫛歯部を有し、かつ、同じ層に、第1の画素電極の櫛歯部PX1aと第2の画素電極の櫛歯部PX2aが交互に並ぶように対向配置されており、第1の画素電極PX1および第2の画素電極PX2と、対向電極CTとは、絶縁層を介して積層配置されている液晶表示装置である。

。

【選択図】 図2(a)



【特許請求の範囲】**【請求項 1】**

第 1 の基板と第 2 の基板との間に液晶材料が封入された液晶表示パネルを有し、

前記第 1 の基板は、複数本の走査信号線および複数本の映像信号線を有する液晶表示装置であって、

前記第 1 の基板は、第 1 の T F T 素子、前記第 1 の T F T 素子のソースに接続された第 1 の画素電極、第 2 の T F T 素子、前記第 2 の T F T 素子のソースに接続された第 2 の画素電極、および対向電極を有する画素がマトリクス状に配置されており、

前記画素内の前記第 1 の T F T 素子のドレインと前記第 2 の T F T 素子のドレインは、それぞれ異なる前記映像信号線に接続されており、

前記第 1 の画素電極と前記第 2 の画素電極とは、それぞれ、複数の櫛歯部を有する平面形状であり、かつ、同じ層に、前記第 1 の画素電極の櫛歯部と前記第 2 の画素電極の櫛歯部が間隔を空けて交互に並ぶように対向配置されており、

前記第 1 の画素電極および前記第 2 の画素電極と、前記対向電極とは、絶縁層を介して積層配置されており、かつ、

前記第 1 の画素電極および前記第 2 の画素電極は、前記対向電極と前記液晶材料との間に配置されていることを特徴とする液晶表示装置。

【請求項 2】

1 フレーム期間における、前記第 1 の画素電極に加えられた階調電圧の電位と前記対向電極の電圧の電位との高低の関係と、前記第 2 の画素電極に加えられた階調電圧の電位と前記対向電極の電圧との高低の関係とが、反対の関係であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 の画素電極の櫛歯部および前記第 2 の画素電極の櫛歯部は、同じ方向に延在し、かつ、延在方向が前記走査信号線および映像信号線のいずれとも平行ではないことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記対向電極は、画素内のほぼ全面に矩形状に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 1 の画素電極の複数の櫛歯部と前記第 2 の画素電極の複数の櫛歯部のそれぞれの間隔は、等間隔に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に関し、特に、I P S 方式などの横電界駆動方式の液晶表示装置に適用して有効な技術に関するものである。

【背景技術】**【0002】**

従来、アクティブマトリクス方式の液晶表示装置には、I P S 方式などの横電界駆動方式の液晶表示パネルを有するものがある。横電界駆動方式の液晶表示パネルは、液晶を封入（挟持）している第 1 の基板と第 2 の基板のうちの一方の基板、たとえば、第 1 の基板に、液晶材料に加える電界の強度を制御する画素電極および対向電極（共通電極）が配置されている。

【0003】

また、I P S 方式の液晶表示パネルは、画素電極と対向電極とが絶縁層の同じ面に対向配置されているものと、画素電極と対向電極とが絶縁層を介して積層配置されているものとに大別される。

【0004】

画素電極と対向電極とが絶縁層を介して積層配置されている I P S 方式の液晶表示パネ

10

20

30

40

50

ルは、通常、対向電極と液晶材料との間に画素電極が配置されている。このとき、画素電極は、たとえば、複数のスリットを有する平面形状であり、画素電極と対向電極との間の電位差による電界の力線（すなわち電気力線）は、画素電極から対向電極に向かう途中、または対向電極から画素電極に向かう途中で、液晶材料を通る（たとえば、特許文献１を参照）。

【０００５】

ＩＰＳ方式の液晶表示パネルを有する液晶表示装置は、ＶＡ方式やＴＮ方式などの縦電界駆動方式の液晶表示パネルを有する液晶表示装置に比べて視野角が広いという特徴があり、たとえば、液晶テレビなどに多く用いられている。また、ＩＰＳ方式の液晶表示パネルを有する液晶表示装置は、近年、たとえば、携帯電話端末などの携帯型電子機器の表示部にも用いられるようになってきている。

10

【特許文献１】ＷＯ０１／０１８５９７号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

ところで、液晶テレビや携帯電話端末などの表示部に用いる液晶表示装置（液晶表示モジュールと呼ぶこともある）は、近年、低消費電力化が進んでいる。液晶表示装置を低消費電力化する方法としては、たとえば、液晶材料の駆動電圧を低くする方法がある。

【０００７】

しかしながら、従来の液晶材料を用いた液晶表示パネルの場合、単純に液晶材料の駆動電圧を低くすると、電界の強度が低くなるので、たとえば、光の透過率が低下するという問題がある。そのため、液晶材料の駆動電圧を低くする場合は、それに合わせて、たとえば、粘度が低く、電界の強度変化に敏感に反応する新たな液晶材料を開発する必要などが生じてくる。

20

【０００８】

特に、画素電極と対向電極とが絶縁層を介して積層配置されているＩＰＳ方式の液晶表示パネルは、液晶材料中の液晶分子を駆動させる電界が、主に、画素電極および対向電極を有する第１の基板の近傍のみで液晶材料に加わるので、駆動電圧を低くしたときに、光の透過率が低下しやすい。

【０００９】

本発明の目的は、たとえば、１枚の基板に画素電極と対向電極とが絶縁層を介して積層配置されている液晶表示装置において、光の透過率を維持しつつ駆動電圧を低くすることが可能な技術を提供することにある。

30

【００１０】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

【課題を解決するための手段】

【００１１】

本願において開示される発明のうち、代表的なものの概略を説明すれば、以下の通りである。

40

【００１２】

（１）第１の基板と第２の基板との間に液晶材料が封入された液晶表示パネルを有し、前記第１の基板は、複数本の走査信号線および複数本の映像信号線を有する液晶表示装置であって、前記第１の基板は、第１のＴＦＴ素子、前記第１のＴＦＴ素子のソースに接続された第１の画素電極、第２のＴＦＴ素子、前記第２のＴＦＴ素子のソースに接続された第２の画素電極、および対向電極を有する画素がマトリクス状に配置されており、前記画素内の前記第１のＴＦＴ素子のドレインと前記第２のＴＦＴ素子のドレインは、それぞれ異なる前記映像信号線に接続されており、前記第１の画素電極と前記第２の画素電極とは、それぞれ、複数の櫛歯部を有する平面形状であり、かつ、同じ層に、前記第１の画素電極の櫛歯部と前記第２の画素電極の櫛歯部が間隔を空けて交互に並ぶように対向配置され

50

ており、前記第 1 の画素電極および前記第 2 の画素電極と、前記対向電極とは、絶縁層を介在して積層配置されており、かつ、前記第 1 の画素電極および前記第 2 の画素電極は、前記対向電極と前記液晶材料との間に配置されている液晶表示装置。

【0013】

(2) 上記(1)の液晶表示装置において、1フレーム期間における、前記第 1 の画素電極に加えられた階調電圧の電位と前記対向電極の電圧の電位との高低の関係と、前記第 2 の画素電極に加えられた階調電圧の電位と前記対向電極の電圧との高低の関係とが、反対の関係である液晶表示装置。

【0014】

(3) 上記(1)の液晶表示装置において、前記第 1 の画素電極と前記第 2 の画素電極の櫛歯部は、同じ方向に延在し、かつ、延在方向が前記走査信号線および映像信号線のいずれとも平行ではない液晶表示装置。

10

【0015】

(4) 上記(1)の液晶表示装置において、前記対向電極は、画素内のほぼ全面に矩形状に形成されている液晶表示装置。

【0016】

(5) 上記(1)の液晶表示装置において、前記第 1 の画素電極の複数の櫛歯部と前記第 2 の画素電極の複数の櫛歯部のそれぞれの間隔は、等間隔に形成されている液晶表示装置。

20

【発明の効果】

【0017】

本発明の液晶表示装置によれば、1枚の基板(第1の基板)に画素電極と対向電極とが絶縁層を介して積層配置されている液晶表示装置において、光の透過率を維持しつつ駆動電圧を低くすることができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

30

【実施例】

【0019】

図1(a)および図1(b)は、本発明による一実施例の液晶表示装置の概略構成の一例を示す模式図である。

図1(a)は、本発明による一実施例の液晶表示装置の概略構成の一例を示す模式図である。図1(b)は、本実施例の液晶表示装置における液晶表示パネルの画素の回路構成の一例を示す模式図である。

【0020】

本実施例の液晶表示装置は、たとえば、図1(a)に示すように、複数本の走査信号線GLおよび複数本の映像信号線DLを有する液晶表示パネル1と、液晶表示パネル1を駆動する第1の駆動回路2および第2の駆動回路3と、バックライト4と、第1の駆動回路2および第2の駆動回路3ならびにバックライト4の動作を制御する制御回路5とを有する。

40

【0021】

液晶表示パネル1は、第1の基板と第2の基板との間に液晶材料を封入した表示パネルであり、複数本の走査信号線GLおよび複数本の映像信号線DLは、第1の基板に設けられている。

【0022】

なお、図1(a)には、複数本の走査信号線GLのうちの一部の走査信号線GLのみを示しており、実際の液晶表示パネル1には、さらに多数本の走査信号線GLが密に配置さ

50

れている。同様に、図 1 (b) には、複数本の映像信号線 D L のうちの一部の映像信号線 D L のみを示しており、実際の液晶表示パネル 1 には、さらに多数本の映像信号線 D L が密に配置されている。

【 0 0 2 3 】

また、本実施例の液晶表示パネル 1 の表示領域 D A は、マトリクス状に配置された多数の画素で構成されている。このとき、1 つの画素は、たとえば、図 1 (b) に示すように、第 1 の T F T 素子 T r 1、第 1 の T F T 素子 T r 1 のソースに接続された第 1 の画素電極 P X 1、第 2 の T F T 素子 T r 2、第 2 の T F T 素子 T r 2 のソースに接続された第 2 の画素電極 P X 2、および対向電極 C T を有する画素がマトリクス状に配置されている。

【 0 0 2 4 】

またこのとき、1 つの画素における第 1 の T F T 素子 T r 1 のドレインと第 2 の T F T 素子 T r 2 のドレインは、それぞれ、異なる映像信号線 $D L_n$, $D L_{n+1}$ に接続されている。そのため、走査信号線 G L の延在方向で隣接する 2 つの画素の境界部分には、2 本の映像信号線 D L が配置される。なお、第 1 の T F T 素子 T r 1 および第 2 の T F T 素子 T r 2 のソースとドレインは、バイアスの方向、すなわち映像信号線 D L から画素電極に加える階調電圧の電位と画素電極の電位との高低の関係により入れ替わるが、本明細書では、画素電極に接続しているほうをソースと呼ぶ。

【 0 0 2 5 】

また、1 つの画素における第 1 の T F T 素子 T r 1 のゲートと第 2 の T F T 素子 T r 2 のゲートは、同じ走査信号線 $G L_m$ に接続されている。

【 0 0 2 6 】

またこのとき、第 1 の画素電極 P X 1 および第 2 の画素電極 P X 2 は、それぞれ、複数のスリットを有する形状の電極であり、前記第 1 の画素電極 P X 1 のスリットと前記第 2 の画素電極 P X 2 のスリットがあらかじめ定められた間隔で交互に並ぶように配置されている。

【 0 0 2 7 】

また、対向電極 C T は、走査信号線 G L と並行する共通化配線 C L に接続しており、走査信号線 G L の延在方向に沿って並んだ複数の画素の対向電極 C T は、1 本の共通化配線 C L により共通化されている。

【 0 0 2 8 】

第 1 の駆動回路 2 は、映像信号線 D L を介してそれぞれの画素の第 1 の画素電極 P X 1 および第 2 の画素電極 P X 2 に加える映像信号 (階調電圧) を生成する駆動回路であり、一般にデータドライバ、ソースドライバなどと呼ばれている回路である。また、第 2 の駆動回路 3 は、第 1 の駆動回路 2 から映像信号線 D L に出力された映像信号を加える画素 (第 1 の画素電極 P X 1 および第 2 の画素電極 P X 2) を選択する走査信号を生成する駆動回路であり、一般に走査ドライバ、ゲートドライバなどと呼ばれている回路である。

【 0 0 2 9 】

第 1 の駆動回路 2 および第 2 の駆動回路 3 は、それぞれ、たとえば、I C チップに形成されており、液晶表示パネル 1 (第 1 の基板) の外周部、または当該外周部に接続されたフレキシブル配線板に実装されている。また、第 1 の駆動回路 2 および第 2 の駆動回路 3 は、それぞれ、たとえば、第 1 の基板の外周部に、表示領域 D A の第 1 の T F T 素子 T r 1 などとともに形成されており、当該第 1 の基板に内蔵されていてもよい。

【 0 0 3 0 】

バックライト 4 は、たとえば、冷陰極蛍光管または発光ダイオード (L E D) などの発光素子である。バックライト 4 が発した光は、たとえば、光拡散板やプリズムシートなどを介して面状光線に変換され、液晶表示パネル 1 に照射される。

【 0 0 3 1 】

制御回路 5 は、第 1 の駆動回路 2 および第 2 の駆動回路 3 の動作の制御、バックライト 4 の輝度の制御などを行う回路であり、一般に T F T コントローラ、タイミングコントローラなどと呼ばれている回路である。

10

20

30

40

50

【0032】

図2(a)および図2(b)は、本実施例の液晶表示パネルの第1の基板における1つの画素の概略構成の一例を示す模式図である。

図2(a)は、本実施例の液晶表示パネルの第1の基板における1つの画素の平面構成の一例を示す模式平面図である。図2(b)は、図2(a)のA-A'線における断面構成の一例を示す模式断面図である。

【0033】

本実施例の液晶表示パネル1は、図1(b)に示した第1の画素電極PX1、第2の画素電極PX2、および対向電極CTの3つの電極が、走査信号線GLなどとともに第1の基板に配置されているIPS方式(横電界駆動方式)の液晶表示パネルである。

10

【0034】

また、本実施例の液晶表示パネル1では、第1の画素電極PX1と第2の画素電極PX2を絶縁層の同じ面に対向配置し、第1の画素電極PX1および第2の画素電極PX2と、対向電極CTとは、絶縁層を介在させて積層配置する。

【0035】

したがって、第1の基板における1つの画素の構成は、たとえば、図2(a)および図2(b)に示すような構成にする。

【0036】

まず、ガラス基板などの第1の基板6の表面には、走査信号線GL、対向電極CT、および共通化配線CLと、それらを覆う第1の絶縁層7を形成する。走査信号線GLおよび共通化配線CLは、たとえば、アルミニウム膜などの金属膜をエッチングして形成する。対向電極CTは、たとえば、ITO膜またはIZO膜などの透明な導電膜をエッチングして形成する。第1の絶縁層7は、たとえば、酸化シリコン膜(SiO₂膜)を成膜して形成する。

20

【0037】

このとき、対向電極CTは、画素内、言い換えると2本の走査信号線GLおよび2本の映像信号線DLで囲まれる領域のほぼ全面に、矩形状に形成することが望ましい。

【0038】

なお、図2(a)および図2(b)には、透明な導電膜および金属膜を続けて形成(成膜)し、金属膜をエッチングして走査信号線GLおよび共通化配線CLを形成した後、透明な導電膜をエッチングして対向電極CTを形成した場合を例示している。しかしながら、走査信号線GL、対向電極CT、および共通化配線CLを形成するときには、たとえば、透明な導電膜の成膜およびエッチングをして対向電極CTを形成した後、金属膜の成膜およびエッチングをして走査信号線GLおよび共通化配線CLを形成してもよい。また、金属膜の成膜およびエッチングをして走査信号線GLおよび共通化配線CLを形成した後、透明な導電膜の成膜およびエッチングをして対向電極CTを形成してもよい。またさらに、共通化配線CLを形成する代わりに、たとえば、走査信号線GLの延在方向に沿って並んだ複数の画素で共有される帯状の対向電極CTを形成してもよい。

30

【0039】

第1の絶縁層7の上には、第1のTFT素子Tr1の半導体層8a、第2のTFT素子Tr2の半導体層8b、映像信号線DL、第1のTFT素子Tr1のソース電極9a、および第2のTFT素子Tr2のソース電極9bと、それらを覆う第2の絶縁層10を形成する。第1のTFT素子Tr1の半導体層8aおよび第2のTFT素子Tr2の半導体層8bは、たとえば、アモルファスシリコン(a-Si)膜などの半導体膜をエッチングして形成する。映像信号線DL、第1のTFT素子Tr1のソース電極9a、および第2のTFT素子Tr2のソース電極9bは、たとえば、アルミニウム膜などの金属膜をエッチングして形成する。第2の絶縁層10は、たとえば、窒化シリコン膜(SiN_x膜)を成膜して形成する。なお、第2の絶縁層10は、単一の材料でなる絶縁層に限らず、たとえば、材料が異なる2種類以上の絶縁膜が積層された構成であってもよい。

40

【0040】

50

このとき、第1のTFT素子Tr1のドレイン電極および第2のTFT素子Tr2のドレイン電極は、それぞれ、映像信号線DLと一体形成する。またこのとき、第2の絶縁層10は、ソース電極9a, 9b上にコンタクトホール(図示しない)を形成しておく。

【0041】

第2の絶縁層10の上には、第1の画素電極PX1および第2の画素電極PX2と、それらを覆う配向膜11を形成する。第1の画素電極PX1および第2の画素電極PX2は、たとえば、ITO膜またはIZO膜などの透明な導電膜をエッチングして形成する。

【0042】

このとき、第1の画素電極PX1は、ソース電極9a上に形成されたコンタクトホール(図示しない)を介してソース電極9aに接続し、第2の画素電極PX2は、ソース電極9b上に形成されたコンタクトホール(図示しない)を介してソース電極9bに接続する。またこのとき、第1の画素電極PX1および第2の画素電極PX2は、それぞれ、複数の櫛歯部PX1a, PX2aを有する平面形状にし、第1の画素電極PX1の櫛歯部PX1aと第2の画素電極PX2の複数の櫛歯部PX2aとが、あらかじめ定められた間隔(スリット)で交互に並ぶように対向配置させる。この第1の画素電極PX1の櫛歯部PX1aと第2の画素電極PX2の複数の櫛歯部PX2aとの間隔(スリット)は、画素内で等間隔とすることが好ましい。

【0043】

またこのとき、第1の画素電極PX1の櫛歯部PX1aと第2の画素電極PX2の複数の櫛歯部PX2aは、それぞれ、対向電極CTと重畳する位置に配置させる。

【0044】

図3(a)および図3(b)は、本実施例の液晶表示パネルの作用効果を説明するための模式図である。

図3(a)は、本実施例の液晶表示パネルに加わる電界の一例を示す模式図である。図3(b)は、本実施例の液晶表示パネルにおける画素電極と対向電極の電位差と透過率との関係の一例を示す模式図である。

【0045】

従来の1つの画素電極と1つの対向電極が絶縁層を介して積層配置されているIPS方式の液晶表示パネル(以下、従来の積層配置型の液晶表示パネルという)の場合、1つの画素において液晶材料に加わる電界は、主として、液晶材料のうちの、画素電極を有する第1の基板6の近傍に位置する部分のみに加わる。そのため、1つの画素における液晶材料中の液晶分子は、たとえば、まず、第1の基板6の近傍にある液晶分子が回転し、その影響で第2の基板側の液晶分子が回転する。

【0046】

これに対し、本実施例の液晶表示パネル1を駆動するときには、1フレーム期間に1つの画素の第1の画素電極PX1に加える階調電圧の電位と対向電極CTのコモン電圧の電位との高低の関係と、第2の画素電極PX2に加える階調電圧の電位と対向電極CTのコモン電圧の電位との高低の関係とが、たとえば、反対の関係になるようにする。このとき、1つの画素において液晶材料12に加わる電界は、たとえば、図3(a)に示すように、第1の画素電極PX1と対向電極CTとの電位差によって生じる第1の電界E1、第2の画素電極PX2と対向電極CTとの電位差によって生じる第2の電界E2、および第1の画素電極PX1と第2の画素電極PX2との電位差によって生じる第3の電界E3の3種類に大別される。

【0047】

なお、図3(a)において、Vcomは対向電極CTに加えるコモン電圧であり、Vdは画素電極に加える階調電圧である。また、第1の画素電極PX1の階調電圧Vd(+)は、当該階調電圧の電位がコモン電圧Vcomの電位よりも高いことを表し、第2の画素電極PX2の階調電圧Vd(-)は、当該階調電圧の電位がコモン電圧Vcomの電位よりも低いことを表している。

【0048】

10

20

30

40

50

すなわち、本実施例の液晶表示パネル 1 を駆動するときには、従来の積層配置型の液晶表示パネルを駆動するときには無い、第 3 の電界 E 3 も利用して液晶材料 1 2 中の液晶分子を駆動させることができる。このとき、第 3 の電界 E 3 の電気力線は、図 3 (a) に示したように、第 1 の電界 E 1 および第 2 の電界 E 2 の外側、すなわち第 2 の基板 1 3 の近傍を通る。そのため、本実施例の液晶表示パネル 1 を駆動するときには、第 1 の電界 E 1 および第 2 の電界 E 2 で、第 1 の基板 6 の近傍にある液晶分子を回転させ、第 3 の電界 E 3 で、第 2 の基板 1 3 の近傍にある液晶分子を回転させることができる。

【 0 0 4 9 】

またこのとき、第 1 の画素電極 P X 1 と第 2 の画素電極 P X 2 との電位差は、第 1 の画素電極 P X 1 と対向電極 C T との電位差および第 2 の画素電極 P X 2 と対向電極 C T との電位差のおよそ 2 倍である。そのため、第 3 の電界 E 3 の強度は、第 1 の電界 E 1 の強度および第 2 の電界 E 2 の強度のおよそ 2 倍である。

【 0 0 5 0 】

したがって、本実施例の液晶表示パネル 1 を駆動するときには、駆動電圧、言い換えると階調表現をする際の階調電圧とコモン電圧の電位差の最大値を低くしても、透過率を維持できると考えられる。

【 0 0 5 1 】

本願発明者が、T F T 素子および画素電極が画素内に一つ配置される従来の I P S 方式の積層配置型の液晶表示パネルと、本実施例の液晶表示パネル 1 とのそれぞれで、画素電極と対向電極の電位差と透過率との関係を調べたところ、図 3 (b) に示すような結果が得られた。なお、図 3 (b) のグラフ図において、横軸は画素電極と対向電極の電位差 ΔV (v o l t) であり、縦軸は透過率 T (%) である。

【 0 0 5 2 】

また、図 3 (b) のグラフ図において、P 2 および P 3 は本実施例の液晶表示パネル 1 における画素電極と対向電極との電位差 ΔV と透過率 T との関係の一例を示している。P 2 と P 3 の違いは、画素電極における櫛歯部の間隔 (スリットの間隔) にあり、P 2 では $10\mu\text{m}$ 、P 3 では $15\mu\text{m}$ とした。

【 0 0 5 3 】

また、図 3 (b) のグラフ図において、P 1 は従来の積層配置型の液晶表示パネルにおける画素電極と対向電極との電位差 ΔV と透過率 T との関係の一例を示している。対向電極の形状は本実施例と同じであり、画素電極の形状は複数の櫛歯部およびスリットを持つ電極である。

【 0 0 5 4 】

従来の積層配置型の液晶表示パネルにおける画素電極と対向電極との電位差 ΔV と透過率 T との関係は、たとえば、図 3 (b) の P 1 に示したような変化をし、電位差 ΔV が 5 v o l t から 6 v o l t のときに透過率 T が最大になる。

【 0 0 5 5 】

これに対し、本実施例の液晶表示パネル 1 において、第 1 の画素電極 P X 1 の櫛歯部 P X 1 a と第 2 の画素電極 P X 2 の櫛歯部 P X 2 a との間隙 (スリット) を $10\mu\text{m}$ にした場合、画素電極と対向電極との電位差 ΔV と透過率 T との関係は、たとえば、図 3 (b) の P 2 に示したような変化をし、電位差 ΔV が 4 v o l t のときに透過率 T が最大になる。

【 0 0 5 6 】

このとき、電位差 ΔV が 4 v o l t 以上の領域における P 1 と P 2 を比較すると、P 1 のほう、すなわち従来の積層配置型の液晶表示パネルのほうが透過率 T が高い。しかしながら、液晶表示装置の低消費電力化を図るために駆動電圧を低くする場合、たとえば、階調表現をする際の階調電圧とコモン電圧の電位差の最大値を 4 v o l t 以下にする場合 ($\Delta V < 4\text{ v o l t}$) を想定すると、本実施例の液晶表示パネル 1 のほうが透過率が高い。

【 0 0 5 7 】

またさらに、本実施例の液晶表示パネル 1 において、第 1 の画素電極 P X 1 の櫛歯部 P

10

20

30

40

50

X 1 a と第 2 の画素電極 P X 2 の櫛歯部 P X 2 a との間隙（スリット）を $15\ \mu\text{m}$ にした場合の画素電極と対向電極との電位差 ΔV と透過率 T との関係は、たとえば、図 3（b）の P 3 に示したような変化をする。

【0058】

この例の場合、たとえば電位差 ΔV が $4\ \text{volt}$ 以下の低電圧領域においては、P 2 の例よりも透過率 T が若干低くなるが、従来の P 1 よりも高い透過率 T を維持できる。また、電位差 ΔV が $4\ \text{volt}$ 以上の高電圧領域においても、従来の P 1 よりも透過率 T は高くなる。

【0059】

以上のようなことから、本実施例の液晶表示パネル 1 を有する液晶表示装置は、光の透過率を維持しつつ駆動電圧を低くすることができると言える。

10

【0060】

以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることはもちろんである。

【0061】

たとえば、図 2（a）に示した櫛歯部 P X 1 a , P X 2 a の数および延在方向は、それぞれ、本実施例の液晶表示パネル 1 における一例であり、櫛歯部 P X 1 a , P X 2 a の数および延在方向が適宜変更可能であることはもちろんである。なお、このとき、櫛歯部 P X 1 a , P X 2 a は、同じ方向に延在し、かつ、延在方向が走査信号線 G L および映像信号線 D L のいずれとも平行ではない方向になるように形成することが望ましい。

20

【0062】

また、図 2（a）および図 2（b）に示した 1 つの画素の構成は、本実施例の液晶表示パネル 1 における一例であり、本実施例（本発明）の液晶表示装置では、第 1 の画素電極 P X 1、第 2 の画素電極 P X 2、および対向電極 C T の 3 つの電極の位置関係が、図 2（a）および図 2（b）に示した構成と同じ関係であればよい。したがって、第 1 の T F T 素子 T r 1 および第 2 の T F T 素子 T r 2 の構成が適宜変更可能であることも、もちろんである。

【図面の簡単な説明】

【0063】

30

【図 1（a）】本発明による一実施例の液晶表示装置の概略構成の一例を示す模式図である。

【図 1（b）】本実施例の液晶表示装置における液晶表示パネルの画素の回路構成の一例を示す模式図である。

【図 2（a）】本実施例の液晶表示パネルの第 1 の基板における 1 つの画素の平面構成の一例を示す模式平面図である。

【図 2（b）】図 2（a）の A - A' 線における断面構成の一例を示す模式断面図である。

【図 3（a）】本実施例の液晶表示パネルに加わる電界の一例を示す模式図である。

【図 3（b）】本実施例の液晶表示パネルにおける画素電極と対向電極の電位差と透過率との関係の一例を示す模式図である。

40

【符号の説明】

【0064】

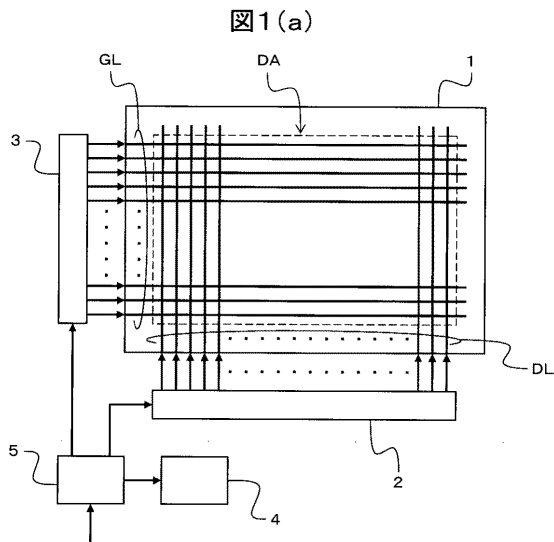
- 1 ... 液晶表示パネル
- 2 ... 第 1 の駆動回路
- 3 ... 第 2 の駆動回路
- 4 ... バックライト
- 5 ... 制御回路
- 6 ... 第 1 の基板
- 7 ... 第 1 の絶縁層

50

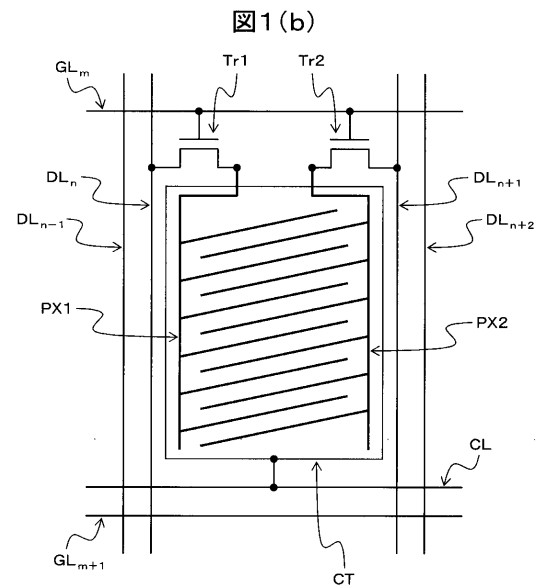
8 a , 8 b ... 半導体層
 9 a , 9 b ... ソース電極
 10 ... 第2の絶縁層
 11 ... 配向膜
 12 ... 液晶材料
 13 ... 第2の基板
 GL , GL_m ... 走査信号線
 DL , DL_n , DL_{n+1} ... 映像信号線
 Tr1 ... 第1のTFT素子
 Tr2 ... 第2のTFT素子
 PX1 ... 第1の画素電極
 PX2 ... 第2の画素電極
 PX1a , PX2a ... 櫛歯部
 CT ... 対向電極
 CL ... 共通化配線
 E1 ... 第1の電界
 E2 ... 第2の電界
 E3 ... 第3の電界

10

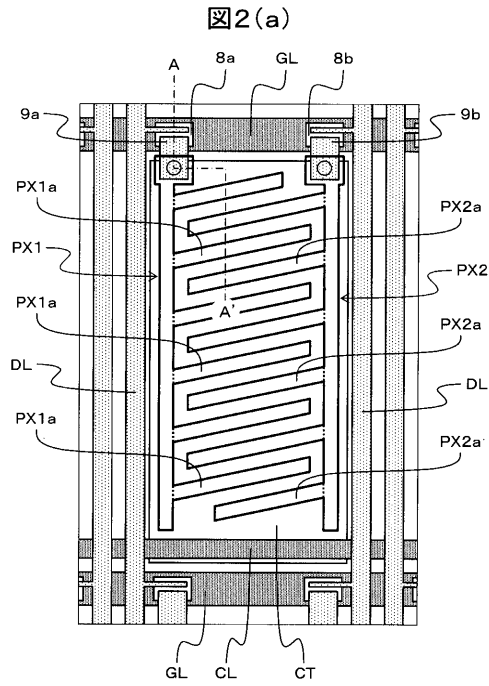
【図1(a)】



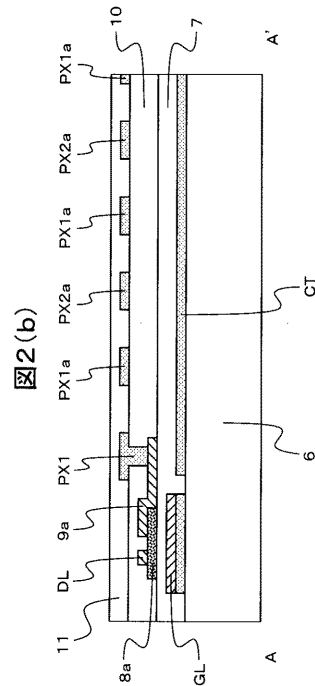
【図1(b)】



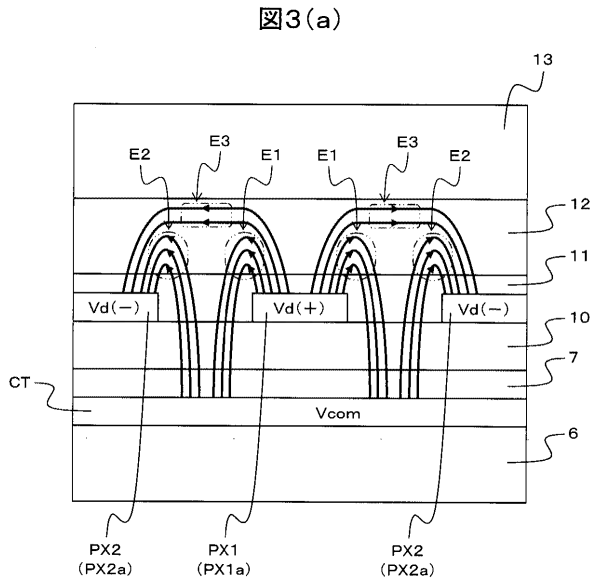
【図 2 (a) 】



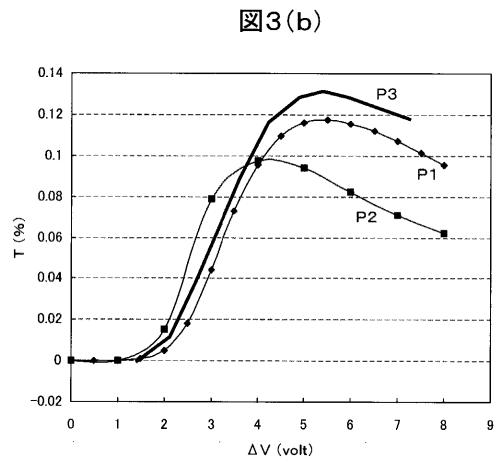
【図 2 (b) 】



【図 3 (a) 】



【図 3 (b) 】



フロントページの続き

F ターム(参考) 2H093 NA16 NA33 NA43 NA53 NC10 NC12 NC34 ND06 ND38 ND39
NE02 NE03 NF09
2H193 ZA04 ZC15 ZD23 ZF22 ZF36 ZP02 ZP03 ZQ08

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010060857A	公开(公告)日	2010-03-18
申请号	JP2008226646	申请日	2008-09-04
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	小野記久雄		
发明人	小野 記久雄		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/133		
CPC分类号	G09G3/3651 G02F1/134363 G02F2201/124 G09G2300/0417 G09G2300/0809		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/133.550 G02F1/133.575		
F-TERM分类号	2H090/HA03 2H090/HA04 2H090/HB03X 2H092/GA14 2H092/GA50 2H092/JA26 2H092/JA46 2H092/JB31 2H092/JB46 2H092/NA01 2H092/NA26 2H092/PA06 2H092/PA12 2H092/PA13 2H092/QA09 2H093/NA16 2H093/NA33 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC34 2H093/ND06 2H093/ND38 2H093/ND39 2H093/NE02 2H093/NE03 2H093/NF09 2H193/ZA04 2H193/ZC15 2H193/ZD23 2H193/ZF22 2H193/ZF36 2H193/ZP02 2H193/ZP03 2H193/ZQ08 2H190/HA03 2H190/HA04 2H190/HB03 2H192/AA24 2H192/BB02 2H192/BB13 2H192/BB21 2H192/BB73 2H192/BC31 2H192/CB02 2H192/CB12 2H192/CC64 2H192/DA32 2H192/GD61 2H192/JA32 2H193/ZA08 2H193/ZA19 2H193/ZB03 2H193/ZC20 2H193/ZF42 2H193/ZF43 2H193/ZF44 2H193/ZG02 2H193/ZG12 2H193/ZG14 2H193/ZQ16		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，其中像素电极和对电极层压在一个基板上，并且在它们之间具有绝缘层，并且在保持透光率的同时降低了驱动电压。具有第一像素电极PX1，第二像素电极PX2和对电极CT的像素排列成矩阵，并且在一个像素中排列第一像素电极PX1和第二像素电极。PX2具有多个梳齿部分，并且布置在同一层中，使得第一像素电极的梳齿部分PX1a和第二像素电极的梳齿部分PX2a交替地布置成彼此面对。因此，第一像素电极PX1和第二像素电极PX2以及对电极CT是层叠并设置有绝缘层的液晶显示装置。[选择图]图2(a)

