

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-14975

(P2010-14975A)

(43) 公開日 平成22年1月21日(2010.1.21)

| | | |
|------------------------------|-----------------|-------------|
| (51) Int.Cl. | F 1 | テーマコード (参考) |
| GO2F 1/1368 (2006.01) | GO2F 1/1368 | 2H092 |
| HO1L 29/786 (2006.01) | HO1L 29/78 612A | 5F110 |

審査請求 未請求 請求項の数 2 O L (全 11 頁)

| | | | |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2008-174895 (P2008-174895) | (71) 出願人 | 302020207 東芝モバイルディスプレイ株式会社 東京都港区港南4-1-8 |
| (22) 出願日 | 平成20年7月3日(2008.7.3) | (74) 代理人 | 100058479 弁理士 鈴江 武彦 |
| | | (74) 代理人 | 100108855 弁理士 蔵田 昌俊 |
| | | (74) 代理人 | 100091351 弁理士 河野 哲 |
| | | (74) 代理人 | 100088683 弁理士 中村 誠 |
| | | (74) 代理人 | 100109830 弁理士 福原 淑弘 |
| | | (74) 代理人 | 100075672 弁理士 峰 隆司 |

最終頁に続く

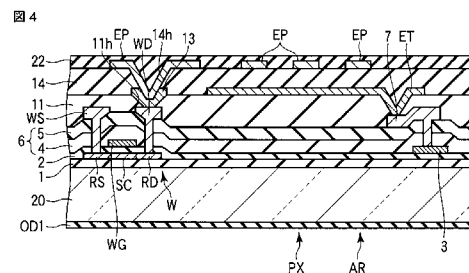
(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】表示品位に優れ、製品歩留まりの高い液晶表示パネルを提供する。

【解決手段】液晶表示パネルは、第1基板と、第2基板と、液晶層と、を備えている。第1基板は、走査線と、信号線と、スイッチング素子Wと、スイッチング素子に重なったコンタクトホール11hを有した第1絶縁層11と、共通電極ETと、コンタクトホールに形成され、スイッチング素子に電氣的に接続された接続部13と、接続部に重なった他のコンタクトホール14hを有した第2絶縁層14と、他のコンタクトホールを介して接続部に電氣的に接続された画素電極EPと、を備えている。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 基板と、
 第 2 基板と、
 前記第 1 基板及び第 2 基板間に保持された液晶層と、を備え、
 前記第 1 基板は、
 各画素の行方向に延在した走査線と、
 各画素の列方向に延在した信号線と、
 画素毎に配置されたスイッチング素子と、
 前記走査線、信号線及びスイッチング素子上に形成され、前記スイッチング素子に重な
 ったコンタクトホールを有した第 1 絶縁層と、
 前記第 1 絶縁層上に形成された共通電極と、
 前記コンタクトホールに形成され、前記スイッチング素子に電氣的に接続された接続部
 と、
 前記第 1 絶縁層、共通電極及び接続部上に形成され、前記接続部に重なった他のコンタ
 クトホールを有した第 2 絶縁層と、
 前記第 2 絶縁層上に形成され、前記共通電極と対向し、前記他のコンタクトホールを介
 して前記接続部に電氣的に接続された画素電極と、を備えている液晶表示パネル。

【請求項 2】

前記接続部は、前記共通電極と同一の材料で形成されている請求項 1 に記載の液晶表示
 パネル。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示パネルに関し、特に、横電界駆動モードの液晶表示パネルに関す
 る。

【背景技術】

【0002】

近年、CRTディスプレイに代わる平面表示パネルが盛んに開発されており、中でも液
 晶表示パネルは、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各
 画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、
 IPS (In-Plane Switching) モードや FFS (fringe fi
 eld Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構
 造が注目されている。(例えば、特許文献 1 参照。)

また、近年、多結晶シリコン (ポリシリコンともいう) や非結晶シリコン (アモルファ
 スシリコンともいう) は CVD (Chemical Vapor Deposition) 法などにより透明基板上
 に製膜が可能であることから、液晶表示パネルへの応用が盛んに行われている。

【0003】

これらは、表示部である画素スイッチング素子への使用を始め、多結晶シリコン膜につ
 いては更に上記画素スイッチング素子を動作させるための駆動回路 (主に CMOS や PM
 OS トランジスタから構成される) への使用も研究されている。

【0004】

ここで、多結晶シリコンを TFT (薄膜トランジスタ) の半導体層に使用した PMOS
 トランジスタの従来の製造方法をアレ基板の製造方法と併せて説明する。

まず、無アルカリガラス基板上に非結晶シリコン膜を CVD 法にて成膜する。その後、
 エキシマレーザを用いて非結晶シリコン膜を瞬時熔融させ、多結晶シリコンからなる半導
 体膜を形成する。半導体膜を CDE 法 (Chemical Dry Etching) によりパターンニングする
 ことによって、p 型 TFT 用の半導体層を形成する。その後、半導体層を被覆するように
 CVD 法を用い、無アルカリガラス基板全面に、ゲート絶縁膜と、スパッタ法により金属
 膜とを成膜する。続いて、RIE (Reactive Ion Etching) 法により、金属膜をパターニ

ングすることにより、ゲート電極を形成する。

【0005】

次に、ゲート電極又はゲート電極を形成したときに用いたレジストをマスクとして、半導体層に、イオン注入法などによりボロンを高濃度にドーピングする。これにより、半導体層にソース領域及びドレイン領域が形成される。次に、ゲート電極とゲート絶縁膜を被覆するように、無アルカリガラス基板上に層間絶縁膜を形成する。次に、層間絶縁膜上に、半導体層のソース領域に電氣的に接続されたソース電極及び半導体層のドレイン領域に電氣的に接続されたドレイン電極を形成する。

【0006】

次いで、無アルカリガラス基板上に、ドレイン電極に重なったコンタクトホールを有した第1絶縁層を形成する。続いて、第1絶縁層上に共通電極を形成した後、第1絶縁層及び共通電極上に、ドレイン電極に重なった他のコンタクトホールを有した第2絶縁層を形成する。次に、第2絶縁層上に画素電極を形成する。画素電極は、コンタクトホール及び他のコンタクトホールを介してドレイン電極に電氣的に接続されている。上記したように、アレイ基板は製造され、構成している。

10

【特許文献1】特開2006-317962号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記アレイ基板の製造工程において、第1絶縁層は厚い。第2絶縁層の成膜時、上記コンタクトホールに塗布される第2絶縁層の膜厚は厚くなってしまふ。このため、上記他のコンタクトホール形成時に、第2絶縁層の残渣が上記コンタクトホール及び他のコンタクトホール内部に入り込む恐れがある。上記コンタクトホール及び他のコンタクトホール内部に第2絶縁層の残渣が入り込んだ状態で画素電極を形成すると、画素電極及びTFT間に接続不良が生じ、画像不良を招く問題、すなわち、製品歩留まりの低下を招く問題がある。

20

この発明は以上の点に鑑みなされたもので、その目的は、表示品位に優れ、製品歩留まりの高い液晶表示パネルを提供することにある。

【課題を解決するための手段】

【0008】

上記課題を解決するため、本発明の態様に係る液晶表示パネルは、

30

第1基板と、

第2基板と、

前記第1基板及び第2基板間に保持された液晶層と、を備え、

前記第1基板は、

各画素の行方向に延在した走査線と、

各画素の列方向に延在した信号線と、

画素毎に配置されたスイッチング素子と、

前記走査線、信号線及びスイッチング素子上に形成され、前記スイッチング素子に重なったコンタクトホールを有した第1絶縁層と、

40

前記第1絶縁層上に形成された共通電極と、

前記コンタクトホールに形成され、前記スイッチング素子に電氣的に接続された接続部と、

前記第1絶縁層、共通電極及び接続部上に形成され、前記接続部に重なった他のコンタクトホールを有した第2絶縁層と、

前記第2絶縁層上に形成され、前記共通電極と対向し、前記他のコンタクトホールを介して前記接続部に電氣的に接続された画素電極と、を備えている。

【発明の効果】

【0009】

この発明によれば、表示品位に優れ、製品歩留まりの高い液晶表示パネルを提供するこ

50

とができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照しながらこの発明の実施の形態に係る液晶表示装置について詳細に説明する。ここでは、一方の基板に画素電極及び共通電極を備え、これらの間に形成される横電界を利用して液晶分子をスイッチングする液晶表示モードとして、FFSモードの液晶表示装置について説明する。

【0011】

図1乃至図4に示すように、液晶表示装置は、アクティブマトリクスタイプの液晶表示装置であって、液晶表示パネルLPNを備えている。この液晶表示パネルLPNは、第1基板としてのアレイ基板ARと、第2基板としての対向基板CTと、液晶層LQとを備えている。対向基板CTは、アレイ基板ARに所定の隙間を置いて対向配置されている。液晶層LQは、アレイ基板ARと対向基板CTとの間に保持されている。このような液晶表示装置は、画像を表示する表示領域DSPを備えている。この表示領域DSPには、 $m \times n$ 個のマトリクス状に配置された複数の画素PXが形成されている。

10

【0012】

アレイ基板ARは、ガラス板や石英板などの光透過性を有する絶縁基板20を用いて形成されている。すなわち、このアレイ基板ARは、表示領域DSPにおいて、画素毎に配置された $m \times n$ 個の画素電極EP、各画素PXの行方向Hにそれぞれ延在したn本の走査線Y(Y1~Yn)、各画素PXの列方向Vにそれぞれ延在したm本の信号線X(X1~Xm)、各画素PXにおいて走査線Yと信号線Xとの交差部を含む領域に配置された $m \times n$ 個のスイッチング素子W、画素電極EPと第2絶縁層14を介して対向配置された共通電極ETなどを備えている。

20

【0013】

アレイ基板ARは、さらに、表示領域DSPの周辺の駆動回路領域DCTにおいて、n本の走査線Yに接続された走査線ドライバYDを構成する少なくとも一部や、m本の信号線Xに接続された信号線ドライバXDを構成する少なくとも一部などを備えている。走査線ドライバYDは、コントローラCNTによる制御に基づいてn本の走査線Yに順次走査信号(駆動信号)を供給する。

30

【0014】

また、信号線ドライバXDは、コントローラCNTによる制御に基づいて各行のスイッチング素子Wが走査信号によってオンするタイミングでm本の信号線Xに映像信号(駆動信号)を供給する。これにより、各行の画素電極EPは、対応するスイッチング素子Wを介して供給される映像信号に応じた画素電位にそれぞれ設定される。

【0015】

各スイッチング素子Wは、例えば、薄膜トランジスタによって構成されている。スイッチング素子Wの半導体層SCは、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能である。スイッチング素子Wのゲート電極WGは、走査線Yと一体的に形成されている(あるいは走査線Yに接続されている)。スイッチング素子Wのソース電極WSは、信号線Xと一体に形成されている(あるいは信号線Xに接続されている)とともに、半導体層SCのソース領域RSに接続されている。スイッチング素子Wのドレイン電極WDは、半導体層SCのドレイン領域RDに接続されている。

40

【0016】

共通電極ETは、例えば各画素PXにおいて島状に配置され、コモン電位のコモン配線COMに電氣的に接続されている。この共通電極ETは、第2絶縁層14によって覆われている。画素電極EPは、第2絶縁層14上において共通電極ETと対向するように配置されている。この画素電極EPには、共通電極ETと対向する複数のスリットSLが設けられている。これらの画素電極EP及び共通電極ETは、例えばインジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されている。アレイ基板ARの液晶層LQに接触する面には、配

50

向膜 2 2 が配置されている。

【 0 0 1 7 】

一方、対向基板 C T は、ガラス板や石英板などの光透過性を有する絶縁基板 3 0 を用いて形成されている。特に、カラー表示タイプの液晶表示装置においては、対向基板 C T は、絶縁基板 3 0 上に、各画素 P X を区画するブラックマトリクス 3 2、ブラックマトリクス 3 2 によって囲まれた各画素に配置されたカラーフィルタ層 3 4 などを備えている。また、対向基板 C T は、さらに、外部電界の影響を緩和するためのシールド電極や、カラーフィルタ層 3 4 の表面の凹凸を平坦化するように比較的厚い膜厚で配置されたオーバコート層などを備えて構成してもよい。

【 0 0 1 8 】

ブラックマトリクス 3 2 は、絶縁基板 3 0 上において、アレイ基板 A R に設けられた走査線 Y や信号線 X、さらにはスイッチング素子 W などの配線部に対向するように配置されている。カラーフィルタ層 3 4 は、互いに異なる複数の色、例えば赤色、緑色、青色といった 3 原色にそれぞれ着色された着色樹脂によって形成されている。赤色着色樹脂、青色着色樹脂、及び緑色着色樹脂は、それぞれ赤色画素、青色画素、及び緑色画素に対応して配置されている。対向基板 C T の液晶層 L Q に接触する面には、配向膜 3 6 が配置されている。

【 0 0 1 9 】

このような対向基板 C T と上述したようなアレイ基板 A R とをそれぞれの配向膜 2 2 及び配向膜 3 6 が対向するように配置したとき、両者の間に配置された図示しないスペーサにより、所定のギャップが形成される。液晶層 L Q は、これらのアレイ基板 A R の配向膜 2 2 と対向基板 C T の配向膜 3 6 との間に形成されたスペースに封入された液晶組成物によって構成されている。

【 0 0 2 0 】

また、この液晶表示装置は、液晶表示パネル L P N の一方の外面（すなわちアレイ基板 A R の液晶層 L Q と接する面とは反対の外面）に設けられた光学素子 O D 1 を備え、また、液晶表示パネル L P N の他方の外面（すなわち対向基板 C T の液晶層 L Q と接する面とは反対の外面）に設けられた光学素子 O D 2 を備えている。これらの光学素子 O D 1 及び O D 2 は、それぞれ偏光板を含み、例えば、液晶層 L Q に電圧が印加されていない状態において液晶表示パネル L P N の透過率が最低となる（つまり黒を表示する）ノーマリーブラックモードを実現している。

【 0 0 2 1 】

このような構成により、液晶表示パネル L P N に対してアレイ基板 A R 側に配置されたバックライトユニットからのバックライト光を液晶表示パネル L P N で選択的に透過し、画像を表示する。

【 0 0 2 2 】

特に、この実施の形態においては、画素電極 E P に形成されたスリット S L は、概ね行方向 H に沿って延在しており、しかも、行方向 H に対して鋭角に交差するように形成されている。また、複数のスリット S L は、列方向 V に互いに隙間を置いて並んでいる。また、この実施の形態では、色味の視野角特性改善のために、1 画素内にスイッチング方向が異なる液晶分子を含むように構成されている。

【 0 0 2 3 】

具体的には、1 つの画素電極 E P は、少なくとも 2 方向に延在するスリットを有しており、例えば、第 1 方向に長軸 A X 1 を有する複数のスリット S L 1 と、第 1 方向とは異なる第 2 方向に長軸 A X 2 を有する複数のスリット S L 2 とを有している。長軸 A X 1 は、行方向 H に対して 7 度程度の角度 θ_1 をなすように傾いている。また、長軸 A X 2 は、行方向 H に対して 7 度程度の角度 θ_2 をなすように傾いている。つまり、これらの長軸 A X 1 及び A X 2 は、行方向 H に対して略線対称となるように配置されている。複数のスリット S L 1 は、互いに平行に配置されている。複数のスリット S L 2 は、互いに平行に配置されている。なお、配向膜 2 2 及び配向膜 3 6 のラビング方向は、行方向 H と平行に設定

10

20

30

40

50

されている。

【0024】

このような構成において、画素電極EPと共通電極ETとの間に電界が形成されていない場合には、液晶層LQに含まれる液晶分子は、配向膜22及び配向膜36による規制力によって、ラビング方向に平行に配向されている。この状態では、バックライト光は、液晶表示パネルLPNを透過した後、光学素子OD2に含まれる偏光板に吸収される（つまり、黒表示となる）。

【0025】

一方、画素電極EPと共通電極ETとの間に電位差が形成された場合、スリットSLを介して、スリットSLのエッジに対して直交する方向に電界Eが形成される。このような電界Eにより、液晶分子がスイッチングされる（つまり、液晶分子は電界Eと平行な方向に配向するように駆動される）。このとき、スリットSL1付近においては左回り（反時計回り）に液晶分子が回転し、スリットSL2付近においては右回り（時計回り）に液晶分子が回転する。この状態では、バックライト光は、液晶表示パネルLPNを透過した際に液晶分子の複屈折の影響を受けて変調され、その少なくとも一部の成分が光学素子OD2に含まれる偏光板を透過する（つまり、白表示となる）。また、画素電極EPが少なくとも2方向に延在するスリットSL1及びSL2を有していることにより、スリットSL1の形状に応じた液晶分子の面内の回転方向（左回り）と、スリットSL2の形状に応じた液晶分子の回転方向（右回り）とは、相反することになる。このため、液晶表示パネルLPNの観察方向に依存した色付きを補償することが可能となり、広い視野角範囲において良好な表示品位を得ることが可能となる。

【0026】

次に、上記アレイ基板の画素の構成について、製造方法と併せて説明する。

絶縁基板20上に、アンダーコート絶縁膜1が成膜されている。アンダーコート絶縁膜1上には、ポリシリコンからなる半導体層SCが形成され、アンダーコート絶縁膜及び半導体層上に、ゲート絶縁膜2が成膜されている。ゲート絶縁膜2上に、走査線Y、ゲート電極WG及び第1電極3が配設されている。ゲート電極WGは、走査線Yに電氣的に接続され、ゲート絶縁膜2を介して半導体層SCに対向している。

【0027】

ゲート絶縁膜2、走査線Y、ゲート電極WG及び第1電極3上に、層間絶縁膜6が形成されている。層間絶縁膜6は、パシベーション膜の機能を有する第1層間絶縁膜4及び第2層間絶縁膜5が積層して形成されている。第1層間絶縁膜4及び第2層間絶縁膜5は、ゲート絶縁膜2上に順に成膜されている。この実施の形態において、第1層間絶縁膜4はSiNxの材料で形成され、第2層間絶縁膜5はSiOxの材料で形成されている。

【0028】

層間絶縁膜6上には、MAM等の導電材料により信号線X、ソース電極WS、ドレイン電極WD及び第2電極7が形成されている。ここで、MAMはMo（モリブデン）/Al・Nd（アルミニウム - ネオジウム系合金）/Mo（モリブデン）の略称で3層構造の金属膜である。

【0029】

ソース電極WSは、信号線Xに電氣的に接続され、ゲート絶縁膜2及び層間絶縁膜6に形成されたコンタクトホールを介して半導体層SCのソース領域RSに電氣的に接続されている。ドレイン電極WDは、ゲート絶縁膜2及び層間絶縁膜6に形成されたコンタクトホールを介して半導体層SCのドレイン領域RDに電氣的に接続されている。

【0030】

第2電極7は、ゲート絶縁膜2及び層間絶縁膜6に形成されたコンタクトホールを介して第1電極3に電氣的に接続されている。なお、第1電極3及び第2電極7は、上記共通配線COMを形成している。

【0031】

層間絶縁膜6、スイッチング素子W、信号線X及び第2電極7上には、第1絶縁層11

10

20

30

40

50

が形成されている。第1絶縁層11は、ドレイン電極WDに重なったコンタクトホール11h及び第2電極7に重なったコンタクトホールを有している。

【0032】

第1絶縁層11上には、ITO（インジウム・ティン・オキサイド）等の透明な導電材料により共通電極ET及び接続部13が形成されている。共通電極ETはマトリクス状に設けられている。共通電極ETは、コンタクトホールを介して第2電極7に電氣的に接続されている。接続部13は、コンタクトホール11hに共通電極ETと同一の材料で形成され、ドレイン電極WDに電氣的に接続されている。ここでは、接続部13は、コンタクトホール11h全体に重なって形成されている。すなわち、ドレイン電極WDのコンタクトホール11hによって露出した部分は、接続部13で覆われている。

10

【0033】

第1絶縁層11、共通電極ET及び接続部13上には、第2絶縁層14が形成されている。第2絶縁層14は、接続部13に重なった他のコンタクトホール14hを有している。

【0034】

第2絶縁層14上には、ITO等の透明な導電材料により画素電極EPが形成されている。画素電極EPは、マトリクス状に設けられている。画素電極EPは、共通電極ETと対向し、コンタクトホール14hを介して接続部13に電氣的に接続されている。第2絶縁層14及び画素電極EP上には、配向膜22が成膜されている。

【0035】

20

続いて、上記アレイ基板の画素PXの製造方法について説明する。

まず、絶縁基板20を用意する。用意した絶縁基板20上には、CVD（Chemical Vapor Deposition）法により、アンダーコート絶縁膜1及びアモルファスシリコンからなる膜厚30乃至100nmの半導体膜を順に成膜する。成膜された半導体膜は、エキシマレーザーアニール（ELA）により瞬時加熱が行われ、多結晶化され、さらに、PEP（Photo Engraving Process）によりパターンニングされる。これによりポリシリコンからなる半導体層SCが形成される。

【0036】

続いて、アンダーコート絶縁膜1及び半導体層SC上に、TEOS（Tetra Ethyl Ortho Silicate）を原料としたプラズマCVD法によりSiO_xからなる膜厚100nm程度のゲート絶縁膜2が成膜される。

30

【0037】

ゲート絶縁膜2を成膜した後、ゲート絶縁膜上にMoWからなる導電膜を成膜し、さらにPEPによりパターンニングして、MoWからなるゲート電極WG、走査線Y及び第1電極3を形成する。次いで、ゲート電極WGをマスクとしたイオンドーピング法により半導体層SCに不純物を注入し、半導体層SCにソース領域RS及びドレイン領域RDを形成する。なお、不純物を注入する際、ボロンを例えば、 10^{15} 乃至 $10^{16}/\text{cm}^2$ 程度注入する。

【0038】

続いて、ゲート絶縁膜2、ゲート電極WG、走査線Y及び第1電極3上に、プラズマCVD法により、SiN_xからなる第1層間絶縁膜4を成膜する。その後、第1層間絶縁膜4上に、プラズマCVD法によりSiO_xからなる第2層間絶縁膜5を成膜する。これにより、層間絶縁膜6が成膜される。

40

【0039】

次いで、成膜およびPEPを繰り返す等、通常の製造工程によりゲート絶縁膜2及び層間絶縁膜6の複数個所をエッチングし、半導体層SCのソース領域RS及びドレイン領域RD並びに第1電極3上にそれぞれコンタクトホールを形成する。コンタクトホールを形成した後、MAMからなる信号線X、ソース電極WS、ドレイン電極WD及び第2電極7を形成する。

【0040】

50

続いて、層間絶縁膜 6、スイッチング素子 W、信号線 X 及び第 2 電極 7 上に、コンタクトホールを有した第 1 絶縁層 1 1 を形成する。

【0041】

その後、コンタクトホールを含み第 1 絶縁層 1 1 上に、例えば ITO をスパッタリング法により堆積する。次いで、所定のマスクを用い、堆積された ITO 膜を PEP によりパターン化する。これにより、第 1 絶縁層 1 1 上に、共通電極 ET 及び接続部 1 3 が同一材料で同時に形成される。そして、接続部 1 3 は、コンタクトホール 1 1 h を介してドレイン電極 WD に電氣的に接続される。

【0042】

続いて、第 1 絶縁層 1 1、共通電極 ET 及び接続部 1 3 上に、コンタクトホール 1 4 h を有した第 2 絶縁層 1 4 を形成する。次いで、第 2 絶縁層 1 4 上に、例えば ITO をスパッタリング法により堆積する。次いで、所定のマスクを用い、堆積された ITO 膜を PEP によりパターン化する。これにより、第 2 絶縁層 1 4 上に、画素電極 EP が形成される。画素電極 EP は、コンタクトホール 1 4 h を介して接続部 1 3 に接続される。

【0043】

その後、第 2 絶縁層 1 4 及び画素電極 EP 上に、配向膜 2 2 を形成する。これにより、アレイ基板 AR の画素 PX が完成する。

【0044】

以上のように構成された液晶表示装置によれば、画素電極 EP をドレイン電極 WD に電氣的に接続させる際、接続部 1 3 を介して接続している。より詳しくは、コンタクトホール 1 1 h に接続部 1 3 を形成した後、コンタクトホール 1 4 h を形成し、コンタクトホール 1 4 h を介して画素電極 EP をドレイン電極 WD に電氣的に接続させている。

【0045】

上記コンタクトホール 1 1 h 及びコンタクトホール 1 4 h の内部への第 2 絶縁層 1 4 の残渣の入り込み（ドレイン電極 WD 上への上記残渣の付着）を防止することができるため、画素電極 EP とドレイン電極 WD との接続不良を防止することができる。

【0046】

また、接続部 1 3 がコンタクトホール 1 1 h のドレイン電極 WD の露出部分に重ねられていることにより、コンタクトホール 1 4 h を形成するエッチングの際に、接続部 1 3 の金属によってドレイン電極 WD の表面を保護することができる。これにより画素電極 EP とドレイン電極 WD の接続不良を防止することが出来る。

【0047】

更に、接続部 1 3 を形成する際、共通電極 ET と同一の材料で同時に形成することができる。このため、製造工程及び製造コストの増大を防止することができる。

上記したことから、表示品位に優れ、製品歩留まりの高い液晶表示パネル及び液晶表示パネルを備えた液晶表示装置を得ることができる。

【0048】

なお、この発明は上記実施の形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化可能である。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。

【0049】

例えば、図 5 に示すように、接続部 1 3 はコンタクトホール 1 1 h 全体に重なって形成されていなくとも良い。接続部 1 3 は、コンタクトホール 1 1 h 内部に位置し、ドレイン電極 WD 上に形成されていれば上述した効果を得ることができる。

【0050】

液晶表示パネルが COA (color filter on array) 構造を採用する場合、第 1 絶縁層 1 1 をカラーフィルタ層で形成すれば良い。スイッチング素子 W は、W ゲート構造を採用していても良い。

この発明は、液晶表示パネル及び液晶表示パネルを備えた液晶表示装置に限定されるも

10

20

30

40

50

のではなく、第1導電部(ドレイン電極WD)と、第1絶縁層11と、接続部13と、第2絶縁層14と、第2導電部(画素電極EP)とを備えた多層配線基板であれば適用することができる。

【図面の簡単な説明】

【0051】

【図1】この発明の実施の形態に係る液晶表示パネルを備えた液晶表示装置の構成を概略的に示す図。

【図2】上記液晶表示パネルの1画素を概略的に示す平面図であり、特に、画素電極及び共通電極の構造を概略的に示す図。

【図3】上記液晶表示パネルの断面構造を概略的に示す図。

【図4】上記液晶表示パネルのアレイ基板の断面構造を概略的に示す図。

【図5】上記アレイ基板の変形例を示す図であり、特に、アレイ基板の接続部の変形例を示す図。

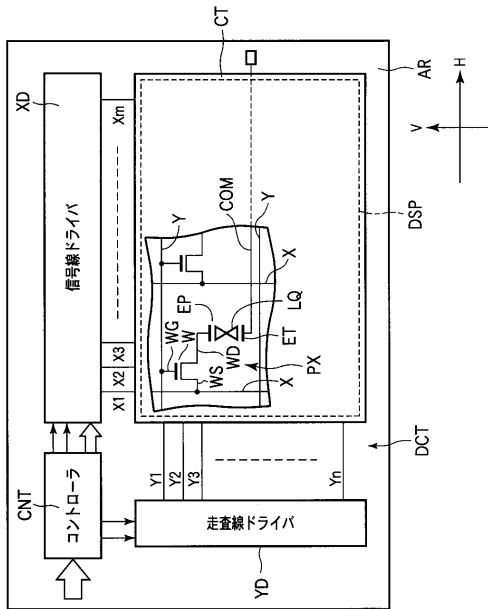
【符号の説明】

【0052】

1...アンダーコート絶縁膜、2...ゲート絶縁膜、4...第1層間絶縁膜、5...第2層間絶縁膜、6...層間絶縁膜、11...第1絶縁層、11h...コンタクトホール、13...接続部、14...第2絶縁層、14h...コンタクトホール、20...絶縁基板、22...配向膜、30...絶縁基板、32...ブラックマトリクス、34...カラーフィルタ層、36...配向膜、LPN...液晶表示パネル、AR...アレイ基板、CT...対向基板、LQ...液晶層、Y...走査線、X...信号線、W...スイッチング素子、SC...半導体層、RS...ソース領域、RD...ドレイン領域、WG...ゲート電極、WS...ソース電極、WD...ドレイン電極、ET...共通電極、EP...画素電極。

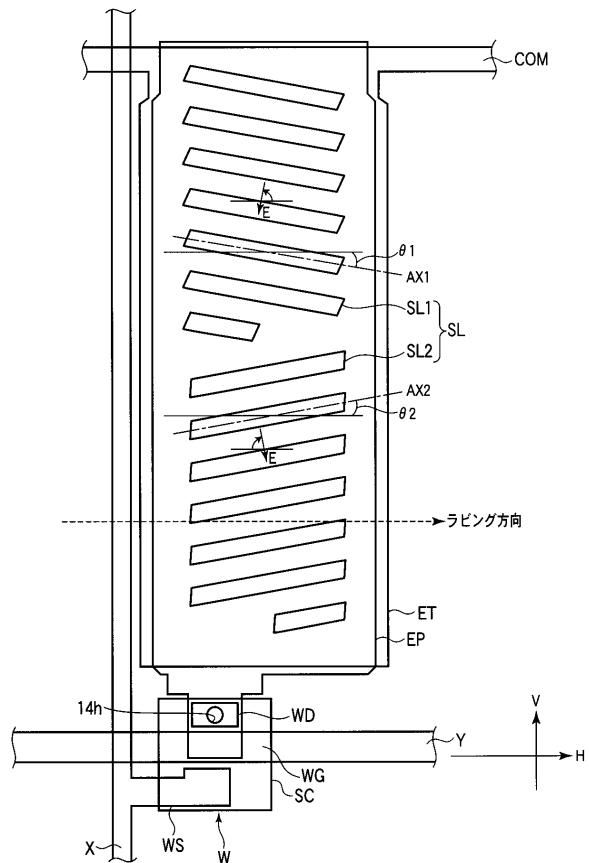
【図1】

図1



【図2】

図2

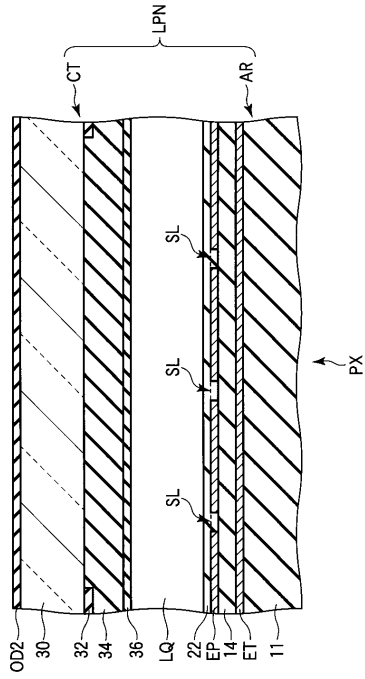


10

20

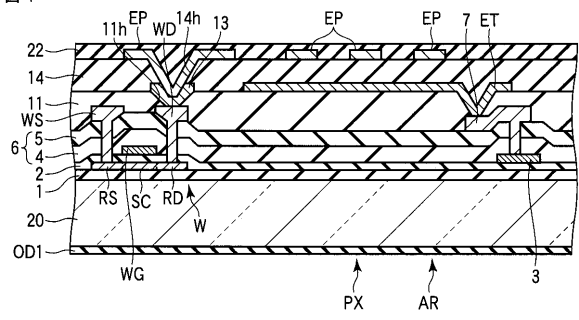
【 図 3 】

図 3



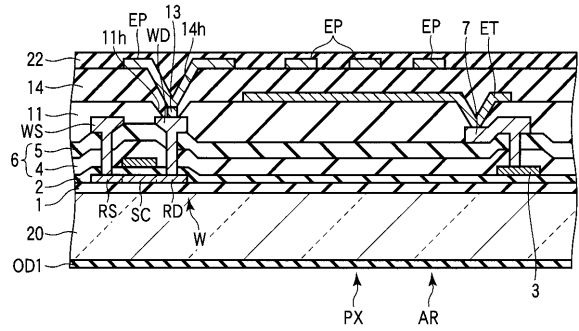
【 図 4 】

図 4



【 図 5 】

図 5



フロントページの続き

- (74)代理人 100095441
 弁理士 白根 俊郎
- (74)代理人 100084618
 弁理士 村松 貞男
- (74)代理人 100103034
 弁理士 野河 信久
- (74)代理人 100119976
 弁理士 幸長 保次郎
- (74)代理人 100153051
 弁理士 河野 直樹
- (74)代理人 100140176
 弁理士 砂川 克
- (74)代理人 100100952
 弁理士 風間 鉄也
- (74)代理人 100101812
 弁理士 勝村 紘
- (74)代理人 100070437
 弁理士 河井 将次
- (74)代理人 100124394
 弁理士 佐藤 立志
- (74)代理人 100112807
 弁理士 岡田 貴志
- (74)代理人 100111073
 弁理士 堀内 美保子
- (74)代理人 100134290
 弁理士 竹内 将訓
- (74)代理人 100127144
 弁理士 市原 卓三
- (74)代理人 100141933
 弁理士 山下 元
- (72)発明者 二ノ宮 利博
 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 柿沼 宣久
 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 堤 純誠
 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- F ターム(参考) 2H092 GA11 HA04 JA24 JA34 JA37 JA41 JA46 JB11 JB22 JB31
 JB52 JB56 JB57 MA17 NA01 NA29 PA01 PA02 PA08
 5F110 AA26 BB01 CC02 DD02 DD03 DD11 EE06 FF02 FF30 GG02
 GG13 GG25 GG44 HJ01 HJ04 HJ12 HL04 HL06 HL12 HM19
 NN03 NN23 NN24 NN35 NN72 PP03 QQ11

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示面板 | | |
| 公开(公告)号 | JP2010014975A | 公开(公告)日 | 2010-01-21 |
| 申请号 | JP2008174895 | 申请日 | 2008-07-03 |
| [标]申请(专利权)人(译) | 东芝移动显示器有限公司 | | |
| 申请(专利权)人(译) | 东芝移动显示器有限公司 | | |
| [标]发明人 | 二ノ宮利博 柿沼宣久 堤純誠 | | |
| 发明人 | 二ノ宮 利博 柿沼 宣久 堤 純誠 | | |
| IPC分类号 | G02F1/1368 H01L29/786 | | |
| CPC分类号 | G02F1/136227 G02F1/136259 G02F2001/134372 | | |
| FI分类号 | G02F1/1368 H01L29/78.612.A G02F1/1343 | | |
| F-TERM分类号 | 2H092/GA11 2H092/HA04 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB11 2H092/JB22 2H092/JB31 2H092/JB52 2H092/JB56 2H092/JB57 2H092/MA17 2H092/NA01 2H092/NA29 2H092/PA01 2H092/PA02 2H092/PA08 5F110/AA26 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD03 5F110/DD11 5F110/EE06 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG44 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HM19 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/PP03 5F110/QQ11 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BC42 2H192/CB02 2H192/CC04 2H192/CC72 2H192/EA22 2H192/EA42 2H192/EA43 2H192/EA56 2H192/FB02 2H192/GA01 2H192/HA36 2H192/JA33 | | |
| 代理人(译) | 河野 哲 中村诚 河野直树 冈田隆 山下 元 | | |
| 其他公开文献 | JP5408914B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

具有优异的显示质量和高的成品率的液晶显示面板。液晶显示面板包括第一基板，第二基板和液晶层。第一基板形成有扫描线，信号线，开关元件W，具有与开关元件重叠的接触孔11h的第一绝缘层11，公共电极ET和接触孔，从而使开关元件电连接的连接部分13，第二绝缘层14具有与连接部分重叠的另一个接触孔14h，并且像素电极EP通过另一个接触孔电连接到连接部分 并配备。[选择图]图4

图 4

