

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-128900

(P2009-128900A)

(43) 公開日 平成21年6月11日(2009.6.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 642C	5C080
	G09G 3/20 621B	
	G09G 3/20 612F	
審査請求 未請求 請求項の数 9 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2008-122342 (P2008-122342)
(22) 出願日 平成20年5月8日 (2008.5.8)
(31) 優先権主張番号 10-2007-0121092
(32) 優先日 平成19年11月26日 (2007.11.26)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
三星電子株式会社
SAMSUNG ELECTRONICS
CO., LTD.
大韓民国京畿道水原市靈通区梅灘洞 416
416, Maetan-dong, Yeongtong-gu, Suwon-si,
Gyeonggi-do 442-742
(KR)

(74) 代理人 110000671

八田国際特許業務法人

(72) 発明者 梁 英 ▲てつ▼

大韓民国京畿道城南市盆唐区亭子洞 ハン
ソルマウル住公6団地アパート610棟1
104号

最終頁に続く

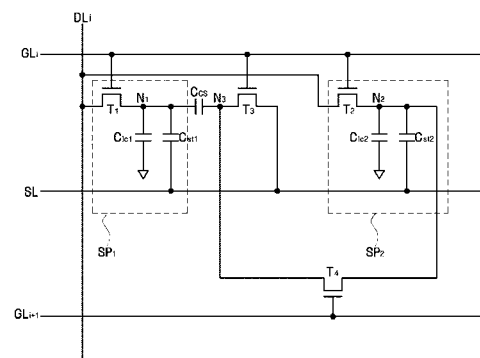
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】側面の視認性を高めつつ、輝度減少を防止できる液晶表示装置を提供する。

【解決手段】液晶表示装置は、所定の間隔をおいて配置され順次にゲート電圧が印加される第1および第2ゲート線 (GLi, GLi+1) と、第1および第2ゲート線と交差しデータ電圧が印加される複数のデータ線 (DLj) と、一つの画素内に位置して互いに電氣的に分離された第1および第2副画素電極で形成された画素電極と、第1ゲート線、データ線、および第1副画素電極に接続される第1スイッチング素子 (T1) と、第1ゲート線、データ線、および第2副画素電極に接続される第2スイッチング素子 (T2) と、第1および第2副画素電極の間で電荷を分配するための電荷分配キャパシタ (CCS) と、電荷分配キャパシタを介して第1副画素電極と接続される第3スイッチング素子 (T3) と、第2ゲート線および第2副画素電極に接続され、電荷分配キャパシタを介して第1副画素電極に接続される第4スイッチング素子 (T4) と、を含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

所定の間隔をおいて配置され順次にゲート電圧が印加される第 1 および第 2 ゲート線と、
、
前記第 1 および第 2 ゲート線と交差しデータ電圧が印加される複数のデータ線と、
一つの画素内に位置して互いに電氣的に分離された第 1 および第 2 副画素電極から成る画素電極と、
前記第 1 ゲート線、前記データ線、および前記第 1 副画素電極に接続される第 1 スイッチング素子と、
前記第 1 ゲート線、前記データ線、および前記第 2 副画素電極に接続される第 2 スイッチング素子と、
前記第 1 および第 2 副画素電極の間で電荷を分配するための電荷分配キャパシタと、
前記電荷分配キャパシタを介して前記第 1 副画素電極と接続される第 3 スイッチング素子と、
前記第 2 ゲート線および前記第 2 副画素電極に接続され、前記電荷分配キャパシタを介して前記第 1 副画素電極に接続される第 4 スイッチング素子と、を含む、液晶表示装置。

10

【請求項 2】

前記第 1 および第 2 ゲート線と所定の間隔をおいて配置され、共通電圧が印加されるストレージラインをさらに含み、
前記第 3 スイッチング素子は、前記第 1 ゲート線に接続される制御端子と、前記電荷分配キャパシタに接続される出力端子と、前記ストレージラインに接続される入力端子と、を含む、請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 3 スイッチング素子の入力端子は、前記ストレージラインに直接接続される、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 ゲート線にゲートオン電圧が印加されるとき、前記電荷分配キャパシタには前記データ電圧と前記共通電圧の差に相当する電圧が充電される、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 3 スイッチング素子の入力端子は、補助キャパシタを介して前記ストレージラインに接続される、請求項 2 に記載の液晶表示装置。

30

【請求項 6】

前記データ線と所定間隔をおいて配置され、所定の電荷分配用電圧を印加する電荷分配用配線をさらに含み、

前記第 3 スイッチング素子は、前記第 1 ゲート線に接続される制御端子と、前記電荷分配キャパシタに接続される出力端子と、前記電荷分配用配線に接続される入力端子と、を含む、請求項 1 に記載の液晶表示装置。

【請求項 7】

前記電荷分配用電圧の極性は、前記データ電圧の極性と反対である、請求項 6 に記載の液晶表示装置。

40

【請求項 8】

前記第 1 および第 2 副画素電極の画素電圧の間に電荷分配が起きた後、前記第 1 副画素電極の画素電圧および前記第 2 副画素電極の画素電圧が前記データ電圧より高くなる、請求項 6 に記載の液晶表示装置。

【請求項 9】

前記第 1 スイッチング素子に並列に接続する第 1 液晶キャパシタおよび第 1 ストレージキャパシタと、前記第 2 スイッチング素子に並列に接続する第 2 液晶キャパシタと、第 2 ストレージキャパシタと、をさらに含み、

前記データ電圧および前記電荷分配用電圧は、

50

【数 1】

$$\frac{|V_m|}{|V_p|} \geq \frac{C_h}{2C_b + C_h}$$

を満足する、請求項 8 に記載の液晶表示装置。

(ここで、 V_p はデータ電圧であり、 V_m は電荷分配用電圧であり、 C_h は第 1 液晶キャパシタと第 1 ストレージキャパシタのキャパシタンスの和であり、 C_b は電荷分配キャパシタのキャパシタンスである。)

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明はディスプレイ装置に関するものであって、さらに詳細には液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置は、現在最も広く使用されている平板表示装置のうちの一つであって、画素電極と、共通電極などの電界生成電極が形成されている 2 枚の表示板と、その間に挿入される液晶層とからなり、電界生成電極に電圧を印加し、液晶層に電界を生成して液晶層の液晶分子の配向を決定し、入射光の偏光を制御することによって映像を表示する。

【0003】

20

また、電界が印加されてない状態で、液晶分子の長軸を上下表示板に対して垂直となるように配列した垂直配向モード液晶表示装置は、コントラスト比が大きく、広い基準視野角の具現が容易であるため注目を浴びている。ここで、基準視野角とは、コントラスト比が 10 : 1 である視野角または階調間の輝度反転の限界角度を意味する。

【0004】

垂直配向モード液晶表示装置において、広い視野角を具現するための手段としては、電界生成電極に切開部を形成する方法、電界生成電極の上に突起を形成する方法などがある。切開部および／または突起で液晶分子が傾く方向を決定することができるため、これらを使用して液晶分子の傾斜方向を様々な方向に分散させることによって基準視野角を広めることができる。

30

【0005】

従来の垂直配向方式の液晶表示装置は、正面の視認性に比べて側面の視認性が劣るという問題点がある。例えば、切開部が具備された PVA (patterned vertically aligned) 方式液晶表示装置の場合には、側面に行くほど映像が明るくなり、酷い場合には高い階調間の輝度の差がなくなって画像が歪んで見えることもある。

【特許文献 1】韓国公開特許 2005-060730 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

40

本発明が解決しようとする課題は、側面の視認性を高めつつ、輝度減少を防止できる液晶表示装置を提供することである。

【0007】

本発明が解決しようとする課題は、上で言及した課題に制限されない。また、言及されていない他の課題は、以下の記載から当業者に明確に理解されるであろう。

【課題を解決するための手段】

【0008】

前記課題を達成するための本発明の一実施形態による液晶表示装置は、所定の間隔において配置され順次にゲート電圧が印加される第 1 および第 2 ゲート線と、前記第 1 および第 2 ゲート線と交差しデータ電圧が印加される複数のデータ線と、一つの画素内に位置し

50

て互いに電氣的に分離された第1および第2副画素電極から成る画素電極と、前記第1ゲート線、前記データ線、および前記第1副画素電極に接続される第1スイッチング素子と、前記第1ゲート線、前記データ線、および前記第2副画素電極に接続される第2スイッチング素子と、前記第1および第2副画素電極の間に電荷を分配するための電荷分配キャパシタと、電荷分配キャパシタを介して前記第1副画素電極と接続される第3スイッチング素子と、前記第2ゲート線および前記第2副画素電極に接続され、前記電荷分配キャパシタを介して前記第1副画素電極に接続される第4スイッチング素子と、を含む。

【0009】

その他の実施形態の具体的な事項は、詳細な説明および図面に含まれる。

【発明の効果】

10

【0010】

前述したように、本発明による液晶表示装置によれば、一つの画素電極を一对の副画素電極に分割した後、電荷分配 (charge sharing) することによって、各副画素電極の画素電圧に差を生じさせ、側面の視認性を高めることができる。また、電荷分配を起こす電荷分配キャパシタの一端にスイッチング素子を連結することにより、一对の副画素電極の画素電圧の差が大きくなり、側面の視認性をさらに向上させることが可能である。また、前記スイッチング素子は、データ電圧より画素電圧が過度に減少することを防止することによって、電荷分配にともなう輝度減少を抑制することができる。

【発明を実施するための最良の形態】

【0011】

20

本発明の利点、特徴、およびそれらを達成する方法は、添付される図面と共に詳細に後述される実施形態を参照すれば明確になるであろう。しかし、本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で具現されることが可能である。本実施形態は、単に本発明の開示が完全になるように、本発明が属する技術分野で通常の知識を有する者に対して発明の範疇を完全に知らせるために提供されるものであり、本発明は、請求項の範疇によってのみ定義される。なお、明細書全体にかけて、同一の参照符号は同一の構成要素を指すものとする。

【0012】

一つの素子 (elements) が、他の素子と「接続された (connected to)」または「カップリングされた (coupled to)」と参照されるときは、他の素子と直接連結またはカップリングされた場合、あるいは中間に他の素子を介在させた場合のすべてを含む。これに対し、一つの素子が異なる素子と「直接接続された (directly connected to)」または「直接カップリングされた (directly coupled to)」と参照されるときは、間に他の素子を介在させないことを表わす。明細書全体にかけて、同一の参照符号は、同一の構成要素を参照する。

30

「および／または」は、言及されたアイテムの各々および一つ以上のすべての組合せを含む。

【0013】

第1、第2等が、多様な素子、構成要素および／またはセクションを説明するために使用される。しかしながら、これら素子、構成要素および／またはセクションは、これらの用語によって制限されないことはもちろんである。これらの用語は単に一つの素子、構成要素、またはセクションを他の素子、構成要素、またはセクションと区別するために使用されるものである。したがって、以下で言及される第1素子、第1構成要素、または第1セクションは、本発明の技術的思想内で第2素子、第2構成要素、または第2セクションであり得ることはもちろんである。

40

【0014】

本明細書で使用された用語は、実施形態を説明するためであり、本発明を制限しようとするものではない。本明細書において単数形は、文言で特別に言及しない限り、複数形をも含む。明細書で使用する「含む (comprises)」および／または「含む (comprising)」は、言及した構成要素、段階、動作、および／または素子は、一

50

つ以上の他の構成要素、段階、動作、および／または素子の存在または追加を排除しない。

【0015】

他に定義されなければ、本明細書で使用されるすべての用語（技術および科学的用語を含む）は、本発明が属する技術分野で通常の知識を有する者に共通に理解され得る意味において使用されるものである。また、一般的に使用される辞典に定義されている用語は、明確に特別に定義されていない限り理想的にまたは過度に解釈されない。

【0016】

以下、図1ないし図3を参照して本発明の第1実施形態による液晶表示装置について説明する。図1は、本発明の第1実施形態による液晶表示装置のブロック図である。図2は、本発明の第1実施形態による液晶表示装置の一つの画素を表す回路図である。図3は、本発明の第1実施形態による液晶表示装置において、データ電圧と画素電圧との関係を表したグラフである。

10

【0017】

図1を参照すれば、本発明の第1実施形態による液晶表示装置は、液晶パネルアッセンブリ（liquid crystal panel assembly）300と、これに連結されたゲート駆動部400およびデータ駆動部500と、データ駆動部500に連結された階調電圧生成部800と、これらを制御する信号制御部600と、を含む。

【0018】

液晶パネルアッセンブリ300は、等価回路として見るとき、複数の表示信号線と、これに連結され、概ね行列の形態で配列された複数の画素（PX）と、を含む。ここで、液晶パネルアッセンブリ300は、互いに対向する下部表示板および上部表示板と、これらの間に介在した液晶層と、を含む。

20

【0019】

表示信号線は、下部表示板に具備されており、ゲート信号を印加する複数のゲート線（G1-Gn）と、データ信号を印加する複数のデータ線（D1-Dm）を含む。ゲート線（G1-Gn）は、概ね行方向にのびており、互いにほぼ平行に配置される。データ線（D1-Dm）は、概ね列方向にのびており、互いにほぼ平行に配置される。

【0020】

各画素（PX）は、対応するゲート線（G1-Gn）およびデータ線（D1-Dm）に連結されているスイッチング素子と、これに連結された液晶キャパシタ（liquid crystal capacitor）を含む。ここで、必要であればスイッチング素子にストレージキャパシタ（storage capacitor）を、液晶キャパシタと並列に連結することができる。

30

【0021】

ここで、各画素（PX）のスイッチング素子は、薄膜トランジスタなどで形成され、各々対応するゲート線（G1-Gn）に連結されている制御端子と、データ線（D1-Dm）に連結されている入力端子と、液晶キャパシタに連結されている出力端子と、を有する三端子素子である。

【0022】

ゲート駆動部400は、ゲート線（G1-Gn）に連結されて外部からハイレベルのゲート信号（これをゲートオン電圧（Von）という）とローレベルのゲート信号（これをゲートオフ電圧（Voff）という）との組合からなるゲート信号をゲート線（G1-Gn）に印加する。図1に示されるゲート駆動部400は、液晶パネルアッセンブリ300の一侧に位置し、すべてのゲート線（G1-Gn）に連結されている。ただし、本発明はこれに限定されず、一対のゲート駆動部が、各々液晶パネルアッセンブリ300の左右に位置し、各ゲート線（G1-Gn）に同時に連結され得る。例えば、大型液晶表示装置の場合において、一つのゲート駆動部だけではゲート線（G1-Gn）の最後までゲートオン電圧（Von）またはゲートオフ電圧（Voff）を十分に伝達しにくいと、このようない対のゲート駆動部を各ゲート線（G1-Gn）の両側に連結することができる。ま

40

50

た、このようなゲート駆動部 400 は、液晶パネルアッセンブリ 300 の下部表示板上に少なくとも一つの薄膜トランジスタからなる集積回路形態で内蔵され得る。

【0023】

階調電圧生成部 (gray voltage generator) 800 は、画素の透過率と関連した階調電圧を生成する。階調電圧は、各画素に提供され、共通電圧 (Vcom) に対して正の値を有するものと、負の値を有するものとを含む。

【0024】

データ駆動部 500 は、液晶パネルアッセンブリ 300 のデータ線 (D1-Dm) に連結され、階調電圧生成部 800 からの階調電圧、すなわちデータ電圧を画素に印加する。ここで、階調電圧生成部 800 が、すべての階調に対する電圧を提供するわけではなく、基本階調電圧だけを提供する場合、データ駆動部 500 は、基本階調電圧を分圧して全体階調に対する階調電圧を生成してこれのうちからデータ電圧を選択することができる。

【0025】

ゲート駆動部 400 またはデータ駆動部 500 は、表示信号線 (G1-Gn、D1-Dm) と薄膜トランジスタなどと共に、液晶パネルアッセンブリ 300 に集積され得る。これとは異なり、ゲート駆動部 400 またはデータ駆動部 500 は、可撓性印刷回路フィルム (flexible printed circuit film) (不図示) の上に装着されてテープキャリアパッケージ (tape carrier package) の形態で液晶パネルアッセンブリ 300 に装着することもできる。

【0026】

信号制御部 600 は、ゲート駆動部 400、データ駆動部 500 等の動作を制御する。

【0027】

信号制御部 600 は、外部のグラフィック制御器 (不図示) からの入力映像信号 (R、G、B)、これらの表示を制御する入力制御信号、例えば垂直同期信号 (Vsync) および水平同期信号 (Hsync)、メインクロック (MCLK)、データイネイブル信号 (DE) 等を提供される。信号制御部 600 の入力映像信号 (R、G、B) と入力制御信号に基づいて、映像信号 (R、G、B) を液晶パネルアッセンブリ 300 の動作条件に合うように適切に処理する。それから、ゲート制御信号 (CONT1)、データ制御信号 (CONT2) 等を生成した後、ゲート制御信号 (CONT1) をゲート駆動部 400 に送り出し、データ制御信号 (CONT2) と処理された映像信号 (DAT) とをデータ駆動部 500 に送り出す。

【0028】

ゲート制御信号 (CONT1) は、ゲート駆動部 400 の動作の開始、すなわち走査開始を指示する走査開始信号 (STV) と、ゲートオン電圧 (Von) の出力時間を制御する少なくとも一つのクロック信号とを含む。ゲート制御信号 (CONT1) は、またゲートオン電圧 (Von) の持続時間を限定する出力イネイブル信号 (OE) を含むことができる。ここで、クロック信号は、選択信号 (SE) として使用され得る。

【0029】

データ制御信号 (CONT2) は、一行の画素 (PX) に対するデータの送信を知らせる水平同期開始信号 (STH) と、データ線 (D1-Dm) に対応データ電圧を印加するためのロード信号 (LOAD) と、データクロック信号 (HCLK) とを含む。また、データ制御信号 (CONT2) は、共通電圧 (Vcom) に対するデータ電圧の極性 (以下、「共通電圧に対するデータ電圧の極性」を縮めて「データ電圧の極性」と称する) を反転させる反転信号 (RVS) を含む得る。

【0030】

信号制御部 600 からのデータ制御信号 (CONT2) によって、データ駆動部 500 は、画素 (PX) に対する映像データ (DAT) を受信し、階調電圧生成部 800 からの映像データ (DAT) に対応する階調電圧を選択することによって、映像データ (DAT) を対応するデータ電圧に変換した後、これに対応するデータ線 (D1-Dm) に印加する。

【0031】

ゲート駆動部400は、信号制御部600からのゲート制御信号(CONT1)によってゲートオン電圧(Von)をゲート線(G1-Gn)に印加し、このゲート線(G1-Gn)に連結されたスイッチング素子をターンオンする。これによって、データ線(D1-Dm)に印加されたデータ電圧が、ターンオンされたスイッチング素子をとおして対応する画素(PX)に印加される。

【0032】

各画素(PX)に印加されたデータ電圧と、共通電圧(Vcom)との差は、液晶キャパシタの充電電圧、すなわち画素電圧として表れる。液晶分子は、画素電圧の大きさによってその配列を異にし、それに伴い液晶層を通過する光の偏光が変化する。これは、光の透過率変化として表れる。

【0033】

本発明の第1実施形態による液晶表示装置は、画素(PX)を形成する一对の副画素に同一のデータ電圧を供給した後、隣接するゲート線にゲートオン電圧(Von)が印加される時、前記一对の副画素のうち何れか一つの副画素に充電されたデータ電圧を電荷分配(charge sharing)方式によって低下させる。このように、一对の副画素に互いに異なるデータ電圧が充電されるため、一つの画素(PX)のガンマ曲線は、一对の副画素のガンマ曲線から合成されることになる。電荷分配によって各副画素に充電されるデータ電圧を決定する時には、正面での合成ガンマ曲線が、正面での基準ガンマ曲線に近くなるようにし、側面での合成ガンマ曲線が、正面での基準ガンマ曲線に最も近くなるようにすることによって、側面の視認性を向上させることができる。

【0034】

図2を参照すれば、本発明の第1実施形態による液晶表示装置は、ゲート電圧が印加される複数のゲート線(GLi、GLi+1)と、ゲート線(GLi、GLi+1)に交差して形成され、データ電圧が印加される複数のデータ線(DLj)とを含む。

【0035】

各画素は、第1副画素(SP1)と第2副画素(SP2)とで形成される。第1副画素(SP1)は、第1スイッチング素子(T1)、第1液晶キャパシタ(Clc1)および第1ストレージキャパシタ(Cst1)を含み、第2副画素(SP2)は、第2スイッチング素子(T2)、第2液晶キャパシタ(Clc2)および第2ストレージキャパシタ(Cst2)を含む。

【0036】

第iゲート線(GLi)と第jデータ線(DLj)とが交差する地点に、第1スイッチング素子(T1)および第2スイッチング素子(T2)が形成され、第iゲート線(GLi)に連結された第3スイッチング素子(T3)が形成され、第i+1ゲート線(GLi+1)に連結された第4スイッチング素子(T4)が形成される。ここで、第1スイッチング素子(T1)、第2スイッチング素子(T2)、第3スイッチング素子(T3)および第4スイッチング素子(T4)は、薄膜トランジスタから形成され得る。

【0037】

第1スイッチング素子(T1)は、第iゲート線(GLi)に接続された制御端子と、第jデータ線(DLj)に接続された入力端子と、第1液晶キャパシタ(Clc1)および第1ストレージキャパシタ(Cst1)に接続された出力端子とを含む。第2スイッチング素子(T2)は、第iゲート線(GLi)に接続された制御端子と、第jデータ線(DLj)に接続された入力端子と、第2液晶キャパシタ(Clc2)および第2ストレージキャパシタ(Cst2)に接続された出力端子とを含む。第3スイッチング素子(T3)は、第iゲート線(GLi)に接続された制御端子と、電荷分配キャパシタ(Ccs)を介して第1スイッチング素子(T1)の出力端子と接続された出力端子と、ストレージライン(SL)に接続された入力端子とを含む。さらに具体的に、第3スイッチング素子(T3)の入力端子は、ストレージライン(SL)に直接接続されている。第4スイッチング素子(T4)は、第i+1ゲート線(GLi+1)に接続された制御端子と、第2ス

スイッチング素子 (T 2) の出力端子に接続された入力端子と、第 3 スwitchング素子 (T 3) の出力端子と接続された出力端子とを含む。したがって、第 4 スwitchング素子 (T 4) の出力端子は、電荷分配キャパシタ (C c s) を介し第 1 スwitchング素子 (T 1) の出力端子と接続されている。

【0038】

このような構造の下部表示板を構成する画素毎に、第 1 スwitchング素子 (T 1) の出力端子に接続された第 1 副画素電極と、第 2 スwitchング素子 (T 2) の出力端子に接続された第 2 副画素電極からなる画素電極とが形成されている。そして、下部表示板に対向する上部表示板には共通電極が形成されている。

【0039】

第 1 液晶キャパシタ (C l c 1) は、第 1 スwitchング素子 (T 1) に接続された第 1 副画素電極と、共通電極と、これらの間に介在された液晶物質とからなる。第 1 ストレージキャパシタ (C s t 1) は、第 1 副画素電極と、下部表示板に形成されたストレージライン (S L) と、これらの間に介在した誘電物質とからなる。

【0040】

第 2 液晶キャパシタ (C l c 2) は、第 2 スwitchング素子 (T 2) に接続された第 2 副画素電極と、共通電極と、これらの間に介在された液晶物質とからなる。第 2 ストレージキャパシタ (C s t 2) は、第 2 副画素電極と、下部表示板に形成されたストレージライン (S L) と、これらの間に介在された誘電物質とからなる。

【0041】

電荷分配キャパシタ (C c s) は、第 1 スwitchング素子 (T 1) の出力端子と、第 3 スwitchング素子の出力端子と、これらの間に介在した誘電物質とからなる。電荷分配キャパシタ (C c s) および第 3 スwitchング素子 (T 3) は、第 2 液晶キャパシタ (C l c 2) に充電された画素電圧を下げ、第 1 液晶キャパシタ (C l c 1) に充電された画素電圧を上げる役割を担う。

【0042】

第 1 ストレージキャパシタ (C s t 1) および第 2 ストレージキャパシタ (C s t 2) は、各々第 1 液晶キャパシタ (C l c 1) および第 2 液晶キャパシタ (C l c 2) に充電された画素電圧を維持する役割を担う。ストレージライン (S L) には、固定電圧、例えば共通電圧 (V c o m) が印加され得る。

【0043】

第 i ゲート線 (G L i) にゲートオン電圧 (V o n) が印加されると、第 1 スwitchング素子 (T 1) および第 2 スwitchング素子 (T 2) をととして第 i 行 (r o w) に位置する第 1 副画素電極および第 2 副画素電極に同一のデータ電圧が伝達される。すなわち、第 i ゲート線 (G L i) に連結された第 1 液晶キャパシタ (C l c 1) および第 2 液晶キャパシタ (C l c 2) に同一のデータ電圧が充電される。このように、第 1 液晶キャパシタ (C l c 1) および第 2 液晶キャパシタ (C l c 2) に充電されたデータ電圧を画素電圧と称する。

【0044】

また、第 i ゲート線 (G L i) にゲートオン電圧 (V o n) が印加されると、第 3 スwitchング素子 (T 3) がターンオンされ、第 3 スwitchング素子 (T 3) の出力端子に共通電圧 (V c o m) が伝達される。したがって、電荷分配キャパシタ (C c s) には、データ電圧と共通電圧 (V c o m) の差に相当する電圧が充電される。

【0045】

続いて、第 i ゲート線 (G L i) にゲートオフ電圧 (O F F) が印加されると、第 1 副画素 (S P 1) と第 2 副画素 (S P 2) は、互いに電氣的に分離される。すなわち、第 1 副画素電極と第 2 副画素電極に各々同一のデータ電圧が印加された後、第 1 副画素電極と第 2 副画素電極は、フローティング (f l o a t i n g) 状態を維持する。

【0046】

第 i + 1 ゲート線 (G L i + 1) にゲートオン電圧 (V o n) が印加されると、第 i +

10

20

30

40

50

1 ゲート線 (GL_{i+1}) に連結された一対の第 1 スイッチング素子 (不図示) および第 2 スイッチング素子 (不図示) をととして第 i + 1 行に位置した一対の副画素電極に各々同一のデータ電圧が伝達される。

【0047】

また、第 i + 1 ゲート線 (GL_{i+1}) にゲートオン電圧 (V_{on}) が印加されると、第 4 スイッチング素子 (T₄) がターンオンされる。したがって、第 2 スイッチング素子 (T₂) に連結された第 2 副画素電極に保存されるデータ電圧が、第 4 スイッチング素子 (T₄) をととして電荷分配キャパシタ (C_{cs}) に分配される。これは、第 4 スイッチング素子 (T₄) の入力端子が第 2 スイッチング素子 (T₂) の出力端子に接続されており、第 4 スイッチング素子 (T₄) の出力端子が電荷分配キャパシタ (C_{cs}) に接続されているからである。したがって、第 i 行に位置する、第 1 スイッチング素子 (T₁) および第 2 スイッチング素子 (T₂) に各々連結された第 1 副画素電極および第 2 副画素電極に保存されるデータ電圧が互い異なる値を有するようになる。

【0048】

以下、電荷量保存法則を利用して第 1 副画素電極と第 2 副画素電極の画素電圧を具体的に検討する。ここで、第 1 ノード (N₁) は、第 1 スイッチング素子 (T₁) の出力端子と電荷分配キャパシタ (C_{cs}) の間のノードであり、第 2 ノード (N₂) は、第 2 スイッチング素子 (T₂) の出力端子と第 4 スイッチング素子 (T₄) の入力端子との間のノードであり、第 3 ノード (N₃) は、電荷分配キャパシタ (C_{cs}) と第 3 スイッチング素子 (T₃) の出力端子との間のノードである。また、第 3 ノード (N₃) は、電荷分配キャパシタ (C_{cs}) と第 4 スイッチング素子 (T₄) の出力端子との間のノードでもある。

【0049】

第 i ゲート線 (GL_i) にゲートオン電圧 (V_{on}) が印加されると、第 1 スイッチング素子 (T₁) および第 2 スイッチング素子 (T₂) がターンオンされ、第 1 ノード (N₁) および第 2 ノード (N₂) にデータ電圧 (V_d) が印加される。また、第 3 スイッチング素子 (T₃) がターンオンされることにより第 3 ノード (N₃) に共通電圧 (V_{com}) が印加される。以下、説明の便宜のため共通電圧 (V_{com}) を 0 V と仮定し、データ電圧 (V_d) を共通電圧 (V_{com}) に対する相対的な電圧とする。したがって、第 1 ノード (N₁)、第 2 ノード (N₂) および第 3 ノード (N₃) での各電圧は、V_d、V_d、0 となる。また、第 1 液晶キャパシタ (C_{lc1}) と第 1 ストレージキャパシタ (C_{st1}) のキャパシタンスの和を C_h と称し、第 2 液晶キャパシタ (C_{lc2}) と第 2 ストレージキャパシタ (C_{st2}) のキャパシタンスの和を C_l と称し、電荷分配キャパシタ (C_{cs}) のキャパシタンスを C_b と称する。

【0050】

この時第 1 液晶キャパシタ (C_{lc1}) および第 1 ストレージキャパシタ (C_{st1}) の電荷量 Q_h と、第 2 液晶キャパシタ (C_{lc2}) および第 2 ストレージキャパシタ (C_{st2}) の電荷量 Q_l と、電荷分配キャパシタ (C_{cs}) の電荷量 Q_b は次のとおりである。

【0051】

【数 1】

$$Q_h = C_h \times V_d$$

$$Q_l = C_l \times V_d$$

$$Q_b = C_b \times V_d$$

【0052】

続いて、第 i ゲート線 (GL_i) にゲートオフ電圧 (V_{off}) が印加され、第 i + 1 ゲート線 (GL_{i+1}) にゲートオン電圧 (V_{on}) が印加されると、第 1 スイッチング素子 (T₁)、第 2 スイッチング素子 (T₂) および第 3 スイッチング素子 (T₃) は、ターンオフされ、第 4 スイッチング素子 (T₄) がターンオンされる。

【0053】

この時、第1ノード（N1）、第2ノード（N2）および第3ノード（N3）での各電圧をV1、V2およびV3（=V2）とする時、第1液晶キャパシタ（C1c1）と第1ストレージキャパシタ（Cst1）の電荷量Qh'と、第2液晶キャパシタ（C1c2）と第2ストレージキャパシタ（Cst2）の電荷量Ql'と、電荷分配キャパシタ（Ccs）の電荷量Qb'は次のとおりである。

【0054】

【数2】

$$Qh' = Ch \times V1$$

$$Ql' = Cl \times V2$$

$$Qb' = Cb \times (V1 - V2)$$

【0055】

第1ノード（N1）に連結されたキャパシタの総電荷量は保存されるため次の関係式が成立する。

【0056】

【数3】

$$Qh + Qb = Qh' + Qb'$$

【0057】

第3ノード（N3）に連結されたキャパシタの総電荷量は保存されるため次の関係式が成立する。

【0058】

【数4】

$$Ql - Qb = Ql' - Qb'$$

【0059】

式1ないし式4の関係を整理すると、次式で示すように第1ノード（N1）および第2ノード（N2）での電圧V1およびV2を得ることができる。

【0060】

【数5】

$$V1 = Vd \left(1 + \frac{Cl \cdot Cb}{Cl \cdot Ch + Ch \cdot Cb + Cb \cdot Cl} \right)$$

$$V2 = Vd \left(1 - \frac{Ch \cdot Cb}{Cl \cdot Ch + Ch \cdot Cb + Cb \cdot Cl} \right)$$

【0061】

データ電圧（Vd）が共通電圧（Vcom）より大きい正の電圧の場合、第1副画素（SP1）の画素電圧（V1）は、データ電圧（Vd）より高くなり、第2副画素（SP2）の画素電圧（V2）は、データ電圧（Vd）より低くなる。データ電圧（Vd）が共通電圧（Vcom）より小さい負の電圧の場合は、これと反対となる。したがって、第1副画素（SP1）の画素電圧（V1）の絶対値は、第2副画素（SP2）の画素電圧（V2）の絶対値より常に大きくなる。

【0062】

このように、一つの画素内に位置する第1副画素（SP1）および第2副画素（SP2）の画素電圧（V1、V2）が互いに異なる値を有するようになる場合の側面の視認性を向上させることができる。すなわち、第1副画素（SP1）および第2副画素（SP2）に、一つの映像情報から得られた互い異なるガンマ曲線を有する一对の階調電圧集合が保存され、第1副画素（SP1）および第2副画素（SP2）からなる一つの画素のガンマ曲線は、これらを合成したガンマ曲線となる。一对の階調電圧集合を決定する時には、正面での合成ガンマ曲線が正面での基準ガンマ曲線に近くなるようにし、側面での合成ガンマ曲線が正面での基準ガンマ曲線と最も近くなるようにすることによって、側面の視認性を向上させることができる。

10

20

30

40

50

【0063】

図3は、データ線をとおして印加されるデータ電圧に対して第1副画素電極の画素電圧と第2副画素電極の画素電圧の変化を表したグラフである。このグラフは、 $C_l : C_h : C_b = 2 : 1 : 2$ である場合を例にとり、画素電圧を計算したものである。

【0064】

図3に示されるように、6Vのデータ電圧を印加する場合、第1副画素電極の画素電圧は、3V上昇して9Vとなり、第2副画素電極の画素電圧は、1.5V下降して4.5Vとなることが分かる。したがって、第1副画素電極の画素電圧と第2副画素電極の画素電圧との間の十分な電位差を確保することができる。また、第2副画素電極の画素電圧については、データ電圧に比べて過度に減少されないため輝度減少を抑制することができる。

10

【0065】

以下、図4および図5を参照して本発明の第2実施形態による液晶表示装置を説明する。ここで、図4は、本発明の第2実施形態による液晶表示装置の一つの画素を表す回路図である。図5は、本発明の第2実施形態による液晶表示装置におけるデータ電圧と画素電圧との関係を表したグラフである。説明の便宜上、第1実施形態の図面（図1ないし図3）に表した各部材と同一機能を有する部材は同一符号で表し、以下に相異点を中心に説明する。

【0066】

図4を参照すれば、第3スイッチング素子（T3）は、第iゲート線（GLi）に接続された制御端子と、電荷分配キャパシタ（Ccs）を介して第1スイッチング素子（T1）の出力端子に接続された出力端子と、ストレージライン（SL）に接続された入力端子とを含む。さらに具体的に、第3スイッチング素子（T3）の入力端子は、補助キャパシタ（C3）を介しストレージライン（SL）と接続されている。液晶表示装置の製造工程において、第3スイッチング素子（T3）の入力端子とストレージライン（SL）とが互いに異なる層に形成され、これらが直接接続しにくい場合、前記補助キャパシタ（C3）を利用して互いにカップリングされ得る。

20

【0067】

以下、電荷量保全法則を利用して第1副画素電極と第2副画素電極の画素電圧を具体的に検討する。ここで、第4ノード（N4）は、第3スイッチング素子（T3）の入力端子と補助キャパシタ（C3）との間のノードを称する。また、説明の便宜のため共通電圧（Vcom）を0Vと定義し、データ電圧（Vd）を共通電圧（Vcom）に対する相対的な電圧とする。また、補助キャパシタ（C3）のキャパシタンスをCcと称する。

30

【0068】

(n-1)番目フレームにおいて、第1ノード（N1）、第2ノード（N2）、第3ノード（N3）および第4ノード（N4）での電圧をV1、V2、V3およびV4と称すると、 $V_2 = V_3$ となる。第1液晶キャパシタ（Clc1）および第1ストレージキャパシタ（Cst1）のキャパシタンスの和に対応する電荷量Qhと、第2液晶キャパシタ（Clc2）と第2ストレージキャパシタ（Cst2）のキャパシタンスの和に対応する電荷量Qlと、電荷分配キャパシタ（Ccs）の電荷量Qbと、補助キャパシタ（C3）の電荷量Qcは次のとおりある。

40

【0069】

【数6】

$$Q_h = C_h \times V_1$$

$$Q_l = C_l \times V_2$$

$$Q_b = C_b \times (V_1 - V_3) = C_b \times (V_1 - V_2)$$

$$Q_c = C_c \times V_4$$

【0070】

n番目のフレームで第iゲート線（GLi）にゲートオン電圧（Von）が印加されると、第1スイッチング素子（T1）および第2スイッチング素子（T2）がターンオンされ、第1ノード（N1）および第2ノード（N2）にデータ電圧（Vd）が印加される。

50

また、第 3 スイッチング素子 (T 3) がターンオンされることによって第 3 ノード (N 3) と第 4 ノード (N 4) が連結される。この時、第 1 ノード (N 1)、第 2 ノード (N 2)、第 3 ノード (N 3) および第 4 ノード (N 4) での各電圧を $V 1'$ 、 $V 2'$ 、 $V 3'$ 、 $V 4'$ とすると、 $V 1' = V 2' = V d$ で $V 3' = V 4'$ となる。

【0071】

この時、第 1 液晶キャパシタ (C l c 1) および第 1 ストレージキャパシタ (C s t 1) のキャパシタンスの和に対応する電荷量 $Q h'$ と、第 2 液晶キャパシタ (C l c 2) および第 2 ストレージキャパシタ (C s t 2) のキャパシタンスの和に対応する電荷量 $Q l'$ と、電荷分配キャパシタ (C c s) の電荷量 $Q b'$ と、補助キャパシタ (C 3) の電荷量 $Q c'$ は次のとおりある。

10

【0072】

【数 7】

$$Q h' = C h \times V 1' = C h \times V d$$

$$Q l' = C l \times V 2' = C l \times V d$$

$$Q b' = C b \times (V 1' - V 3') = C b \times (V d - V 3')$$

$$Q c' = C c \times V 4' = C c \times V 3'$$

【0073】

第 3 ノード (N 3) および第 4 ノード (N 4) に連結されたキャパシタの総電荷量は保存されるため、次の関係式が成立する。

【0074】

20

【数 8】

$$Q c - Q b = Q c' - Q b'$$

【0075】

続いて、第 i ゲート線 (G L i) にゲートオフ電圧 (V o f f) が印加されて第 $i + 1$ ゲート線 (G L $i + 1$) にゲートオン電圧 (V o n) が印加されると、第 1 スイッチング素子 (T 1)、第 2 スイッチング素子 (T 2) および第 3 スイッチング素子 (T 3) はターンオフされ、第 4 スイッチング素子 (T 4) がターンオンされる。

【0076】

この時、第 1 ノード (N 1)、第 2 ノード (N 2)、第 3 ノード (N 3) および第 4 ノード (N 4) での各電圧を $V 1''$ 、 $V 2''$ 、 $V 3''$ および $V 4''$ とすると、 $V 2'' = V 3''$ となる。第 1 液晶キャパシタ (C l c 1) と第 1 ストレージキャパシタ (C s t 1) の電荷量 $Q h''$ と、第 2 液晶キャパシタ (C l c 2) と第 2 ストレージキャパシタ (C s t 2) の電荷量 $Q l''$ と、電荷分配キャパシタ (C c s) の電荷量 $Q b''$ と、補助キャパシタ (C 3) の電荷量 $Q c''$ は次のとおりある。

30

【0077】

【数 9】

$$Q h'' = C h \times V 1''$$

$$Q l'' = C l \times V 2''$$

$$Q b'' = C b \times (V 1'' - V 3'')$$

$$= C b \times (V 1'' - V 2'')$$

$$Q c'' = C c \times V 4''$$

40

【0078】

第 1 ノード (N 1) に連結されたキャパシタの総電荷量は保存されるため、次の関係式が成立する。

【0079】

【数 10】

$$Q h' + Q b' = Q h'' + Q b''$$

【0080】

第 3 ノード (N 3) に連結されたキャパシタの総電荷量は保存されるため、次の関係式

50

が成立する。

【0081】

【数11】

$$Q_{1'} + Q_{c'} - Q_{b'} = Q_{1''} + Q_{c''} - Q_{b''}$$

【0082】

式6ないし式11の関係を整理すれば、次のように第1ノード(N1)および第2ノード(N2)での電圧 $V_{1''}$ および $V_{2''}$ を得ることができる。

【0083】

【数12】

$$V_{1''} = V_d + (V_d - V_0) \frac{C_l \cdot C_b}{C_l \cdot C_h + C_h \cdot C_b + C_b \cdot C_l}$$

10

$$V_{2''} = V_d - (V_d - V_0) \frac{C_h \cdot C_b}{C_l \cdot C_h + C_h \cdot C_b + C_b \cdot C_l}$$

ここで、

$$V_0 = \frac{(C_b \cdot V_d + C_c \cdot V_4) - C_b(V_{1''} - V_{2''})}{C_b + C_c}$$

【0084】

20

したがって、データ電圧(V_d)が共通電圧(V_{com})より大きい正の電圧の場合、第1副画素(SP1)の画素電圧($V_{1''}$)は、データ電圧(V_d)より高くなり、第2副画素(SP2)の画素電圧($V_{2''}$)は、データ電圧(V_d)より低くなる。データ電圧(V_d)が共通電圧(V_{com})より小さい負の電圧である場合は、これと反対になる。したがって、第1副画素(SP1)の画素電圧($V_{1''}$)の絶対値が第2副画素(SP2)の画素電圧($V_{2''}$)の絶対値より常に大きくなる。

【0085】

このように、一つの画素内に位置する第1副画素(SP1)および第2副画素(SP2)の画素電圧($V_{1''}$ 、 $V_{2''}$)が互いに異なる値を有するようになる場合、側面の視認性を向上させることができる。

30

【0086】

図5は、フレームごとにデータ電圧に対して第1副画素電極の画素電圧と第2副画素電極の画素電圧の変化を表したグラフである。このグラフは、 $C_l : C_h : C_b : C_c = 2 : 1 : 0.8 : 2$ であり、データ電圧が6Vから2Vに、そして再び6Vに変わる場合を例にあげて画素電圧を計算したグラフである。

【0087】

図5に示されるように、第1副画素電極の画素電圧は、データ電圧より高くなり、第2副画素電極の画素電圧はデータ電圧より低くなる。したがって、第1副画素電極の画素電圧と第2副画素電極の画素電圧との間の十分な電位差を確保することができる。また、第2副画素電極の画素電圧については、データ電圧に比べて過度に減少することがないため、輝度減少を抑制することができる。

40

【0088】

以下、図6ないし図8を参照して本発明の第3実施形態による液晶表示装置を説明する。ここで、図6は本発明の第3実施形態による液晶表示装置のブロック図である。図7は、本発明の第3実施形態による液晶表示装置の一つの画素を表す回路図である。図8は、本発明の第3実施形態による液晶表示装置におけるデータ電圧と画素電圧との関係を表したグラフである。説明の便宜上、第1実施形態の図面(図1ないし図3)に表した各部材と同一機能を有する部材は同一符号で表し、以下では相異点を中心に説明する。

【0089】

図6を参照すれば、液晶パネルアセンブリ300は、等価回路として見る時、複数の

50

表示信号線と、これに連結され、概ね行列の形態で配列された複数の画素（PX）とを含む。ここで、液晶パネルアッセンブリ300は、互いに対向する下部表示板、上部表示板およびこれらの間に介在した液晶層を含む。

【0090】

表示信号線は、下部表示板に具備され、ゲート信号を伝達する複数のゲート線（G1－Gn）と、データ信号を伝達するデータ線（DA1－DAm）と、電荷分配信号を伝達する電荷分配用配線（DB1－DBm）とを含む。ゲート線（G1－Gn）は、概ね行方向に伸びており、互いにはほぼ平行に配置され、データ線（DA1－DAm）は、概ね列方向に伸びており、互いにはほぼ平行に配置され、電荷分配用配線（DB1－DBm）は、データ線（DB1－DBm）と実質的に平行になるように伸びている。ゲート線（G1－Gn）は、ゲート電圧を伝達し、データ線（DA1－DAm）は、データ電圧を伝達して、電荷分配用配線（DB1－DBm）は、電荷分配のためのスイッチング素子に電荷分配用電圧を伝達する。

【0091】

図7を参照すれば、本発明の第3実施形態による液晶表示装置の場合、第1実施形態と比較して画素毎にデータ線（DAj）と実質的に平行するように電荷分配用配線（DBj）が形成されている。また、第3スイッチング素子（T3）は、第iゲート線（GLi）に接続された制御端子と、電荷分配キャパシタ（Ccs）を介して第1スイッチング素子（T1）の出力端子に接続された出力端子と、電荷分配用配線（DBj）に接続された入力端子とを含む。

【0092】

データ線（DAj）に共通電圧（Vcom）より大きい正の電圧を有するデータ電圧、例えば、 $+|Vp|$ が印加され、電荷分配用配線（DBj）に共通電圧（Vcom）より小さい負の電圧を有する電荷分配用電圧、例えば $-|Vm|$ が印加される場合を考える。ここで、正の電圧とは、共通電圧（Vcom）より高い電圧を指し、負の電圧とは、共通電圧（Vcom）より低い電圧を指す。

【0093】

第1実施形態の場合、第3スイッチング素子（T3）の入力端子に共通電圧（Vcom）が印加されるが（以下、共通電圧（Vcom）を0Vと仮定する）、本実施形態の場合、第3スイッチング素子（T3）の入力端子には、共通電圧（Vcom）より低い、電荷分配用電圧、すなわち、 $-|Vm|$ が印加される。したがって、第iゲート線（GLi）にゲートオン電圧（Von）が印加され、第3スイッチング素子（T3）がターンオンされると、電荷分配キャパシタ（Ccs）には、 $|Vp| + |Vm|$ の電圧が充電される。したがって、第1副画素（SP1）と第2副画素（SP2）に対し電荷分配がさらに効果的に起きる。第1実施形態で言及した計算過程を経れば、結果的に第1副画素電極および第2副画素電極に充電された画素電圧、すなわち、第1ノード（N1）の電圧V1および第2ノード（N2）の電圧V2は、次式を満足する。

【0094】

【数13】

$$V1 = |Vp| + (|Vp| + |Vm|) \frac{Cl \cdot Cb}{Cl \cdot Ch + Ch \cdot Cb + Cb \cdot Cl} + 2|Vm| \frac{Cb \cdot Cb}{Cl \cdot Ch + Ch \cdot Cb + Cb \cdot Cl}$$

$$V2 = |Vp| - (|Vp| - |Vm|) \frac{Ch \cdot Cb}{Cl \cdot Ch + Ch \cdot Cb + Cb \cdot Cl} + 2|Vm| \frac{Cb \cdot Cb}{Cl \cdot Ch + Ch \cdot Cb + Cb \cdot Cl}$$

【0095】

式13から、第1副画素（SP1）の画素電圧（V1）は、データ電圧、 $|Vp|$ より高くなる。第2副画素（SP2）の画素電圧（V2）は画素電圧（V1）より低くなる。

【0096】

さらに、次式を満足する場合、第1副画素（SP1）の画素電圧（V1）だけではなく

、第2副画素（SP2）の画素電圧（V2）もデータ電圧 $|V_p|$ より高くなる可能性がある。

【0097】

【数14】

$$\frac{|V_m|}{|V_p|} \geq \frac{C_h}{2C_b + C_h}$$

【0098】

式14に示したように、 $|V_m|$ が $|V_p|$ より非常に小さくならない限り、ほとんどの場合に画素電圧（V1）および画素電圧（V2）が共に高くなる効果がある。このような場合に、データ駆動部から低いデータ電圧が出力されるとしても、第1副画素（SP1）および第2副画素（SP2）に互いに異なる2つの高い画素電圧を発生させることができる。一般的に、垂直電界を利用したVA（vertical alignment）モードの液晶表示装置では、高いデータ電圧を必要とされるが、本実施形態のような電荷分配用配線（DBj）をとおして適切な電荷分配用電圧を第3スイッチング素子（T3）に印加する場合、低いデータ電圧でも高い画素電圧を得ることができる。ここで、電荷分配用電圧の極性は、データ電圧の極性と反対であることが好ましい。例えば、データ電圧が正の電圧の場合、電荷分配用電圧は負の電圧であり、データ電圧が負の場合、電荷分配用電圧は正であることが好ましい。

【0099】

以上で説明した動作は、データ電圧が共通電圧（Vcom）より小さい負の電圧である場合も同様に適用され得る。

【0100】

図8は、データ線をとおし、印加されるデータ電圧に対して第1副画素電極の画素電圧と第2副画素電極の画素電圧との変化を表したグラフである。このグラフは、 $C_1 : C_h : C_b = 2 : 1 : 2$ である場合を例にあげて画素電圧を計算したものがある。

【0101】

図8に示すように、6Vのデータ電圧を印加する場合に、第1副画素電極の画素電圧は14.4Vに上昇し、第2副画素電極の画素電圧は10.8Vに上昇することが分かる。したがって、第1副画素電極の画素電圧と第2副画素電極の画素電圧との間の十分な電位差を確保しつつ、同時に、第1副画素電極の画素電圧および第2副画素電極の画素電圧を昇圧させることができる。したがって、輝度減少を防止することができる。

【0102】

以上、添付した図面を参照して本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は、本発明がその技術的思想や必須の特徴を変更せず、他の具体的な形態で実施され得ることを理解し得るものである。したがって、以上に記述した実施形態は、すべての面で例示的なものであり、限定的ではないことを理解しなければならない。

【産業上の利用可能性】

【0103】

本発明のディスプレイ装置は、例えば、液晶表示装置に適用され得る。

【図面の簡単な説明】

【0104】

【図1】本発明の第1実施形態による、液晶表示装置のブロック図である。

【図2】本発明の第1実施形態による、液晶表示装置の一つの画素を表す回路図である。

【図3】本発明の第1実施形態による、液晶表示装置におけるデータ電圧と画素電圧との関係を表したグラフである。

【図4】本発明の第2実施形態による、液晶表示装置の一つの画素を表す回路図である。

【図5】本発明の第2実施形態による、液晶表示装置におけるデータ電圧と画素電圧との関係を表したグラフである。

【図 6】 本発明の第 3 実施形態による、液晶表示装置のブロック図である。

【図 7】 本発明の第 3 実施形態による、液晶表示装置の一つの画素を表す回路図である。

【図 8】 本発明の第 3 実施形態による、液晶表示装置におけるデータ電圧と画素電圧との関係を表したグラフである。

【符号の説明】

【 0 1 0 5 】

3 0 0 液晶パネルアセンブリ、

4 0 0 ゲート駆動部、

5 0 0 データ駆動部、

6 0 0 信号制御部、

8 0 0 階調電圧生成部、

D L j データ線、

G L i , G L i + 1 ゲート線、

S L i ストレージライン、

S P 1 第 1 副画素、

S P 2 第 2 副画素、

T 1 第 1 スイッチング素子、

T 2 第 2 スイッチング素子、

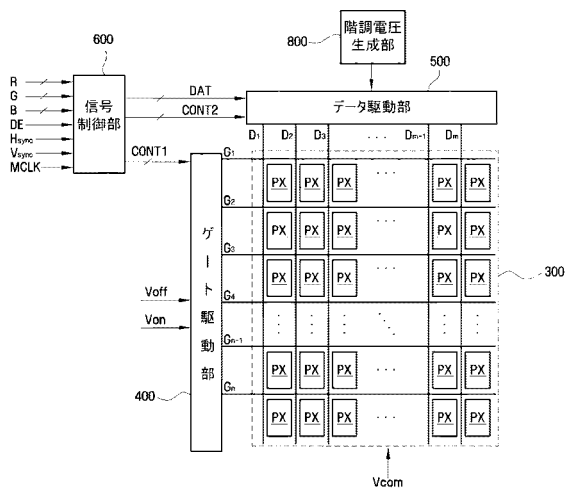
T 3 第 3 スイッチング素子、

T 4 第 4 スイッチング素子。

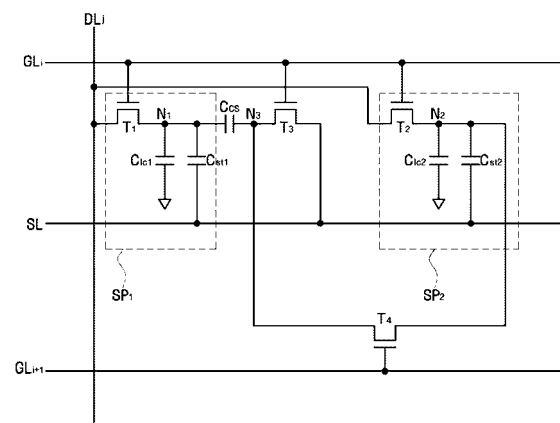
10

20

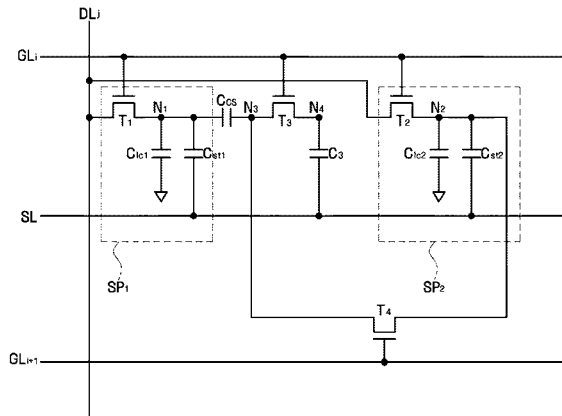
【図 1】



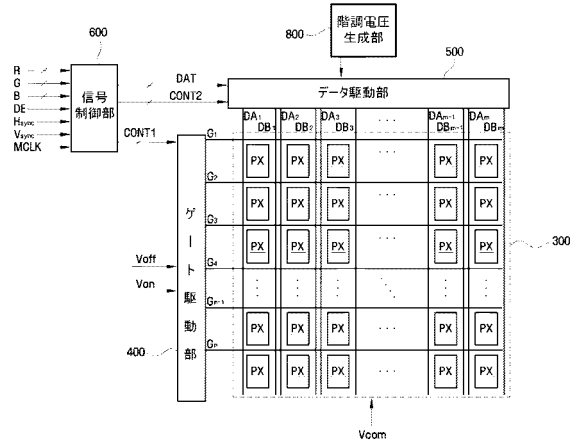
【図 2】



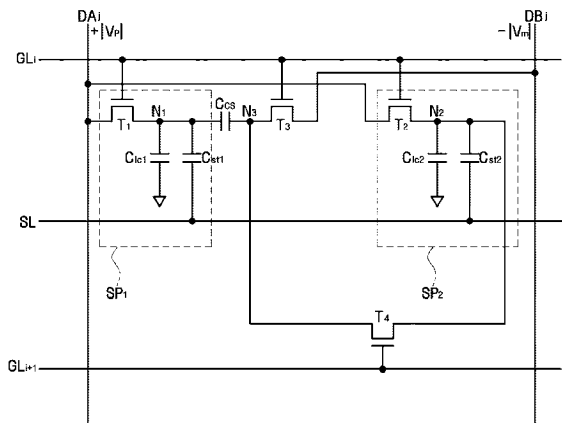
【図 4】



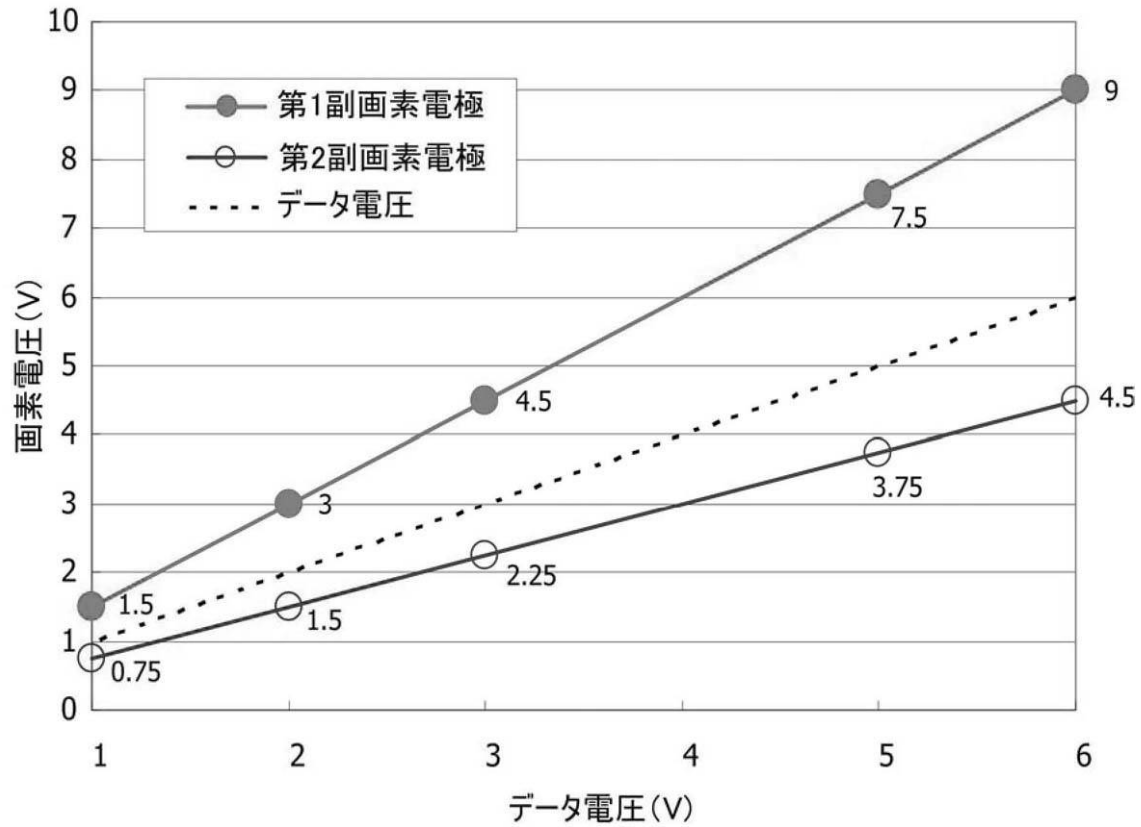
【図 6】



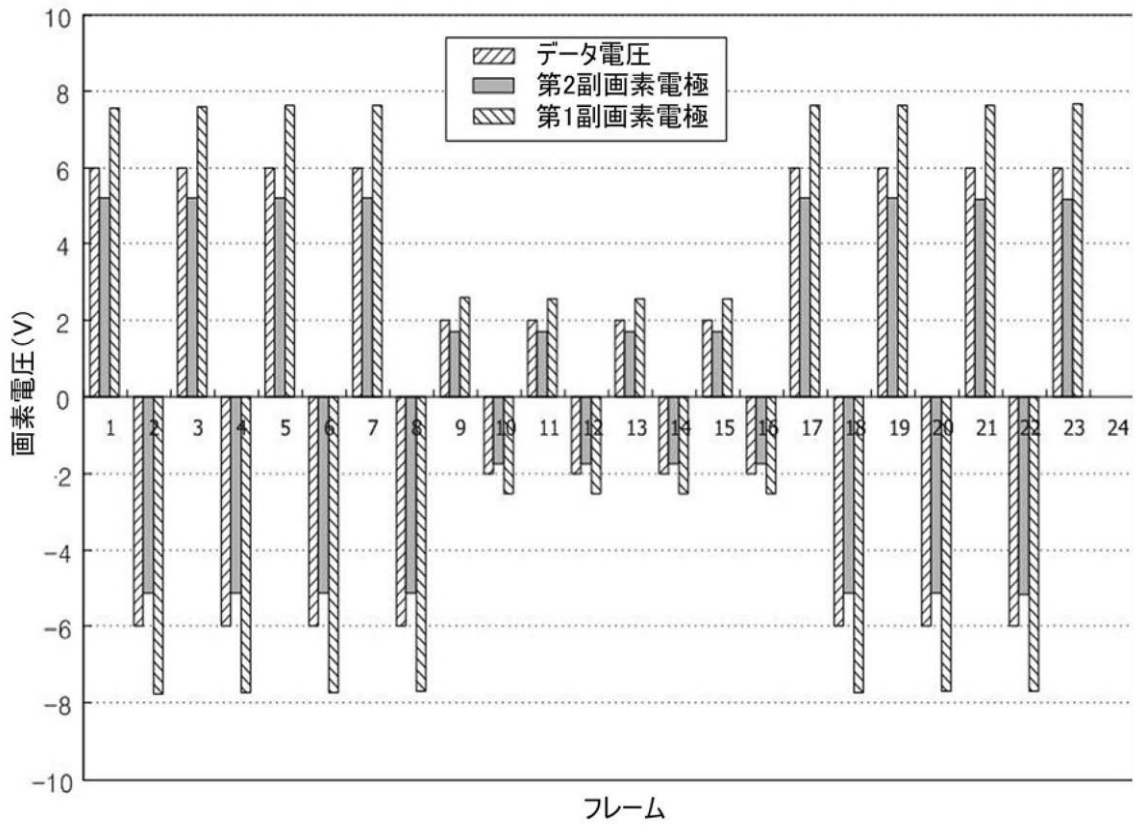
【図 7】



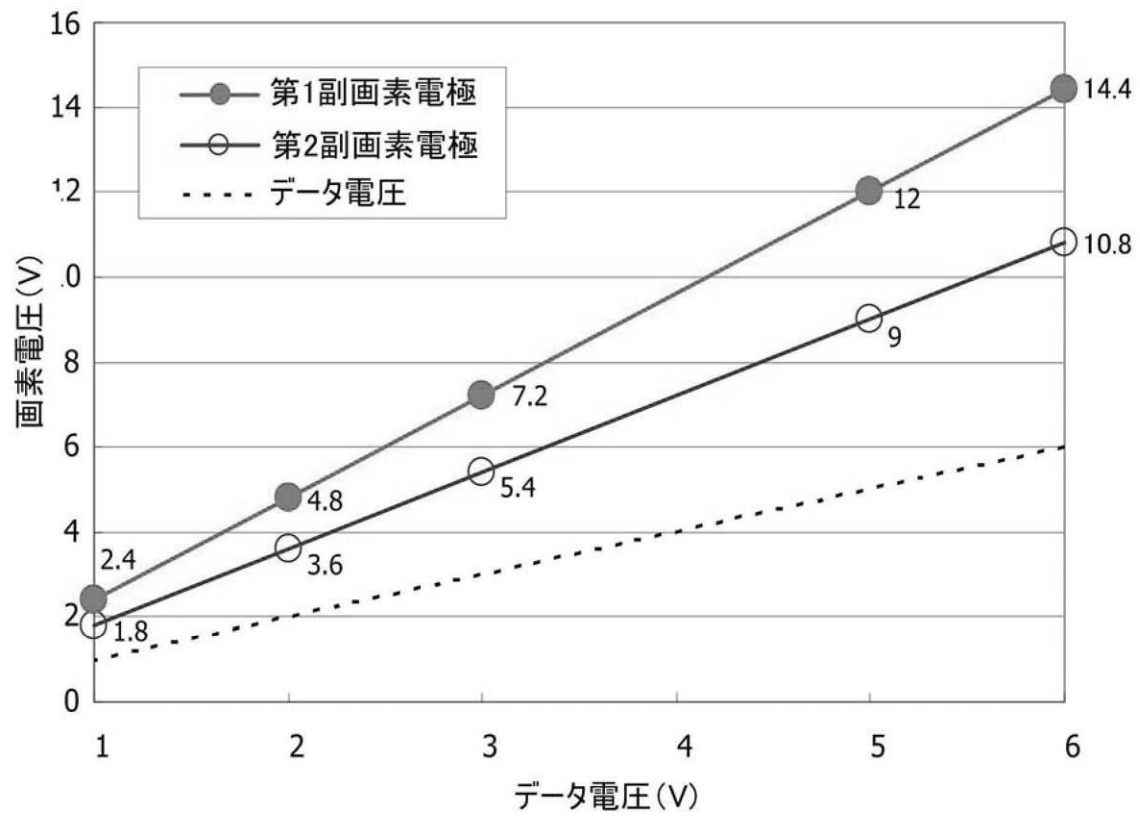
【図 3】



【図 5】



【図 8】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)

G 0 9 G 3/20 6 4 1 P
 G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/20 6 2 2 D
 G 0 9 G 3/20 6 2 3 D
 G 0 2 F 1/133 5 0 5
 G 0 2 F 1/133 5 5 0

(72)発明者 陸 建 銅

大韓民国京畿道水原市靈通区靈通洞 ビョクジョクゴル8団地アパート 8 3 3 棟 4 0 4 号

(72)発明者 李 承 勳

大韓民国京畿道龍仁市器興区貢税洞 青丘アパート 1 0 2 棟 1 1 0 4 号

F ターム(参考) 2H093 NA16 NA20 NA43 NB01 NC10 NC12 NC34 NC40

5C006 AA22 AC24 AC26 AF42 AF46 AF83 BB16 BC02 BC06 BF37

BF43 BF50 FA54 FA55

5C080 AA10 BB05 CC03 DD01 DD03 EE28 EE29 EE30 FF11 JJ02

JJ03 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009128900A	公开(公告)日	2009-06-11
申请号	JP2008122342	申请日	2008-05-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	梁英てつ 陸建鋼 李承勳		
发明人	梁 英 ▲てつ▼ 陸 建 鋼 李 承 勳		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G02F1/13624 G02F1/1393 G02F2001/134345 G09G3/3659 G09G2300/0443 G09G2300/0447 G09G2300/0814 G09G2300/0842 G09G2320/068		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.642.C G09G3/20.621.B G09G3/20.612.F G09G3/20.641.P G09G3/20.680.G G09G3/20.622.D G09G3/20.623.D G02F1/133.505 G02F1/133.550 G09G3/20.624.C G09G3/20.680.H		
F-TERM分类号	2H093/NA16 2H093/NA20 2H093/NA43 2H093/NB01 2H093/NC10 2H093/NC12 2H093/NC34 2H093/ /NC40 5C006/AA22 5C006/AC24 5C006/AC26 5C006/AF42 5C006/AF46 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BF37 5C006/BF43 5C006/BF50 5C006/FA54 5C006/FA55 5C080 /AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD03 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193 /ZB13 2H193/ZB16 2H193/ZC24 2H193/ZD23 2H193/ZF05 2H193/ZF13 2H193/ZF22 2H193/ZF24 2H193/ZF31 2H193/ZF36 2H193/ZF42 2H193/ZQ11		
优先权	1020070121092 2007-11-26 KR		
其他公开文献	JP5396039B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，能够在提高侧面可视性的同时防止亮度降低。
ŽSOLUTION：液晶显示装置包括以预定间隔设置的第一和第二栅极线GLi和GLi + 1，栅极电压连续施加到第一和第二栅极线GLi和GLi + 1。多条数据线DLj，与第一和第二栅极线交叉，施加数据电压；像素电极，由位于一个像素内并彼此电分离的第一和第二子像素电极形成；第一开关元件T1，连接第一栅极线，数据线和第一子像素电极；第二开关元件T2，连接第一栅极线，数据线和第二子像素电极；电荷分配电容器CCS，用于在第一和第二子像素电极之间分配电荷；第三开关元件T3，通过电荷分配电容器连接到第一子像素电极；第四开关元件T4通过电荷分配电容器连接到第一子像素电极。
Ž

