

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-262006

(P2008-262006A)

(43) 公開日 平成20年10月30日(2008.10.30)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
H01L 29/786 (2006.01)	H01L 29/78 612C	5F110

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号	特願2007-104179 (P2007-104179)	(71) 出願人	303018827
(22) 出願日	平成19年4月11日 (2007.4.11)		NEC液晶テクノロジー株式会社
			神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100114672
			弁理士 宮本 恵司
		(72) 発明者	佐々木 健
			神奈川県川崎市中原区下沼部1753番地
			NEC液晶テクノロジー株式会社内
		Fターム(参考)	2H092 GA11 JA24 JA41 JA46 JB11
			JB22 JB31 MA05 MA08 MA13
			NA07 NA25 PA01
			5F110 AA30 BB01 CC07 DD01 DD02
			EE04 EE38 EE44 FF02 FF03
			FF30 GG02 GG13 GG15 GG45
			HK04 HK33 HL07 HM19 NN23
			NN24 NN35 NN72 NN73 QQ09

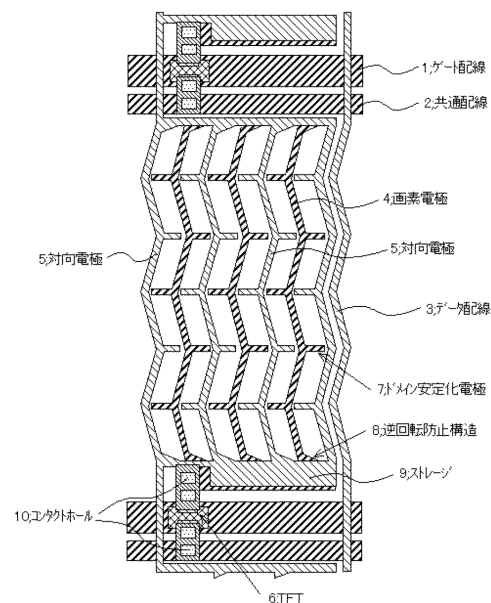
(54) 【発明の名称】 アクティブマトリクス基板及び液晶パネル

(57) 【要約】

【課題】開口率を向上させることができるアクティブマトリクス基板及びIPS方式の液晶パネルの提供。

【解決手段】基板上に、互いに略直交するゲート配線1及びデータ配線3と、ゲート配線1に略平行な共通配線2とを備え、ゲート配線1とデータ配線3との交点近傍にTFT6を備え、ゲート配線1とデータ配線3とで囲まれる画素内に、画素電極4と対向電極5とが交互に配置されてなるアクティブマトリクス基板において、画素電極4にはTFT6を介して共通配線2の共通電圧が供給され、対向電極5にはデータ配線3のドレイン電圧が供給されるものであり、データ配線3と対向電極5とが同電位となるためデータ配線3を電氣的にシールドするための配線を設ける必要がなく、また、データ配線3自体が対向電極5の一部となるため、開口部として利用できる面積を広く確保して開口率を向上させることができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板上に、互いに略直交するゲート配線及びデータ配線と、前記ゲート配線に略平行な共通配線とを備え、前記ゲート配線と前記データ配線との交点近傍にスイッチング素子を備え、前記ゲート配線と前記データ配線とで囲まれる画素内に、画素電極と対向電極とが交互に配置されてなるアクティブマトリクス基板において、

前記共通配線は、前記スイッチング素子の一方の電極に接続され、

前記画素電極は、前記スイッチング素子の他方の電極に接続され、

前記対向電極は、前記データ配線に接続されていることを特徴とするアクティブマトリクス基板。

10

【請求項 2】

前記画素電極は、前記ゲート配線及び前記共通配線と同層に形成され、

前記対向電極は、前記データ配線と同層に形成されることを特徴とする請求項 1 記載のアクティブマトリクス基板。

【請求項 3】

前記画素電極及び前記対向電極は、前記ゲート配線、前記共通配線及び前記データ配線よりも上層に形成され、

前記画素電極は、コンタクトホールを介して前記共通配線に接続され、

前記対向電極は、コンタクトホールを介して前記データ配線に接続されることを特徴とする請求項 1 記載のアクティブマトリクス基板。

20

【請求項 4】

前記対向電極は、前記基板の法線方向からみて、前記画素内の前記データ配線と相重なる領域にも形成されていることを特徴とする請求項 3 記載のアクティブマトリクス基板。

【請求項 5】

前記画素電極は、前記ゲート配線、前記共通配線及び前記データ配線よりも上層に形成され、コンタクトホールを介して前記共通配線に接続され、

前記対向電極は、前記データ配線と同層に形成されることを特徴とする請求項 1 記載のアクティブマトリクス基板。

【請求項 6】

前記共通配線は、前記ゲート配線よりも上層に形成され、

30

前記画素電極は、前記共通配線と同層に形成され、

前記対向電極は、前記データ配線と同層に形成されることを特徴とする請求項 1 記載のアクティブマトリクス基板。

【請求項 7】

前記共通配線は、前記ゲート配線よりも上層に形成され、

前記画素電極及び前記対向電極は、前記ゲート配線、前記共通配線及び前記データ配線よりも上層に形成され、

前記画素電極は、コンタクトホールを介して前記共通配線に接続され、

前記対向電極は、コンタクトホールを介して前記データ配線に接続されることを特徴とする請求項 1 記載のアクティブマトリクス基板。

40

【請求項 8】

前記共通配線は、前記ゲート配線よりも上層に形成され、

前記画素電極は、前記共通配線と同層に形成され、

前記対向電極は、前記ゲート配線、前記共通配線及び前記データ配線よりも上層に形成され、コンタクトホールを介して前記データ配線に接続されることを特徴とする請求項 1 記載のアクティブマトリクス基板。

【請求項 9】

請求項 1 乃至 8 のいずれかーに記載のアクティブマトリクス基板と、該アクティブマトリクス基板に対向する対向基板との間に液晶が挟持されてなることを特徴とする横電界方式の液晶パネル。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板及び液晶パネルに関し、特に、画素電極と対向電極とが同一基板内に形成されるアクティブマトリクス基板及び該アクティブマトリクス基板を備えるIPS方式の液晶パネルに関する。

【背景技術】

【0002】

AV機器やOA機器の表示装置として、薄型、軽量、低消費電力等の利点から液晶表示装置が広く用いられている。この液晶表示装置は、TFT (Thin Film Transistor) 等のスイッチング素子がマトリクス状に形成されたアクティブマトリクス基板（以下、TFT基板と呼ぶ。）と、カラーフィルター（CF）やブラックマトリクス（BM）等が形成された基板（以下、対向基板と呼ぶ。）との間に液晶が挟持された液晶パネルと、液晶パネルにバックライト光を照射するバックライトユニットなどを備えている。

10

【0003】

一般に、液晶表示装置の動作モードには、配向した液晶分子のダイレクタの方向をガラス基板に対して垂直な方向に回転させるツイステッド・ネマティック（Twisted Nematic : TN）方式と、ガラス基板に対して平行な方向に回転させるIPS（In Plane Switching）方式とがある。

20

【0004】

IPS方式の液晶表示装置は、ガラス基板上に互いに平行な画素電極と対向電極とを交互に形成し、これらの間に電圧を印加して基板面に平行な電界を形成することにより、液晶のダイレクタの向きを変化させ、これによって透過光量を制御するものであり、この表示方式ではダイレクタが基板面内で回転するため、TN方式の場合のようにダイレクタの方向から見たときと基板法線方向から見込んだときで透過光量と印加電圧との関係が大きく異なってしまうといった問題は発生せず、非常に広い視角から見て、良好な画像を得ることができる（例えば、下記特許文献1参照）。

【0005】

しかしながら、IPS方式の液晶表示装置では、液晶分子が1方向のみに回転するため、白表示状態において斜め方向から見たときに色づきが発生するという問題があり、この問題を解決するために、1画素内で画素電極と共通電極を屈曲させる方法が利用されている。

30

【0006】

図8は、従来のIPS方式の液晶表示装置を構成するTFT基板内の一画素の構造を模式的に示す平面図である。

【0007】

図8に示すように、従来のTFT基板は、画面の水平方向に延在するゲート配線11と、ゲート配線11にほぼ平行に隣接する共通配線（いわゆるCOM配線）12と、ゲート配線11とほぼ直交する方向に延在するデータ配線13と、ゲート配線11とデータ配線13の交点近傍に設けられたTFT16と、ゲート配線11とデータ配線13とに囲まれた領域内にあり、データ配線13とほぼ平行な線状の画素電極14及び対向電極15と、データ配線13の両脇に隣接し、データ配線13からの漏れ電界をシールドすると共に対向電極15の機能も兼ね備えたシールド共通配線20などで構成される。

40

【0008】

また、対向電極15は共通配線12に接続され、画素電極14はTFT16を介してデータ配線13に接続され、対向電極15と画素電極14とは一定の間隔を空けて交互に配置されると共に、上記色づきを低減するために、屈曲して形成される。更に、各々の屈曲点にはゲート配線11方向に延在するドメイン安定化電極17が形成され、各々の両端部には液晶分子の回転方向を規制する逆回転防止構造18が形成されている。

【0009】

50

上記 T F T 基板は以下の方法で形成される。

【 0 0 1 0 】

まず、ガラス基板上にゲート金属層を低抵抗金属膜にて成膜後、フォトリソグラフィを用いてゲート配線 1 1、ゲート電極、共通配線 1 2、対向電極 1 5、シールド共通配線 2 0 を形成する。

【 0 0 1 1 】

次に、ゲート絶縁膜を成膜し、連続して半導体層を成膜する。半導体層はフォトリソグラフィを用いて所定の形状に形成する。

【 0 0 1 2 】

次に、データ金属層を低抵抗金属膜にて成膜後、フォトリソグラフィを用いてデータ配線 1 3、ソース/ドレイン電極、画素電極 1 4 を形成する。ソース電極はドレイン配線金属で作られたデータ配線 1 3 に接続され、ドレイン電極はドレイン配線金属で作られた画素電極 1 4 に接続される。

【 0 0 1 3 】

次に、パッシベーション絶縁膜を成膜し、フォトリソグラフィを用いて所定の箇所にコンタクトホールを形成する。なお、本従来例ではコンタクトホールの必要が無い構造を一例に上げたため図中にコンタクトホールは記載していないが、画素部以外の周辺回路でコンタクトホールが必要なため、コンタクトホール形成工程が省略されるものではない。

【 0 0 1 4 】

上記方法で形成された T F T 基板を備える液晶パネルの動作を説明する。指定したゲート配線 1 1 に O N 電圧を印加することでその行に接続された T F T 1 6 を導通状態にし、指定した行の各画素電極 1 4 に各 T F T 1 6 に接続されたデータ配線 1 3 から信号電圧を印加する。

【 0 0 1 5 】

対向電極 1 5 には常時、共通電圧（いわゆる C O M 電圧）が印加されているので画素電極 1 4 と対向電極 1 5 の間に電位差が発生し、画素電極 1 4 と対向電極 1 5 を絶縁膜を介して積層したストレージ容量部分（図中のストレージ 1 9）及び画素電極 1 4 と対向電極 1 5 との間の液晶部分の容量、すなわち液晶容量に電位差が蓄積、保持される。

【 0 0 1 6 】

その後、ゲート配線 1 1 を O F F 電圧に切り替えることで、画素電極 1 4 はデータ配線 1 3 と切断され、対向電極 1 5 に対して前記ストレージ容量及び液晶容量で容量結合されたフローティング状態になる。

【 0 0 1 7 】

対向電極 1 4 は常に一定の共通電位であり、画素電圧もトランジスタ O N 状態で書き込まれた時の電圧が維持されるので、液晶にかかる電圧も維持され、電圧印加に伴う一定の方位変移状態を維持することが出来る。

【 0 0 1 8 】

【特許文献 1】特開 2 0 0 4 - 2 8 0 1 3 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 9 】

このように、I P S 方式の液晶表示装置においては、液晶を駆動させるために、画素電極と対向電極との間の電位差によって生じる横電界を利用するが、近傍に上記以外の電位が存在すると電界強度が変化し、所定の表示状態が得られない。そこで、従来は少なくともデータ配線脇にシールド共通配線を設けており、その結果、開口部として活用できる面積が狭くなり、開口率（画素の面積に対する開口部の面積の比率）が低下してしまうという問題があった。

【 0 0 2 0 】

また、データ配線自体は画素開口部を構成する電極ではないので、更に開口部として活用できる面積が狭くなり、開口率が低下してしまうという問題があった。

10

20

30

40

50

【 0 0 2 1 】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、開口率を向上させることができるアクティブマトリクス基板及び該アクティブマトリクス基板を備えるIPS方式の液晶パネルを提供することにある。

【課題を解決するための手段】

【 0 0 2 2 】

上記目的を達成するため、本発明は、基板上に、互いに略直交するゲート配線及びデータ配線と、前記ゲート配線に略平行な共通配線とを備え、前記ゲート配線と前記データ配線との交点近傍にスイッチング素子を備え、前記ゲート配線と前記データ配線とで囲まれる画素内に、画素電極と対向電極とが交互に配置されてなるアクティブマトリクス基板において、前記共通配線は、前記スイッチング素子の一方の電極に接続され、前記画素電極は、前記スイッチング素子の他方の電極に接続され、前記対向電極は、前記データ配線に接続されているものである。

10

【 0 0 2 3 】

本発明においては、前記画素電極は、前記ゲート配線及び前記共通配線と同層に形成され、前記対向電極は、前記データ配線と同層に形成される構成とすることができる。

【 0 0 2 4 】

また、本発明においては、前記画素電極及び前記対向電極は、前記ゲート配線、前記共通配線及び前記データ配線よりも上層に形成され、前記画素電極は、コンタクトホールを介して前記共通配線に接続され、前記対向電極は、コンタクトホールを介して前記データ配線に接続される構成とすることができ、前記対向電極は、前記基板の法線方向からみて、前記画素内の前記データ配線と相重なる領域にも形成されている構成とすることもできる。

20

【 0 0 2 5 】

また、本発明においては、前記画素電極は、前記ゲート配線、前記共通配線及び前記データ配線よりも上層に形成され、コンタクトホールを介して前記共通配線に接続され、前記対向電極は、前記データ配線と同層に形成される構成とすることができる。

【 0 0 2 6 】

また、本発明においては、前記共通配線は、前記ゲート配線よりも上層に形成され、前記画素電極は、前記共通配線と同層に形成され、前記対向電極は、前記データ配線と同層に形成される構成とすることができる。

30

【 0 0 2 7 】

また、本発明においては、前記共通配線は、前記ゲート配線よりも上層に形成され、前記画素電極及び前記対向電極は、前記ゲート配線、前記共通配線及び前記データ配線よりも上層に形成され、前記画素電極は、コンタクトホールを介して前記共通配線に接続され、前記対向電極は、コンタクトホールを介して前記データ配線に接続される構成とすることができる。

【 0 0 2 8 】

また、本発明においては、前記共通配線は、前記ゲート配線よりも上層に形成され、前記画素電極は、前記共通配線と同層に形成され、前記対向電極は、前記ゲート配線、前記共通配線及び前記データ配線よりも上層に形成され、コンタクトホールを介して前記データ配線に接続される構成とすることができる。

40

【 0 0 2 9 】

また、本発明の液晶パネルは、上記いずれか一に記載のアクティブマトリクス基板と、該アクティブマトリクス基板に対向する対向基板との間に液晶が挟持されているものである。

【 0 0 3 0 】

このように、本発明では、データ配線と対向電極とが同電位となり、データ信号の漏れ電界が液晶の方位を乱さないため、データ配線を電氣的にシールドするための配線を設ける必要がなく、また、データ配線自体が対向電極の一部となるため、開口部として利用で

50

きる面積を広く確保することができ、開口率を向上させることができる。

【発明の効果】

【0031】

本発明のアクティブマトリクス基板及び該アクティブマトリクス基板を備えるIPS方式の液晶パネルによれば、開口率を大きくすることができる。

【0032】

その理由は、通常の画素電極に相当する部分に共通電圧を供給し、通常の対向電極に相当する部分にドレイン電圧を供給する構造を採用することにより、データ配線と対向電極とが同電位となり、データ信号の漏れ電界が液晶の方位を乱さないため、データ配線を電氣的にシールドするための配線を設ける必要がなくなるからである。

10

【0033】

また、データ配線自体が対向電極の一部となるため、対向電極を一本省略することができるからである。

【0034】

上記理由で画素電極と対向電極の間に作られる開口部として利用できる面積を広く確保することができるため、開口率が高く、明るい表示特性を得ることができる。

【発明を実施するための最良の形態】

【0035】

本発明は、その好ましい一実施の形態において、基板上に、互いに略直交するゲート配線及びデータ配線と、ゲート配線に略平行な共通配線とを備え、ゲート配線とデータ配線との交点近傍にスイッチング素子を備え、ゲート配線とデータ配線とで囲まれる画素内に、画素電極と対向電極とが交互に配置されてなるアクティブマトリクス基板において、画素電極にはスイッチング素子を介して共通配線の共通電圧が供給され、対向電極にはデータ配線のドレイン電圧が供給されるものであり、データ配線と対向電極とが同電位となるため、データ配線を電氣的にシールドするための配線を設ける必要がなく、また、データ配線自体が対向電極の一部となるため、開口部として利用できる面積を広く確保することができ、これにより、開口率を向上させることができる。

20

【実施例1】

【0036】

上述した本発明の一実施の形態について更に詳細に説明すべく、本発明の第1の実施例に係るアクティブマトリクス基板及び該アクティブマトリクス基板を備えるIPS方式の液晶パネルについて、図1を参照して説明する。図1は、本実施例のIPS方式の液晶パネルを構成するTFT基板の一画素の構成を模式的に示す平面図である。

30

【0037】

液晶表示装置は、アクティブマトリクス基板と対向基板との間に液晶が挟持された液晶パネルと、バックライトユニットなどで構成され、本実施例のアクティブマトリクス基板(TFT基板)は、図1に示すように、画面の水平方向に延在するゲート配線(走査線)1と、ゲート配線1に略平行に隣接する共通配線(COM配線)2と、ゲート配線1に略直交する方向に延在するデータ配線(信号線)3と、ゲート配線1とデータ配線3との交点近傍に設けられたTFT6などのスイッチング素子と、ゲート配線1とデータ配線3とに囲まれた領域内にあり、データ配線3とほぼ平行な線状の画素電極4及び対向電極5とを備え、画素電極4及び対向電極5は略一定の間隔を空けて交互に配置されている。

40

【0038】

ここで、従来のTFT基板では、図8に示すように、対向電極15は共通配線12に接続され、画素電極14はTFT16を介してデータ配線13に接続されるが、この構成では、データ信号の漏れ電界によって電界強度が変化することから、少なくともデータ配線脇にシールド共通配線を設けており、また、データ配線自体は開口部を構成する電極とはならないため、開口部として活用できる面積が狭くなり、開口率が低下してしまうという問題があった。

【0039】

50

そこで、本実施例では、TFT 6 の一方の電極（本実施例ではソース電極）をゲート配線金属で作られた共通配線 2 に接続し、他方の電極（本実施例ではドレイン電極）をゲート配線金属で作られた画素電極 4 に接続する。また、ドレイン配線金属で作られた対向電極 5 をデータ配線 3 に接続する。すなわち、通常の画素電極に相当する部分に共通電圧を供給し、通常の対向電極に相当する部分にドレイン電圧を供給する構成として上記問題を解決する。

【0040】

以下、上記構成の TFT 基板の製造方法について具体的に説明する。

【0041】

まず、ガラスやプラスチック等の透明絶縁性基板上に、スパッタリング法等を用いて、ゲート金属層を Cr 等の低抵抗金属膜にて成膜後、フォトリソグラフィを用いてゲート配線 1、ゲート電極、共通配線 2、画素電極 4 を形成する。

10

【0042】

次に、プラズマ CVD 法等を用いて、シリコン酸化膜やシリコン窒化膜等のゲート絶縁膜を成膜し、連続してアモルファスシリコンやポリシリコン等の半導体層を成膜する。この半導体層はフォトリソグラフィを用いて所定の形状に形成する。

【0043】

次に、スパッタリング法等を用いて、データ金属層を Cr 等の低抵抗金属膜にて成膜後、フォトリソグラフィを用いてデータ配線 3、ソース/ドレイン電極、対向電極 5 を形成する。

20

【0044】

次に、プラズマ CVD 法等を用いて、シリコン酸化膜やシリコン窒化膜等のパッシベーション絶縁膜を成膜し、フォトリソグラフィを用いて所定の箇所（例えば、ソース電極と共通配線 2 とが重なる領域及びドレイン電極と画素電極 4 とが重なる領域など）にコンタクトホール 10 を形成する。

【0045】

次に、ITO (Indium Tin Oxide) 等の透明導電膜を成膜後、フォトリソグラフィを用いてパターンニングし、コンタクトホール 10 を介してゲート金属層とドレイン金属層を導通させる。なお、導通に用いる材料は ITO のような透明導電膜に限定されない。また、最上層金属を用いず、ドレイン金属層成膜前にゲート絶縁膜にコンタクトホールを形成しゲート金属層とドレイン金属層を直接導通させても良い。

30

【0046】

上記構成の TFT 基板の場合、指定したゲート配線 1 に ON 電圧を印加することでその行に接続された TFT 6 を導通状態にし、指定した行の各画素電極 4 に共通電圧を印加する。

【0047】

このとき、データ配線 3 に画像データに相当する電圧信号を印加することで、画素電極 4 とデータ配線 3 に接続された対向電極 5 との間に電位差が発生し、画素電極 4 と対向電極 5 を絶縁膜を介して積層したストレージ容量部分（ストレージ 9 の部分）及び画素電極 4 と対向電極 5 との間の液晶部分の容量、すなわち液晶容量に電位差が蓄積、保持される。

40

【0048】

その後、ゲート配線 1 を OFF 電圧に切り替えることで、画素電極 4 は共通配線 2 と切断され、対向電極 5 に対して前記ストレージ容量及び液晶容量で容量結合されたフローティング状態になる。

【0049】

この状態でデータ配線電圧を変化させると、画素電圧も同様に電圧変化を起こすが、対向電極 5 - 画素電極 4 間の電位差は維持されるので液晶にかかる電圧も維持され、電圧印加に伴う一定の方位変移状態を維持することが出来る。

【0050】

50

このように、画素電極 4 に共通電圧を供給し、対向電極 5 にドレイン電圧を供給することにより、データ配線 3 と対向電極 5 が同電位となり、データ信号の漏れ電界が液晶の方位を乱さないため、データ配線 3 を電氣的にシールドするためのシールド共通配線（図 8 の 20）を設ける必要がなくなり、また、データ配線 3 自体が対向電極 5 の一部となるため対向電極 5 を一本省略することができ、これらにより、開口部の面積を大きくし、開口率を高めることができる。

【0051】

なお、図 1 は例示であり、画素電極 4 がゲート配線 1 及び共通配線 2 と同層に形成され、対向電極 5 がデータ配線 3 と同層に形成され、TFT 6 のソース電極に共通配線 2 が接続され、ドレイン電極に画素電極 4 が接続され、データ配線 3 に対向電極 5 が接続される限りにおいて、各配線や電極の形状や配置、数量、材料などは適宜変更可能である。

10

【実施例 2】

【0052】

次に、本発明の第 2 の実施例に係るアクティブマトリクス基板及び該アクティブマトリクス基板を備える IPS 方式の液晶パネルについて、図 2 を参照して説明する。図 2 は、本実施例の IPS 方式の液晶パネルを構成する TFT 基板の一画素の構成を模式的に示す平面図である。

【0053】

本実施例は、図 2 に示すように、画素電極 4 及び対向電極 5 を最上層（すなわち、ゲート配線 1、共通配線 2 及びデータ配線 3 よりも上層）の導電膜（例えば ITO のような透明導電膜）で形成したことを特徴としている。

20

【0054】

この構成では、ストレージ容量を、画素電極 4 に接続された上部ストレージ電極（ストレージ 9 の上層側の電極）とデータ配線 3 に接続された下部ストレージ電極（ストレージ 9 の下層側の電極）とで構成する。

【0055】

また、対向電極 5 は、コンタクトホール 10a を介して下部ストレージ電極と接続されるため、データ配線 3 と同電位となる。また、対向電極 5 群を同じ層で形成するため、データ配線 3 上にデータ配線 3 と同形状の対向電極 5 を設け、コンタクトホール 10b を介してデータ配線 3 と対向電極 5 を接続する。

30

【0056】

なお、データ配線 3 上の最上層の導電膜で作られた対向電極 5 については、必ずしも設ける必要は無い。また、最上層の導電膜は必ずしも ITO のような透明導電膜に限定されない。また、図 2 は例示であり、画素電極 4 及び対向電極 5 が最上層の導電膜で形成され、TFT 6 のソース電極に共通配線 2 が接続され、ドレイン電極に画素電極 4 が接続され、データ配線 3 に対向電極 5 が接続される限りにおいて、各配線や電極の形状や配置、数量、材料などは適宜変更可能である。

【実施例 3】

【0057】

次に、本発明の第 3 の実施例に係るアクティブマトリクス基板及び該アクティブマトリクス基板を備える IPS 方式の液晶パネルについて、図 3 を参照して説明する。図 3 は、本実施例の IPS 方式の液晶パネルを構成する TFT 基板の一画素の構成を模式的に示す平面図である。

40

【0058】

本実施例は、図 3 に示すように、画素電極 4 を最上層（すなわち、ゲート配線 1、共通配線 2 及びデータ配線 3 よりも上層）の導電膜（例えば ITO のような透明導電膜）で形成し、対向電極 5 をデータ配線層で形成したことを特徴としている。

【0059】

この構成では、対向電極 5 と下部ストレージ電極が同層であるため、コンタクトホール（図 2 のコンタクトホール 10a、10b）を設ける必要が無く、第 2 の実施例に比べて

50

、よりストレージ容量及び開口率を大きく取ることが出来る。

【 0 0 6 0 】

なお、図 3 は例示であり、画素電極 4 が最上層の導電膜で形成され、対向電極 5 がデータ配線 3 と同層に形成され、T F T 6 のソース電極に共通配線 2 が接続され、ドレイン電極に画素電極 4 が接続され、データ配線 3 に対向電極 5 が接続される限りにおいて、各配線や電極の形状や配置、数量、材料などは適宜変更可能である。

【 実施例 4 】

【 0 0 6 1 】

次に、本発明の第 4 の実施例に係るアクティブマトリクス基板及び該アクティブマトリクス基板を備える I P S 方式の液晶パネルについて、図 4 を参照して説明する。図 4 は、本実施例の I P S 方式の液晶パネルを構成する T F T 基板の一画素の構成を模式的に示す平面図である。

10

【 0 0 6 2 】

本実施例は、図 4 に示すように、第 1 の実施例の構造において、共通配線 2 をゲート配線層とは別の層（本実施例では、ゲート配線層とデータ配線層の間）に設けたことを特徴としている。

【 0 0 6 3 】

本構造では、T F T 6 のソース電極と共通配線 2 とを同一層で形成することができ、コンタクトホール（図 1 のコンタクトホール 1 0 ）が省略できるため、簡単に本構造を実現することが出来る。

20

【 0 0 6 4 】

なお、本構造ではデータ配線層を共通配線層の上層に設置すること、共通配線の下層に設置することも出来る。また、図 4 は例示であり、画素電極 4 が共通配線 2 と同層に形成され、対向電極 5 がデータ配線 3 と同層に形成され、T F T 6 のソース電極に共通配線 2 が接続され、ドレイン電極に画素電極 4 が接続され、データ配線 3 に対向電極 5 が接続される限りにおいて、各配線や電極の形状や配置、数量、材料などは適宜変更可能である。

【 実施例 5 】

【 0 0 6 5 】

次に、本発明の第 5 の実施例に係るアクティブマトリクス基板及び該アクティブマトリクス基板を備える I P S 方式の液晶パネルについて、図 5 を参照して説明する。図 5 は、本実施例の I P S 方式の液晶パネルを構成する T F T 基板の一画素の構成を模式的に示す平面図である。

30

【 0 0 6 6 】

本実施例は、図 5 に示すように、第 2 の実施例の構造において、共通配線 2 をゲート配線層とは別の層（本実施例では、ゲート配線層とデータ配線層の間）に設けたことを特徴としている。

【 0 0 6 7 】

本構造では、T F T 6 のソース電極と共通配線 2 とを同一層で形成することができ、コンタクトホールが一部省略できるため、比較的簡単に本構造を実現することが出来る。

40

【 0 0 6 8 】

なお、図 5 は例示であり、画素電極 4 及び対向電極 5 が最上層に形成され、T F T 6 のソース電極に共通配線 2 が接続され、ドレイン電極に画素電極 4 が接続され、データ配線 3 に対向電極 5 が接続される限りにおいて、各配線や電極の形状や配置、数量、材料などは適宜変更可能である。

【 実施例 6 】

【 0 0 6 9 】

次に、本発明の第 6 の実施例に係るアクティブマトリクス基板及び該アクティブマトリクス基板を備える I P S 方式の液晶パネルについて、図 6 を参照して説明する。図 6 は、本実施例の I P S 方式の液晶パネルを構成する T F T 基板の一画素の構成を模式的に示す

50

平面図である。

【 0 0 7 0 】

本実施例は、図 6 に示すように、前記した第 5 の実施例の構造において、画素電極 4 の一部で共通配線 2 を縦方向に接続し、COM 電圧供給能力の強化を図ったことを特徴としている。

【 0 0 7 1 】

なお、図 6 は例示であり、画素電極 4 及び対向電極 5 が最上層に形成され、TFT 6 のソース電極に共通配線 2 が接続され、ドレイン電極に画素電極 4 が接続され、データ配線 3 に対向電極 5 が接続される限りにおいて、各配線や電極の形状や配置、数量、材料などは適宜変更可能である。

10

【 実施例 7 】

【 0 0 7 2 】

次に、本発明の第 7 の実施例に係るアクティブマトリクス基板及び該アクティブマトリクス基板を備える IPS 方式の液晶パネルについて、図 7 を参照して説明する。図 7 は、本実施例の IPS 方式の液晶パネルを構成する TFT 基板の一画素の構成を模式的に示す平面図である。

【 0 0 7 3 】

本実施例は、図 7 に示すように、前記した第 3 の実施例の構造において、共通配線 2 をゲート配線層とは別の層（本実施例では、ゲート配線層とデータ配線層の間）に設けたことを特徴としている。

20

【 0 0 7 4 】

なお、図 7 では、説明のためにデータ配線 3 上に電極を設けていないが、最上層の電極をデータ配線上にも配置する構造とすることも出来る。また、図 7 は例示であり、画素電極 4 が共通配線 2 と同層に形成され、対向電極 5 が最上層に形成され、TFT 6 のソース電極に共通配線 2 が接続され、ドレイン電極に画素電極 4 が接続され、データ配線 3 に対向電極 5 が接続される限りにおいて、各配線や電極の形状や配置、数量、材料などは適宜変更可能である。

【 0 0 7 5 】

また、本発明は上記各実施例に限定されるものではなく、画素電極 3 及び対向電極 4 が直線状と形成された構造や、ドメイン安定化電極 7 や逆回転防止構造 8 を省略した構造に対しても同様に適用することができる。また、上記各実施例では、TFT 6 を、半導体層の下側にゲート電極、上側にソース/ドレイン電極が配置される逆スタガ形（ボトムゲート形）としたが、半導体層の下側にソース/ドレイン電極、上側にゲート電極が配置される正スタガ形（トップゲート形）に対しても同様に適用することができる。

30

【 産業上の利用可能性 】

【 0 0 7 6 】

本発明は、液晶表示装置、特に、IPS 方式の液晶表示装置に利用可能である。

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 】本発明の第 1 の実施例に係る IPS 方式の液晶パネルを構成する TFT 基板の一画素の構成を模式的に示す平面図である。

40

【 図 2 】本発明の第 2 の実施例に係る IPS 方式の液晶パネルを構成する TFT 基板の一画素の構成を模式的に示す平面図である。

【 図 3 】本発明の第 3 の実施例に係る IPS 方式の液晶パネルを構成する TFT 基板の一画素の構成を模式的に示す平面図である。

【 図 4 】本発明の第 4 の実施例に係る IPS 方式の液晶パネルを構成する TFT 基板の一画素の構成を模式的に示す平面図である。

【 図 5 】本発明の第 5 の実施例に係る IPS 方式の液晶パネルを構成する TFT 基板の一画素の構成を模式的に示す平面図である。

【 図 6 】本発明の第 6 の実施例に係る IPS 方式の液晶パネルを構成する TFT 基板の一

50

画素の構成を模式的に示す平面図である。

【図 7】本発明の第 7 の実施例に係る IPS 方式の液晶パネルを構成する TFT 基板の画素の構成を模式的に示す平面図である。

【図 8】従来の IPS 方式の液晶パネルを構成する TFT 基板の画素の構成を模式的に示す平面図である。

【符号の説明】

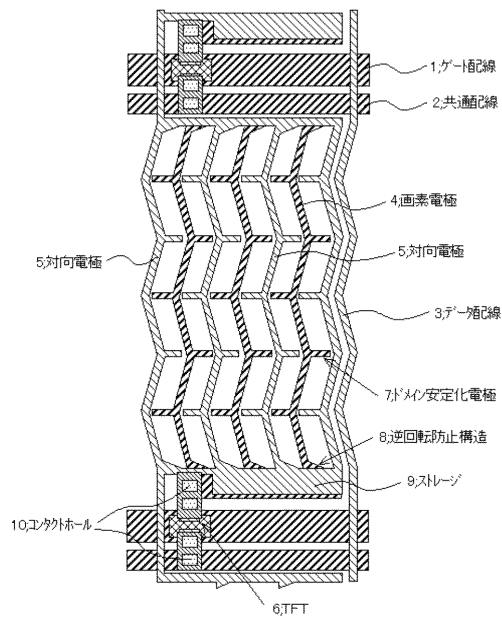
【 0 0 7 8 】

- 1 ゲート配線
- 2 共通配線（共通配線）
- 3 データ配線
- 4 画素電極
- 5 対向電極
- 6 TFT
- 7 ドメイン安定化電極
- 8 逆回転防止機構
- 9 ストレージ
- 10、10a、10b、10c コンタクトホール
- 11 ゲート配線
- 12 共通配線（COM配線）
- 13 データ配線
- 14 画素電極
- 15 対向電極
- 16 TFT
- 17 ドメイン安定化電極
- 18 逆回転防止機構
- 19 ストレージ
- 20 シールド共通配線（シールドCOM）
- 21 コラム

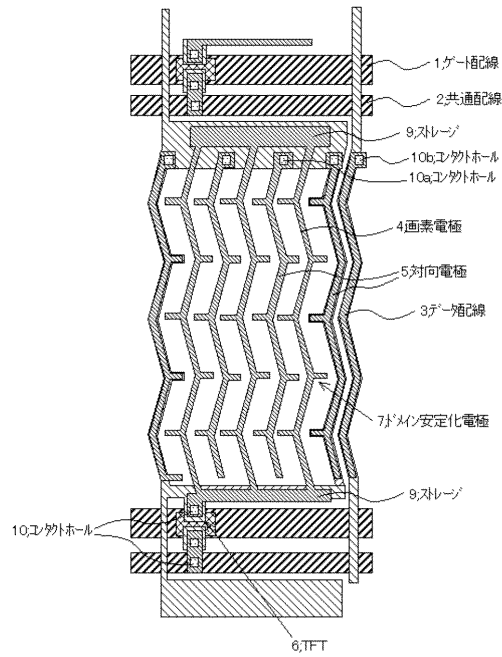
10

20

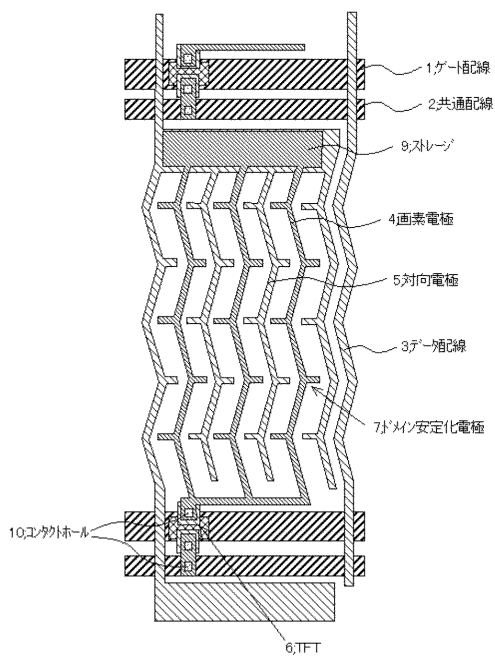
【図 1】



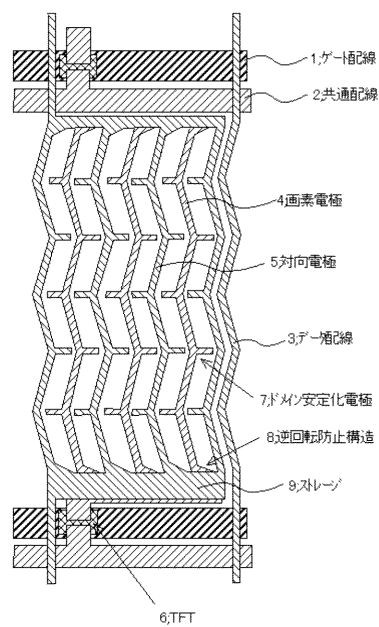
【図 2】



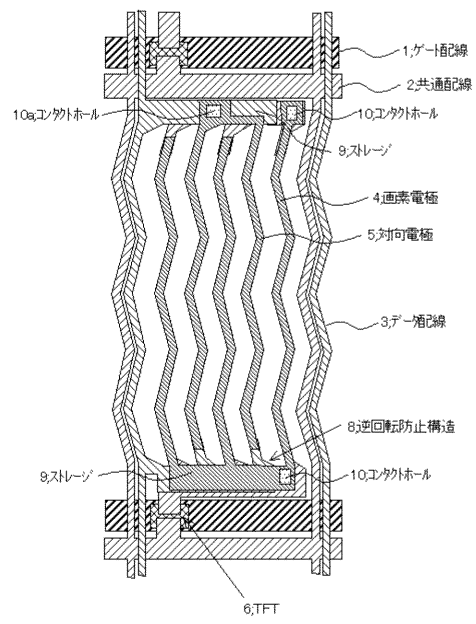
【図 3】



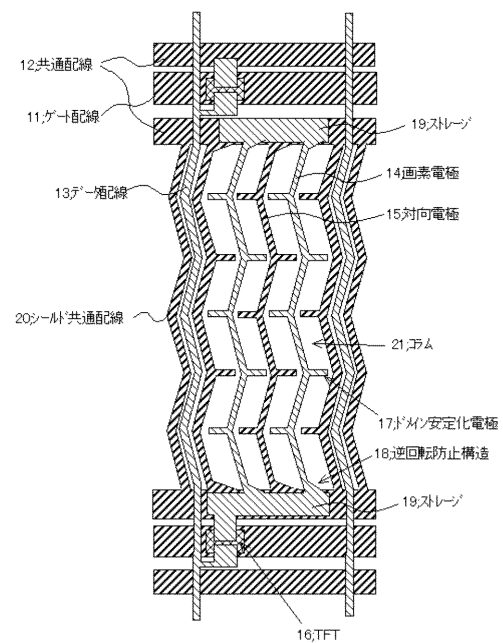
【図 4】



【 図 6 】



【圖 8】



专利名称(译)	有源矩阵基板和液晶面板		
公开(公告)号	JP2008262006A	公开(公告)日	2008-10-30
申请号	JP2007104179	申请日	2007-04-11
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC LCD科技有限公司		
[标]发明人	佐々木健		
发明人	佐々木 健		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	G02F1/136286 G02F1/134363		
FI分类号	G02F1/1368 H01L29/78.612.C		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA41 2H092/JA46 2H092/JB11 2H092/JB22 2H092/JB31 2H092/MA05 2H092/MA08 2H092/MA13 2H092/NA07 2H092/NA25 2H092/PA01 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD01 5F110/DD02 5F110/EE04 5F110/EE38 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG45 5F110/HK04 5F110/HK33 5F110/HL07 5F110/HM19 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/NN73 5F110/QQ09 2H092/JB37 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB04 2H192/BB53 2H192/BB55 2H192/BB73 2H192/BB83 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC44 2H192/CC58 2H192/DA32 2H192/JA32		
代理人(译)	宫本敬		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够提高开口率的有源矩阵基板，并提供IPS（平面开关）系统液晶面板。ΣSOLUTION：在有源矩阵基板中包括基本上彼此垂直的栅极线1和数据线3；基板平行于设置在基板上的栅极线1的公共线2，设置在栅极线1和数据线3之间的交叉点附近的TFT（薄膜晶体管）6，以及像素电极4和对电极5，在由栅极线1和数据线3围绕的像素内交替排列，其中公共线2的公共电压经由TFT 6提供给像素电极4，因为施加了数据线3的漏极电压对电极5和数据线3以及对电极5具有相同的电位，不需要用于电气屏蔽数据线3的布线；并且因为数据线3本身成为对电极5的一部分，所以可以确保可用于开口部分的区域宽并且可以改善数值孔径。Σ

