

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2008-107655
(P2008-107655A)

(43) 公開日 平成20年5月8日(2008.5.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623B	5C006
G02F 1/133 (2006.01)	G09G 3/20 623F	5C080
	G09G 3/20 623R	
	G09G 3/20 611J	
審査請求 未請求 請求項の数 20 O L (全 48 頁) 最終頁に続く		

(21) 出願番号	特願2006-291709 (P2006-291709)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成18年10月26日 (2006.10.26)	(74) 代理人	100102864 弁理士 工藤 実
		(72) 発明者	白井 宏明 神奈川県川崎市中原区小杉町1丁目403番53 NECマイクロシステム株式会社内
		(72) 発明者	橋本 義春 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		最終頁に続く	

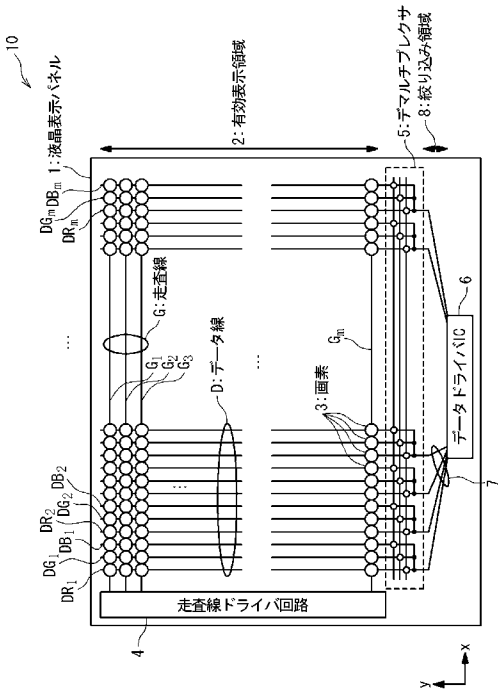
(54) 【発明の名称】 表示装置、データドライバ、及び表示パネル駆動方法

(57) 【要約】

【課題】 1つの出力アンプで時分割的に駆動されるデータ線の数を増加させながら、表示パネルの有効表示領域以外の部分の面積の増大を抑制する。

【解決手段】 本発明による表示装置は、液晶表示パネル1と、複数のソース出力Sから駆動電圧を出力して前記表示パネルを駆動するデータドライバ6とを具備する。データドライバ6は、画素データに対応する階調電圧を受け取り、前記階調電圧に応答して前記駆動電圧を出力する複数の出力アンプ17と、出力アンプ17を、複数のソース出力Sのうちから選択された選択ソース出力に電氣的に接続するように構成されたデマルチプレクサ19とを備えている。一方、液晶表示パネル1は、複数のデータ線Dと、そのうちから選択されたデータ線をソース出力Sに電氣的に接続するデマルチプレクサ5とを備えている。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

表示パネルと、
複数のソース出力から駆動電圧を出力して前記表示パネルを駆動するデータドライバとを具備し
前記データドライバは、
画素データに対応する階調電圧を受け取り、前記階調電圧に応答して前記駆動電圧を出力する複数の出力アンプと、
前記出力アンプを、複数のソース出力のうちから選択された選択ソース出力に電氣的に接続するように構成されたドライバ側デマルチプレクサとを備え、
前記表示パネルは、
複数のデータ線と、
前記複数のデータ線のうちから選択されたデータ線を、前記複数のソース出力に電氣的に接続するように構成されたパネル側デマルチプレクサとを備える
表示装置。

10

【請求項 2】

請求項 1 に記載の表示装置であって、
前記データドライバは、更に、
複数の階調電圧を受け取り、前記複数の階調電圧のうちから前記画素データに対応する前記階調電圧を出力する複数の D/A コンバータと、
前記複数の D/A コンバータのうちから選択された D/A コンバータの出力を前記出力アンプに接続するように構成されたマルチプレクサと、
前記複数の D/A コンバータの出力を前記複数のソース出力に電氣的に接続するように構成されたダイレクトスイッチとを備える
表示装置。

20

【請求項 3】

請求項 2 に記載の表示装置であって、
前記複数のソース出力は、第 1 ソース出力及び第 2 ソース出力を含み、
前記複数の出力アンプは、第 1 出力アンプを含み、
前記複数の D/A コンバータは、第 1 D/A コンバータ及び第 2 D/A コンバータを含み、
前記マルチプレクサは、前記第 1 D/A コンバータと前記第 2 D/A コンバータのうちから選択された一方の D/A コンバータの出力を前記第 1 出力アンプの入力に接続するように構成され、
前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を、前記第 1 ソース出力と前記第 2 ソース出力のうちから選択された一方のソース出力に接続するように構成され、
前記ダイレクトスイッチは、前記第 1 D/A コンバータと前記第 2 D/A コンバータとを、それぞれ、前記第 1 ソース出力と前記第 2 ソース出力とに接続するように構成された表示装置。

30

40

【請求項 4】

請求項 3 に記載の表示装置であって、
或る水平期間内の第 1 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続し、
前記或る水平期間内の、前記第 1 の期間に続く第 2 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 2 ソース出力に接続し、前記ダイレクトスイッチは、前記第 1 D/A コンバータの出力を前記第 1 ソース出力に接続する

50

表示装置。

【請求項 5】

請求項 4 に記載の表示装置であって、

前記或る水平期間内の、前記第 2 の期間に続く第 3 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 2 ソース出力から切り離し、前記ダイレクトスイッチは、前記第 2 D/A コンバータの出力を前記第 2 ソース出力に接続する

表示装置。

【請求項 6】

請求項 3 に記載の表示装置であって、

或る水平期間内の第 1 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続し、

前記或る水平期間内の、前記第 1 の期間に続く第 2 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 2 ソース出力に接続し、

前記或る水平期間に続く次水平期間内の第 3 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 2 ソース出力に接続し、

前記次水平期間内の、前記第 3 の期間に続く第 4 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続する

表示装置。

【請求項 7】

請求項 3 に記載の表示装置であって、

或るフレーム期間の第 m 水平期間内の第 1 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続し、

前記或るフレーム期間の前記第 m 水平期間内の、前記第 1 の期間に続く第 2 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 2 ソース出力に接続し、

或るフレーム期間に続く次フレーム期間の第 m 水平期間内の第 3 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 2 ソース出力に接続し、

前記次フレーム期間の前記第 m 水平期間内の、前記第 3 の期間に続く第 4 の期間において、前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続する

表示装置。

【請求項 8】

請求項 1 に記載の表示装置であって、

前記複数のソース出力は、第 1 ソース出力、及び第 2 ソース出力を含み、

前記複数の出力アンプは、第 1 出力アンプ及び第 2 出力アンプを含み、

前記ドライバ側デマルチプレクサは、第 1 時刻において前記第 1 出力アンプの出力を前記第 1 ソース出力に接続し、前記第 1 時刻の後の第 2 時刻において、前記第 1 出力アンプの出力が前記第 1 ソース出力に接続しながら前記第 2 出力アンプの出力を前記第 2 ソース出力に接続するように制御される

表示装置。

【請求項 9】

請求項 2 に記載の表示装置であって、

前記複数のソース出力は、この順序で並べられた第 1 ソース出力、第 2 ソース出力、第 3 ソース出力、及び第 4 ソース出力を含み、

前記複数の出力アンプは、第 1 出力アンプ及び第 2 出力アンプを含み、

前記複数の D/A コンバータは、第 1 ～第 4 D/A コンバータを含み、

前記マルチプレクサは、前記第 1 D/A コンバータ及び前記第 3 D/A コンバータのうちから選択された一方の D/A コンバータの出力を前記第 1 出力アンプの入力に接続する

ように構成され、且つ、前記第 2 D/A コンバータ及び前記第 4 D/A コンバータのうちから選択された一方の D/A コンバータの出力を前記第 2 出力アンプの入力に接続するように構成され、

前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を、前記第 1 ソース出力及び前記第 3 ソース出力のうちから選択された一方のソース出力に接続するように構成され、且つ、前記第 2 出力アンプの出力を、前記第 2 ソース出力及び前記第 4 ソース出力のうちから選択された一方のソース出力に接続するように構成され、

前記ダイレクトスイッチは、前記第 1～第 4 D/A コンバータを、それぞれ、前記第 1～第 4 ソース出力に接続するように構成された

表示装置。

10

【請求項 10】

請求項 9 に記載の表示装置であって、

前記ドライバ側デマルチプレクサは、第 1 時刻において、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続し、前記第 1 時刻の後の第 2 時刻において、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続しながら前記第 2 出力アンプの出力を前記第 2 ソース出力に接続し、前記第 2 時刻の後の第 3 時刻において、前記第 1 出力アンプの出力を前記第 1 ソース出力から切り離すように制御され、

前記ダイレクトスイッチは、前記第 3 時刻において、前記第 1 D/A コンバータの出力を前記第 1 ソース出力に接続するように制御される

表示装置。

20

【請求項 11】

請求項 1 に記載の表示装置であって、

前記データドライバは、更に、

複数の階調電圧を受け取り、前記複数の階調電圧のうちから第 1 画素データに対応する第 1 階調電圧を出力する第 1 D/A コンバータと、

前記複数の階調電圧のうちから第 2 画素データに対応する第 2 階調電圧を出力する第 2 D/A コンバータ

とを具備し

前記複数のソース出力は、この順序で並べられた第 1 ソース出力、第 2 ソース出力、第 3 ソース出力、及び第 4 ソース出力を含み、

30

前記複数の出力アンプは、

前記第 1 D/A コンバータから前記第 1 階調電圧を受け取り、前記第 1 階調電圧にตอบสนองして第 1 駆動電圧を出力する第 1 出力アンプと、

前記第 2 D/A コンバータから前記第 2 階調電圧を受け取り、前記第 2 階調電圧にตอบสนองして第 2 駆動電圧を出力する第 2 出力アンプ

とを備え、

前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を、前記第 1 ソース出力及び前記第 3 ソース出力のうちから選択された一方のソース出力に接続するように構成され、且つ、前記第 2 出力アンプの出力を、前記第 2 ソース出力及び前記第 4 ソース出力のうちから選択された一方のソース出力に接続するように構成された

40

表示装置。

【請求項 12】

請求項 11 に記載の表示装置であって、

前記ドライバ側デマルチプレクサは、第 1 時刻において前記第 1 出力アンプの出力を前記第 1 ソース出力に接続し、前記第 1 時刻の後の第 2 時刻において、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続しながら前記第 2 出力アンプの出力を前記第 2 ソース出力に接続するように制御される

表示装置。

【請求項 13】

請求項 12 に記載の表示装置であって、

50

前記ドライバ側デマルチプレクサは、前記第 2 時刻の後の第 3 時刻において、前記第 2 出力アンプの出力を前記第 2 ソース出力に接続しながら前記第 1 出力アンプの出力を前記第 3 ソース出力に接続し、且つ、前記第 3 時刻の後の第 4 時刻において、前記第 1 出力アンプの出力を前記第 3 ソース出力に接続しながら前記第 2 出力アンプの出力を前記第 4 ソース出力に接続するように制御され、

更に、前記ドライバ側デマルチプレクサは、前記第 1 時刻において前記第 2 出力アンプの出力を前記第 4 ソース出力に接続するように制御される

表示装置。

【請求項 1 4】

請求項 1 に記載の表示装置であって、

前記データドライバは、更に、複数の階調電圧を受け取り、前記複数の階調電圧のうちから選択された第 1 ～第 4 階調電圧をそれぞれに出力する第 1 ～第 4 D/A コンバータを備え、

前記複数のソース出力は、この順序で並べられた第 1 ソース出力、第 2 ソース出力、第 3 ソース出力、第 4 ソース出力、第 5 ソース出力、第 6 ソース出力、第 7 ソース出力、及び第 8 ソース出力を含み、

前記複数の出力アンプは、

前記第 1 ～第 4 D/A コンバータから、それぞれ前記第 1 ～第 4 階調電圧を受け取り、それぞれ前記第 1 ～第 4 階調電圧に応答して第 1 ～第 4 駆動電圧を出力する第 1 ～第 4 出力アンプを備え、

前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を、前記第 1 ソース出力及び前記第 3 ソース出力のうちから選択された一方のソース出力に接続するように構成され、前記第 2 出力アンプの出力を、前記第 2 ソース出力及び前記第 4 ソース出力のうちから選択された一方のソース出力に接続するように構成され、前記第 3 出力アンプの出力を、前記第 5 ソース出力及び前記第 7 ソース出力のうちから選択された一方のソース出力に接続するように構成され、前記第 4 出力アンプの出力を、前記第 6 ソース出力及び前記第 8 ソース出力のうちから選択された一方のソース出力に接続するように構成されており、且つ、

前記ドライバ側デマルチプレクサは、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続すると同時に前記第 4 出力アンプの出力を前記第 8 ソース出力に接続し、前記第 2 出力アンプの出力を前記第 4 ソース出力に接続すると同時に前記第 3 出力アンプの出力を前記第 5 ソース出力に接続するように構成された

表示装置。

【請求項 1 5】

請求項 1 4 に記載の表示装置であって、

前記ドライバ側デマルチプレクサは、第 1 時刻において前記第 1 出力アンプの出力を前記第 1 ソース出力に接続すると共に前記第 4 出力アンプの出力を前記第 8 ソース出力に接続し、前記第 1 時刻の後の第 2 時刻において、前記第 2 出力アンプの出力を前記第 2 ソース出力に接続すると共に前記第 3 出力アンプの出力を前記第 7 ソース出力に接続し、前記第 2 時刻の後の第 3 時刻において、前記第 1 出力アンプの出力を前記第 3 ソース出力に接続すると共に前記第 4 出力アンプの出力を前記第 6 ソース出力に接続し、前記第 3 時刻の後の第 4 時刻において、前記第 2 出力アンプの出力を前記第 4 ソース出力に接続すると共に前記第 3 出力アンプの出力を前記第 5 ソース出力に接続するように制御される

表示装置。

【請求項 1 6】

請求項 1 4 に記載の表示装置であって、

前記ドライバ側デマルチプレクサは、第 1 時刻において前記第 2 出力アンプの出力を前記第 4 ソース出力に接続すると共に前記第 3 出力アンプの出力を前記第 5 ソース出力に接続し、前記第 1 時刻の後の第 2 時刻において、前記第 1 出力アンプの出力を前記第 3 ソース出力に接続すると共に前記第 4 出力アンプの出力を前記第 6 ソース出力に接続し、前記

第 2 時刻の後の第 3 時刻において、前記第 2 出力アンプの出力を前記第 2 ソース出力に接続すると共に前記第 3 出力アンプの出力を前記第 7 ソース出力に接続し、前記第 3 時刻の後の第 4 時刻において、前記第 1 出力アンプの出力を前記第 1 ソース出力に接続すると共に前記第 4 出力アンプの出力を前記第 8 ソース出力に接続するように制御される表示装置。

【請求項 17】

複数のデータ線と、前記複数のデータ線のうちから駆動されるべきデータ線を選択するパネル側デマルチプレクサとを備える表示パネルを駆動するデータドライバであって、前記データドライバは、

前記パネル側デマルチプレクサの入力に接続された複数のソース出力と、

画素データに対応する階調電圧を受け取り、前記階調電圧に応答して前記駆動電圧を出力する複数の出力アンプと、

前記出力アンプを、前記複数のソース出力のうちから選択されたソース出力に電氣的に接続するように構成されたデマルチプレクサと、

前記パネル側デマルチプレクサを制御する制御信号を生成する制御回路とを具備する

データドライバ。

【請求項 18】

請求項 17 に記載のデータドライバであって、

更に、

複数の階調電圧を受け取り、前記複数の階調電圧のうちから前記画素データに対応する前記階調電圧を出力する複数の D/A コンバータと、

前記複数の D/A コンバータのうちから選択された D/A コンバータの出力を前記出力アンプに接続するように構成されたマルチプレクサと、

前記複数の D/A コンバータの出力を前記複数のソース出力に電氣的に接続するように構成されたダイレクトスイッチ

とを具備する

データドライバ。

【請求項 19】

請求項 17 に記載の表示装置であって、

前記複数のソース出力は、第 1 ソース出力、及び第 2 ソース出力を含み、

前記複数の出力アンプは、第 1 出力アンプ及び第 2 出力アンプを含み、

前記ドライバ側デマルチプレクサは、第 1 時刻において前記第 1 出力アンプの出力を前記第 1 ソース出力に接続し、前記第 1 時刻の後の第 2 時刻において、前記第 1 出力アンプの出力が前記第 1 ソース出力に接続された状態で、前記第 2 出力アンプの出力を前記第 2 ソース出力に接続するように制御される

データドライバ。

【請求項 20】

複数のデータ線と、前記複数のデータ線のうちから駆動されるべきデータ線を選択するパネル側デマルチプレクサとを備える表示パネルを駆動する表示パネル駆動方法であって、

データドライバに設けられたドライバ側デマルチプレクサにより、出力アンプの出力を、複数のソース出力から選択された選択ソース出力に電氣的に接続するステップと、

表示パネルに設けられたパネル側デマルチプレクサにより、複数のデータ線のうちから選択された選択データ線を前記選択ソース出力に電氣的に接続するステップと、

前記出力アンプから前記選択ソース出力を介して前記選択データ線に駆動電圧を供給し、前記選択データ線に接続された画素に前記駆動電圧を書き込むステップ

とを具備する

表示パネル駆動方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、表示装置に関し、特に、表示パネルのデータ線が時分割で駆動される表示装置に関する。

【背景技術】

【0002】

一般に、液晶表示パネルや、その他の表示パネルのデータ線を駆動するデータドライバICには出力アンプが集積化され、その出力アンプがデータ線の駆動に使用される。このような構成が採用されるのは、データ線の負荷（寄生容量、配線抵抗、TFTのオン抵抗）が大きいためである。負荷が大きいデータ線を所望の駆動電圧に速やかに駆動するためには、出力アンプが必要である。

10

【0003】

一つの問題は、データ線の数が増大すると、出力アンプの数もそれに応じて増加させる必要があることである。近年の表示パネルでは、画素の数が増加しており、従って、データ線の数もそれに応じて増加している。従って、データ線を駆動するために設けられる出力アンプの数も増加する傾向にある。しかしながら、出力アンプの数を増加させることには、2つの不利益がある。第1の不利益は、出力アンプの数を増加させるとデータドライバICのチップ面積が増大することである。データドライバICのチップ面積の増加は、データドライバICのコストを増大させるため好ましくない。第2の不利益は、出力アンプの数を増加させると、データドライバICの定常の消費電力が増大することである。出力アンプには、電源電圧に応じた定常電流が流れるから、出力アンプは、定常的に一定の消費電力を消費する。したがって、出力アンプの数の増加は、データドライバIC全体としての消費電力の増大を招き、携帯端末のように低い消費電力が求められる用途で表示装置を用いる場合には特に好ましくない。

20

【0004】

この問題に対処するための一つの方策は、時分割駆動を採用することである。時分割駆動とは、デマルチプレクサで駆動すべきデータ線を順次を選択し、選択されたデータ線を出力アンプで順次に駆動する技術である。時分割駆動では、1つの出力アンプで複数のデータ線が駆動されるから、データドライバに集積化される出力アンプの数を減少させることができる。

30

【0005】

時分割駆動を実現するハードウェア構成には、大きく分けて2種類がある。一つのハードウェア構成は、例えば、特開平11-327518号公報及び特開2005-43418号公報に開示されているように、データ線を選択するデマルチプレクサ（スイッチ）を表示パネルに集積化する構成である。時分割駆動を実現するもう一つのハードウェア構成は、例えば、特開平5-173506号公報、特開2002-318566号公報、及び特開2006-154808号公報、に開示されているように、データ線を選択するスイッチをデータドライバICに集積化する構成である。

【0006】

図1は、データ線を選択するデマルチプレクサが表示パネルに集積化された液晶表示装置の構成を示す概念図である。図1の液晶表示装置100は、液晶表示パネル101を備えている。液晶表示パネル101の有効表示領域102（即ち、液晶表示パネル101のうち実際に画像の表示に使用される領域）には、走査線Gと、データ線Dと、画素103とが集積化されている。走査線Gは、x軸方向に延伸するように設けられ、データ線Dは、y軸方向に延伸するように設けられている。画素103は、走査線Gとデータ線Dとが交差する位置に設けられている。

40

【0007】

有効表示領域102の周囲には、画素103を駆動するための回路群が設けられている。具体的には、走査線ドライバ回路104とデマルチプレクサ105とが液晶表示パネル101に集積化され、更に、データドライバIC106が液晶表示パネル101にフリッ

50

プチップ接続されている。図1の液晶表示装置100では、データドライバIC106の実装にCOG(chip on glass)技術が採用されているとして説明がなされていることに留意されたい。デマルチプレクサ105は、データ線DとデータドライバIC106のソース出力との間に設けられたスイッチ105aで構成されている。図1の液晶表示装置100では、デマルチプレクサ105は、6本のデータ線Dを選択的に1つのデータドライバIC106のソース出力に接続するように構成されている。画素103の駆動では、6本のデータ線Dが順次にデマルチプレクサ105によって選択され、選択されたデータ線Dを介してデータドライバIC106のソース出力から所望の画素103に駆動電圧が供給される。

【0008】

10

データドライバIC106のチップ幅は有効表示領域102の幅よりも小さいため、データドライバIC106のソース出力とデマルチプレクサ105とを接続する配線107は、放射状に配置される。この配線107が配置される領域は、絞り込み領域108と呼ばれる。絞り込み領域108の存在は、液晶表示パネル101のうち実際に画像の表示に使用されない領域の面積の増大を招くため好ましくない。

【0009】

一方、図2及び図3は、データ線を選択するデマルチプレクサをデータドライバICに集積化する構成を示す概念図である。図2の液晶表示装置100Aでは、デマルチプレクサは液晶表示パネル101AではなくデータドライバIC106Aに集積化され、データ線Dは、絞り込み領域108に設けられた配線107を介して直接にデータドライバIC106Aのソース出力に接続される。

20

【0010】

図3は、データドライバIC106Aの出力段の典型的な構成を示すブロック図である。D/Aコンバータ111には、画素データ(即ち、各画素の階調を指定するデータ)が供給され、D/Aコンバータ111は、画素データの値に対応する階調電圧を出力アンプ112に供給する。出力アンプ112の出力は、デマルチプレクサ113に接続されている。デマルチプレクサ113は、複数のデータ線Dを順次に選択し、選択されたデータ線Dを出力アンプ112の出力に接続する。選択されたデータ線Dを介してデータドライバIC106Aのソース出力から所望の画素103に駆動電圧が供給される。

【0011】

30

特開2005-165102号公報は、更に、データ線を選択するデマルチプレクサをデータドライバICに集積化する構成の改良について開示している。この公報に開示されているデータドライバICでは、出力アンプを複数のソース出力に接続するデマルチプレクサがデータドライバICに集積化された上、出力アンプに接続されていないソース出力をD/Aコンバータの出力に接続する信号線が設けられている。

【特許文献1】特開平11-327518号公報

【特許文献2】特開2005-43418号公報

【特許文献3】特開平5-173506号公報

【特許文献4】特開2002-318566号公報

【特許文献5】特開2006-154808号公報

【特許文献6】特開2005-165102号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0012】

近年の表示装置への要求の一つは、1つのデータドライバICで駆動可能なデータ線の数の増大である。この要求に対応するためには、1つの出力アンプで時分割的に駆動されるデータ線の数を増やすことが求められている。具体的には、次世代の液晶表示装置では、1つの出力アンプで6本又はそれ以上のデータ線を駆動することが求められている。

【0013】

もう一つの要求は、表示パネルのうち、有効表示領域以外の部分の面積を小さくするこ

50

とである（以下では、表示パネルのうち、有効表示領域以外の部分を、非有効表示領域と記載することがある）。非有効表示領域の面積を小さくすることは、表示パネルを実装したときの表示装置のサイズを小さくすることを可能にし、更に、表示パネルのコストの低減のために有用である。

【0014】

しかしながら、上記の2つのハードウェア構成では、1つのデータドライバICで駆動されるデータ線の数の増大に伴って1つの出力アンプで時分割的に駆動されるデータ線の数を増大させると、表示パネルの非有効表示領域の面積が増大してしまうという問題がある。

【0015】

まず、データ線を選択するデマルチプレクサが表示パネルに集積化される構成では、1つの出力アンプで時分割的に駆動されるデータ線の数が増加すると、デマルチプレクサ105の面積が増加し、この結果、表示パネルのうち、非有効表示領域の面積が増大してしまう。非有効表示領域の面積が増大する理由は2つある。第1に、1つの出力アンプで時分割的に駆動されるデータ線の数を増加させると、表示パネルに設けられるデマルチプレクサを構成するTF Tのゲート幅を増大させる必要がある。1つの出力アンプで時分割的に駆動されるデータ線の数が増加すると、1つのデータ線の駆動期間が短くなる。短い駆動期間でデータ線を十分に駆動するためには、デマルチプレクサを構成するTF Tのオン抵抗を低減させる必要がある。TF Tのオン抵抗を低減させるためには、TF Tのゲート幅を増大させざるを得ないが、デマルチプレクサを構成するTF Tのゲート幅の増大は、非有効表示領域の面積の増加を招く。第2に、1つの出力アンプで時分割的に駆動されるデータ線の数が増加すると、制御信号をスイッチ105aに供給するために使用される制御信号線の数を増大させる必要があり、これは、非有効表示領域の面積を増大させてしまう。制御信号をスイッチ105aに供給する制御信号線は、表示パネルの有効表示領域の一端から他端に到達するような長い配線であり、それが占める面積は非常に大きい。

【0016】

一方、データ線を選択するデマルチプレクサをデータドライバICに集積化する構成では、データドライバICからのソース出力の数は削減されず、1つのデータドライバICで駆動されるデータ線の数の増大によって絞り込み領域108の高さ（y軸方向の寸法）が大きくなり、やはり、表示パネルの非有効表示領域の面積が増大してしまう。その理由は以下のとおりである。データ線DとデータドライバICの出力を接続する配線107の間の短絡を防ぐためには、配線107の間にはある程度の間隔を確保する必要があり、よって、配線107とデータドライバの出力が並ぶ線とがなす角度 θ には、所定の下限がある。従って、配線107を端のデータ線Dに接続するためには、絞り込み領域108の高さをある程度確保する必要があり、これは、非有効表示領域の面積の増大をまねく。また、絞り込み領域108の高さを抑えるために、配線107の間隔を短絡しない程度に狭くすると、配線間の寄生容量が増大し、容量カップリングによる電圧変動の影響を受けて電圧誤差が大きくなる。特に、配線107が長くなる有効表示領域102の左右の端に位置する画素での電圧誤差が大きくなり、表示むらが生じる。

【課題を解決するための手段】

【0017】

上記の問題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

【0018】

本発明による表示装置は、表示パネル（1）と、複数のソース出力（S）から駆動電圧を出力して前記表示パネルを駆動するデータドライバ（6、6A～6C）とを具備する。

データドライバ（６、６Ａ～６Ｃ）は、画素データに対応する階調電圧を受け取り、前記階調電圧に応答して前記駆動電圧を出力する複数の出力アンプ（１７）と、出力アンプ（１７）を、複数のソース出力（Ｓ）のうちから選択された選択ソース出力に電氣的に接続するように構成されたドライバ側デマルチプレクサ（１９）とを備えている。一方、表示パネル（１）は、複数のデータ線（Ｄ）と、前記複数のデータ線（Ｄ）のうちから選択されたデータ線を、前記複数のソース出力（Ｓ）に電氣的に接続するように構成されたパネル側デマルチプレクサ（５）とを備えている。

【００１９】

当該表示装置では、データドライバ（６、６Ａ～６Ｃ）と表示パネル（１）の両方に設けられたデマルチプレクサにより、出力アンプ（１７）によって駆動されるデータ線（Ｄ）が選択される。このような構成では、表示パネル（１）にパネル側デマルチプレクサ（５）を設けられているためにソース出力（Ｓ）の数が少なく絞り込み領域の高さを抑制できる。更に、データドライバ（６、６Ａ～６Ｃ）にドライバ側デマルチプレクサ（１９）が設けられているためにパネル側デマルチプレクサ（５）を制御する制御信号線の数を減少させることができる。データドライバ（６、６Ａ～６Ｃ）に集積化されるトランジスタは、表示パネル（１）に集積化されるトランジスタよりも微細化が進んでいるため、ドライバ側デマルチプレクサ（１９）は小さい面積しか必要としない。したがって、当該表示装置では、パネル側デマルチプレクサ（５）の高さが低減される上に、データドライバの面積の増加は僅かで済むので、全体としては、表示パネル（１）の非有効表示領域の面積を低減させることができる。

【００２０】

好適な実施形態では、データドライバ（６、６Ａ）は、更に、複数の階調電圧を受け取り、前記複数の階調電圧のうちから前記画素データに対応する前記階調電圧を出力する複数のＤ／Ａコンバータ（１５）と、前記複数のＤ／Ａコンバータ（１５）のうちから選択されたＤ／Ａコンバータ（１５）の出力を出力アンプ（１７）に接続するように構成されたマルチプレクサ（１６）と、Ｄ／Ａコンバータ（１５）の出力をソース出力（Ｓ）に電氣的に接続するように構成されたダイレクトスイッチ（１８）とを具備する。このような構成では、Ｄ／Ａコンバータ（１５）の出力をソース出力（Ｓ）に直結することが可能であり、出力アンプ（１７）のオフセットの影響を排除することが可能である。

【００２１】

また、ドライバ側デマルチプレクサ（１９）は、第１時刻において前記複数の出力アンプ（１７）のうちの第１出力アンプ（１７_１）の出力を前記複数のソース出力（Ｓ）のうちの第１ソース出力（Ｓ_１）に接続し、前記第１時刻の後の第２時刻において、前記第１出力アンプ（１７_１）の出力を前記第１ソース出力（Ｓ_１）に接続しながら、前記複数の出力アンプ（１７）のうちの第２出力アンプ（１７_２）の出力を前記複数のソース出力（Ｓ）のうちの第２ソース出力（Ｓ_２）に接続するように制御されることが好ましい。このような駆動方法では、第２ソース出力（Ｓ_２）の電圧レベルが変動したときに、容量カップリングによって第１ソース出力（Ｓ_１）の電圧レベルが多少変動しても、第１出力アンプ（１７_１）が動作しているために第１ソース出力（Ｓ_１）の電圧レベルを所望の電圧レベルに直ぐにもどすことができる。したがって、容量カップリングによるクロストークの影響を有効に防止することができる。

【発明の効果】

【００２２】

本発明によれば、１つの出力アンプで時分割的に駆動されるデータ線の数を増加させながら、表示パネルの有効表示領域以外の部分の面積の増大を抑制することができる。

【発明を実施するための最良の形態】

【００２３】

以下では、図面を参照しながら本発明の好適な実施形態を説明する。図面において、同一の構成要素は、同一又は類似の参照番号によって参照されることに留意されたい。また、必要がある場合、複数の同一の構成要素は添字によって互いに区別されるが、区別する

必要がない場合には、添字が省略されることに留意されたい。

【0024】

(第1の実施形態)

図4は、本発明の第1の実施形態の液晶表示装置の構成を示す図である。液晶表示装置10は、液晶表示パネル1を備えており、液晶表示パネル1の有効表示領域2には、走査線Gとデータ線Dと画素3とが集積化されている。画素3は、走査線Gとデータ線Dとが交差する位置に設けられている。

【0025】

図5に示されているように、各画素3は、TFT (thin film transistor) 3aと、画素電極3bとを備えている。TFT 3aのドレインはデータ線Dのいずれかに接続され、ゲートは走査線Gに接続され、ソースは、画素電極3bに接続されている。画素電極3bは、共通電極(対向電極)3cに対向しており、画素電極3bと共通電極3cとの間には液晶が満たされている。画素3に駆動電圧が供給されると、供給された駆動電圧は画素電極3bと共通電極3cとの間に印加され、これにより、各画素3は、所望の階調を表示する。

【0026】

図4に戻り、画素3には、赤(R)を表示する画素、緑(G)を表示する画素、青(B)を表示する画素の3種類がある。赤を表示する画素3は、以下、R画素3と記載されることがある。同様に、緑、青を表示する画素3は、それぞれ、G画素3、B画素3と記載されることがある。

【0027】

各データ線Dには、同一の色を表示する画素3が接続されている。即ち、画素3の各列は、同一の色を表示する画素で構成されている。以下において、R画素に接続されているデータ線Dは、データ線DRと記載される。同様に、G画素、B画素に接続されているデータ線Dは、それぞれ、データ線DG、DBと記載されることがある。

【0028】

液晶表示パネル1の有効表示領域2の周辺には、走査線ドライバ回路4とデマルチプレクサ5とが集積化され、更に、データドライバIC6が液晶表示パネル1にフリップチップ接続されている。走査線ドライバ回路4は、走査線Gを駆動するための回路である。デマルチプレクサ5は、複数のデータ線Dから駆動されるデータ線を選択し、選択されたデータ線をデータドライバIC6のソース出力に接続する。デマルチプレクサ5の入力は、絞り込み領域8に設けられた配線7を介してデータドライバIC6のソース出力に接続されている。後述されるように、本実施形態の液晶表示装置10の主題の一つは、デマルチプレクサ5及び絞り込み領域8の面積を小さくことにある。

【0029】

図6は、液晶表示パネル1及びデータドライバIC6の回路構成を示す図である。図6には、データドライバIC6のソース出力 $S_1 \sim S_4$ に関連する部分のみが図示されているが、液晶表示装置10に図6の構成が繰り返して設けられていることは、当業者には自明的であろう。

【0030】

液晶表示パネル1のデマルチプレクサ5は、TFTで形成された時分割スイッチ 5_R 、 5_G 、 5_B から構成されている。時分割スイッチ 5_{R_i} は、データ線 DR_i とデータドライバIC6のソース出力 S_i の間に接続されており、データドライバIC6から供給される制御信号RSWに応答してオンオフされる。同様に、時分割スイッチ 5_{G_i} 、 5_{B_i} は、それぞれデータ線 DG_i 、 DB_i とソース出力 S_i の間に接続されており、それぞれデータドライバIC6から供給される制御信号GSW、BSWに応答してオンオフされる。

【0031】

データドライバIC6は、ラッチ11と、レジスタ12と、マルチプレクサ13と、階調電圧発生回路14と、D/Aコンバータ15と、マルチプレクサ16と、出力アンプ17と、ダイレクトスイッチ18と、デマルチプレクサ19と、タイミング制御回路20と

10

20

30

40

50

を備えている。

【0032】

ラッチ11_iは、画素データ X_{Ri} 、 X_{Gi} 、 X_{Bi} を外部から取り込んで保存する。ここで、画素データ X_{Ri} とは、データ線 DR_i に接続されたR画素3の階調を指定するデータであり、同様に、画素データ X_{Gi} 、 X_{Bi} とは、それぞれ、データ線 DG_i 、 DB_i に接続されたG画素3、B画素3の階調を指定するデータである。ラッチ11_iによる画素データ X_{Ri} 、 X_{Gi} 、 X_{Bi} の取り込みは、スタートパルス信号 $STAi$ にตอบสนองして行われる。スタートパルス信号 $STAi$ が活性化されると（本実施形態ではHighレベルにプルアップされると）、ラッチ11_iは、画素データ X_{Ri} 、 X_{Gi} 、 X_{Bi} をラッチする。

10

【0033】

レジスタ12_iは、共通のラッチ信号 STB にตอบสนองして、画素データ X_{Ri} 、 X_{Gi} 、 X_{Bi} をラッチ11_iから受け取って保存する。レジスタ12は、現在の水平期間において駆動される1ラインの画素3（即ち、選択された走査線 G に接続されている画素3）の画素データを保持するために使用される。

【0034】

マルチプレクサ13_iは、選択信号 $RSEL$ 、 $GSEL$ 、及び $BSEL$ にตอบสนองして、レジスタ12_iに保存されている画素データ X_{Ri} 、 X_{Gi} 、 X_{Bi} のうちのいずれかを選択する。詳細には、選択信号 $RSEL$ が活性化されている場合、マルチプレクサ13_iは、画素データ X_{Ri} を選択する。同様に、選択信号 $GSEL$ 、 $BSEL$ が活性化されている場合、マルチプレクサ13_iは、それぞれ、画素データ X_{Gi} 、 X_{Bi} を選択する。選択された画素データは、 D/A コンバータ15_iに供給される。

20

【0035】

階調電圧発生回路14は、画素3が取り得る階調のそれぞれに対応した階調電圧 Vg を D/A コンバータ15のそれぞれに供給する。画素データ X_{Ri} 、 X_{Gi} 、 X_{Bi} のそれぞれが k ビットのデータである場合、画素3が取り得る階調の数は 2^k 個であり、この場合、 2^k 本の異なる電圧レベルを有する階調電圧 Vg が、 D/A コンバータ15に供給される。

【0036】

D/A コンバータ15_iは、階調電圧発生回路14から供給される階調電圧 Vg のうち、マルチプレクサ13_iから送られてくる画素データに対応する階調電圧を選択し、選択された階調電圧を出力する。留意すべきことは、 D/A コンバータ15それ自体は、駆動能力を有していないことである。図7を参照して、 D/A コンバータ15には、階調電圧 $Vg_1 \sim Vg_N$ を階調電圧発生回路14から供給する N 本の階調電圧線14aが接続されている。 D/A コンバータ15_iは、マルチプレクサ13_iから送られてくる画素データにตอบสนองして N 本の階調電圧線14aのうちの一本をその出力に接続するセレクトアとして機能する。

30

【0037】

図6に戻り、出力アンプ17は、データ線 D を駆動する駆動電圧を生成する。出力アンプ17によって生成される駆動電圧の電圧レベルは、 D/A コンバータ15から送られてくる階調電圧と同一の電圧レベルである。駆動電圧は、ソース出力 S を介して液晶表示パネル1に出力され、デマルチプレクサ5によって選択されたデータ線 D に供給される。各出力アンプ17には制御信号 $AMPON$ が供給されており、制御信号 $AMPON$ が活性化されている場合に、出力アンプ17は動作する。

40

【0038】

出力アンプ17は、2つのソース出力 S に対して1つずつ用意されていることに留意されたい。本実施形態では、3本のデータ線 D に対して1つのソース出力 S が用意されているから、結果として、1つの出力アンプ17が6本のデータ線 D の駆動に使用されることになる。具体的には、出力アンプ17₁は、ソース出力 S_1 に接続されたデータ線 DR_1 、 DG_1 、 DB_1 とソース出力 S_2 に接続されたデータ線 DR_2 、 DG_2 、 DB_2 の駆動

50

に使用され、出力アンプ 17₂ が、ソース出力 S₃ に接続されたデータ線 DR₃、DG₃、DB₃ とソース出力 S₄ に接続されたデータ線 DR₄、DG₄、DB₄ の駆動に使用される。

【0039】

マルチプレクサ 16 は、制御信号 DACSW1、DACSW2 に応答して D/A コンバータ 15 と出力アンプ 17 との間の接続関係を切り換える機能を有している。詳細には、マルチプレクサ 16₁、16₂ は、制御信号 DACSW1 に応じてオンオフされるスイッチ 16a と、制御信号 DACSW2 に応じてオンオフされるスイッチ 16b とを備えている。制御信号 DACSW1 が活性化されると（本実施形態では High レベルにプルアップされると）、マルチプレクサ 16₁、16₂ のスイッチ 16a がターンオンされ、D/A コンバータ 15₁、15₃ の出力が、それぞれ、出力アンプ 17₁、17₂ の入力に電氣的に接続される。一方、制御信号 DACSW2 が活性化されると、マルチプレクサ 16₁、16₂ のスイッチ 16b がターンオンされ、D/A コンバータ 15₂、15₄ の出力が、それぞれ、出力アンプ 17₁、17₂ の入力に電氣的に接続される。

10

【0040】

デマルチプレクサ 19 は、制御信号 AMPOUTSW1、AMPOUTSW2 に応答して出力アンプ 17 とソース出力 S との間の接続関係を切り換える機能を有している。詳細には、デマルチプレクサ 19₁、19₂ は、制御信号 AMPOUTSW1 に応じてオンオフされるスイッチ 19a と、制御信号 AMPOUTSW2 に応じてオンオフされるスイッチ 19b とを備えている。制御信号 AMPOUTSW1 が活性化されると（本実施形態では High レベルにプルアップされると）、デマルチプレクサ 19₁、19₂ のスイッチ 19a がターンオンされ、出力アンプ 17₁、17₂ の出力が、それぞれ、ソース出力 S₁、S₃ に電氣的に接続される。一方、制御信号 AMPOUTSW2 が活性化されると、デマルチプレクサ 19₁、19₂ のスイッチ 19b がターンオンされ、出力アンプ 17₁、17₂ の出力が、それぞれ、ソース出力 S₂、S₄ に電氣的に接続される。

20

【0041】

ダイレクトスイッチ 18 は、制御信号 DIRECTSW1、DIRECTSW2 に応答して D/A コンバータ 15 とソース出力 S との間の接続関係を切り換える機能を有している。本実施形態の液晶表示装置では、ダイレクトスイッチ 18 を介して D/A コンバータ 15 とソース出力 S とが（出力アンプ 17 を介さずに）直接に接続可能であることに留意されたい。詳細には、ダイレクトスイッチ 18₁、18₂ は、制御信号 DIRECTSW1 に応じてオンオフされるスイッチ 18a と、制御信号 DIRECTSW2 に応じてオンオフされるスイッチ 18b とを備えている。制御信号 DIRECTSW1 が活性化されると（本実施形態では High レベルにプルアップされると）、ダイレクトスイッチ 18₁、18₂ のスイッチ 18a がターンオンされ、D/A コンバータ 15₁、15₃ の出力が、それぞれ、ソース出力 S₁、S₃ に電氣的に接続される。一方、制御信号 DIRECTSW2 が活性化されると、ダイレクトスイッチ 18₁、18₂ のスイッチ 18b がターンオンされ、D/A コンバータ 15₂、15₄ の出力が、それぞれ、ソース出力 S₂、S₄ に電氣的に接続される。

30

【0042】

タイミング制御回路 20 は、各種の制御信号を生成して、液晶表示パネル 1 に集積化されたデマルチプレクサ 5 と、データドライバ IC 6 に集積化された回路群の動作タイミングを制御する。上述の制御信号 RSW、GSW、BSW、AMPOUTSW1、AMPOUTSW2、DIRECTSW1、DIRECTSW2、AMPON、DACSW1、DACSW2、RSEL、GSEL、BSEL、及び STB は、タイミング制御回路 20 によって生成される。一般には、液晶表示パネル 1 の上に形成されている素子の動作電圧は、データドライバ IC 6 の動作電圧よりも高いため、液晶表示パネル 1 に供給される制御信号は、高電圧に対応したレベルシフタ回路（図示していない）を介して液晶表示パネル 1 に供給される。

40

【0043】

50

本実施形態の液晶表示装置 10 の特徴の一つは、駆動されるデータ線 D が、2 段のデマルチプレクサ、即ち、液晶表示パネル 1 に集積化されたデマルチプレクサ 5 と、データドライバ IC 6 に集積化されたデマルチプレクサ 19 とによって選択されることである。このような構成によれば、デマルチプレクサ 5 と絞り込み領域 8 のトータルの高さ（y 軸方向の寸法）を小さくし、液晶表示パネル 1 の有効表示領域 2 以外の部分の面積を小さくすることができる。

【0044】

図 4 を参照して、本実施形態の液晶表示装置 10 では、液晶表示パネル 1 にデマルチプレクサ 5 が集積化されているために、データドライバ IC 6 のソース出力 S の数を減少させることができる。データドライバ IC のみにデマルチプレクサを集積化する構成では、データドライバ IC 6 のソース出力 S の数は、データ線 D と同じになることに留意されたい。これにより、ソース出力 S とデマルチプレクサ 5 とを接続する配線 7 の数を減少させ、絞り込み領域 8 の高さを小さくすることができる。

【0045】

一方で、本実施形態の液晶表示装置 10 では、データ線 D の選択のために、液晶表示パネル 1 に集積化されたデマルチプレクサ 5 に加えてデータドライバ IC 6 に集積化されたデマルチプレクサ 19 が使用されるため、デマルチプレクサ 5 に供給する制御信号の数を減少させることができる。具体的には、本実施形態の液晶表示装置 10 では、1 つの出力アンプ 17 によって 6 本のデータ線 D が駆動されるにも関わらず、3 つの制御信号しかデマルチプレクサ 5 に供給されない。これは、液晶表示パネル 1 に設けられるデマルチプレクサ 5 の面積の減少に有効である。

【0046】

この結果、本実施形態の液晶表示装置 10 は、データ線を選択するデマルチプレクサを表示パネルにのみ集積化する構成、及びデータ線を選択するスイッチをデータドライバ IC にのみ集積化する構成と比較して、デマルチプレクサ 5 と絞り込み領域 8 のトータルの高さを小さくすることができる。したがって、液晶表示パネル 1 の有効表示領域 2 以外の部分の面積を小さくすることができる。

【0047】

データドライバ IC 6 にデマルチプレクサ 19 を集積化する構成は、液晶表示パネル 1 のデマルチプレクサ 5 で消費される電力を低減させるためにも有効である。液晶表示パネル 1 のみにデータ線 D を選択するデマルチプレクサを集積化する構成では、デマルチプレクサを制御する制御信号を供給するための制御信号線の数を増大させる必要がある。制御信号線は、液晶表示パネル 1 を横断するように延伸して設けられるために容量が大きく、その上、制御信号線は、デマルチプレクサ 5 の TFT で形成された時分割スイッチ 5_R 、 5_G 、 5_B を駆動するために、高電圧に駆動される必要がある。したがって、多くの制御信号線を駆動するためには多くの電力が必要である。

【0048】

例えば、図 1 のように、6 つのデータ線 D を選択するデマルチプレクサ 105 が液晶表示パネル 1 に集積化される構成と、図 6 の本実施形態の液晶表示装置 10 の構成とを比較しよう。図 1 の構成では、6 本の制御信号線が設けられ、この 6 本の制御信号線が一水平期間に一度ずつ活性化されるから、一水平期間にデマルチプレクサ 105 を動作させるために必要な電力 P_1 は、

$$P_1 = (6 C_{line} + M \cdot C_{SW}) V^2 \cdot f \quad \dots (1a),$$

である。ここで、 C_{line} は、各制御信号線の配線容量であり、 C_{SW} は、各スイッチ 105 a のゲート容量であり、 M は、スイッチ 105 a の数（即ち、データ線 D の数）であり、 V は、スイッチ 105 a を駆動する電圧であり、 f は、一水平期間中の制御信号線の信号変化回数である。一方、図 6 の本実施形態の液晶表示装置 10 の構成では、一水平期間にデマルチプレクサ 5 を動作させるために必要な電力 P_2 は、

$$P_2 = (3 C_{line} + M \cdot C_{SW}) V^2 \cdot f, \quad \dots (1b)$$

であり、図 1 のデマルチプレクサ 105 で消費される電力 P_1 よりも小さい。

【0049】

データドライバIC6にデマルチプレクサ19を集積化する本実施形態の構成では、デマルチプレクサ19でも電力が消費されるが、デマルチプレクサ19による消費電力の増大は相対的に小さい。この第1の要因は、データドライバICの動作電圧が、液晶表示パネルの素子の動作電圧よりも小さいことである。データドライバICのデマルチプレクサの制御信号の信号レベルは5V程度である一方で、液晶表示パネルのデマルチプレクサの制御信号の信号レベルは15V以上である。式(1a)、(1b)に示されているように、マルチプレクサで消費される電力は電圧の2乗に比例しているから、動作電圧が低いデータドライバICのデマルチプレクサの動作で消費される電力は、液晶表示パネルのデマルチプレクサの動作で消費される電力よりも相対的に小さい。第2の要因は、デマルチプレクサを構成する各スイッチ素子の容量が、液晶表示パネルに集積化されたデマルチプレクサよりもデータドライバICに集積化されたデマルチプレクサの方が小さいことである。式(1a)、(1b)に示されているように、デマルチプレクサを構成するスイッチの容量が小さければ、消費電力も低減させることができる。液晶表示パネル1のみならずデータドライバIC6にもデマルチプレクサを設けて時分割駆動を行うほうが、デマルチプレクサの動作で消費される電力を全体としては低減させることができる。

10

【0050】

図6を参照して、本実施形態の液晶表示装置10の他の特徴の一つは、各データ線Dが、出力アンプ17によって駆動された後、ダイレクトスイッチ18によってD/Aコンバータ15に直結される点である。このような動作によれば、出力アンプ17のオフセットの影響を抑制できる。出力アンプ17は、負荷が大きいデータ線Dを駆動するために大きな駆動能力が必要である。出力アンプ17は、一般的にオフセットを持つので、出力アンプ17からデータ線Dに供給される駆動電圧は、画素データによって選択された階調電圧と多少の差がある。オフセットの大きさは出力アンプ17毎に異なることがあるため、出力アンプ17のオフセットは、表示画面にデータ線Dの方向に延伸する縦筋ムラが入る原因となり得る。本実施形態の液晶表示装置10では、出力アンプ17のオフセットの影響を抑制するために、各データ線Dが、出力アンプ17によって駆動された後、ダイレクトスイッチ18によってD/Aコンバータ15に直結される。これにより、出力アンプ17によって発生したオフセットを除去してデータ線Dの電圧レベルを本来の目的の電圧レベルに戻し、データ線Dの電圧レベルを画素データによって選択された階調電圧と一致させることができる。

20

30

【0051】

以下では、本実施形態の液晶表示装置10の動作を詳細に説明する。

図8は、本実施形態の液晶表示装置10の第1水平期間及び第2水平期間の動作を示すタイミングチャートである。ここで、第i水平期間とは、走査線G_iに接続されている画素3が駆動される期間をいう。本実施形態では、水平同期信号HSYNCが活性化されることによって(本実施形態では、水平同期信号HSYNCがLowレベルにプルダウンされることによって)各水平期間が開始されると定義されていることに留意されたい。以下では、ソース出力S₁、S₂に対応する画素3(即ち、データ線DR₁、DG₁、DB₁、DR₂、DG₂、DB₂に接続されている画素3)の駆動について説明を行うが、他のソース出力Sに対応する画素3も同様にして駆動されることは、当業者には理解されよう。

40

【0052】

第1水平期間が開始された直後では、ソース出力S₁、S₂は、いずれもハイインピーダンス状態に設定される。即ち、制御信号DACSW1、DACSW2、AMPOUTSW1、AMPOUTSW2、DIRECTSW1、DIRECTSW2が非活性化され、ソース出力S₁、S₂は、出力アンプ17₁、D/Aコンバータ15₁、15₂のいずれからでも電氣的に切り離される。添付図面において、ソース出力Sがハイインピーダンス状態に設定されることは、記号「HiZ」又は記号「H」によって示されていることに留意されたい。

50

【0053】

走査線 G_1 に接続された画素 3 の駆動は、走査線 G_1 の活性化と共に開始される。走査線 G_1 が活性化されると、走査線 G_1 に接続された画素 3 の画素電極 3b が、対応するデータ線 D に電氣的に接続される。

【0054】

続いて、走査線 G_1 とデータ線 DR_1 、 DR_2 に接続された R 画素 3 が駆動される。より具体的には、制御信号 RSEL が活性化され、これにより、マルチプレクサ 13_1 、 13_2 から D/A コンバータ 15_1 、 15_2 に、それぞれ画素データ X_{R1} 、 X_{R2} が供給される。画素データ X_{R1} 、 X_{R2} は、それぞれ、データ線 DR_1 、 DR_2 に接続された R 画素 3 に対応付けられていることに留意されたい。更に、制御信号 RSW が活性化され、データ線 DR_1 、 DR_2 が、それぞれ、ソース出力 S_1 、 S_2 に接続される。

10

【0055】

当該 R 画素 3 のうちでは、データ線 DR_1 に接続されている R 画素 3 が先に駆動される。詳細には、まず、制御信号 DACSW1 及び AMPOUTSW1 が活性化される。制御信号 DACSW1 及び AMPOUTSW1 の活性化により、D/A コンバータ 15_1 の出力が出力アンプ 17_1 の入力に接続され、更に、出力アンプ 17_1 の出力がソース出力 S_1 に接続される。添付図面において、ソース出力 S が出力アンプ 17 に接続されることは、記号「AMP」又は記号「AM」によって示されていることに留意されたい。この結果、データ線 DR_1 がデマルチプレクサ 5 の時分割スイッチ 5_{R1} 及びデマルチプレクサ 19_1 のスイッチ $19a$ を介して出力アンプ 17_1 に接続され、データ線 DR_1 に画素データ X_{R1} に対応する駆動電圧が供給される。供給された駆動電圧は、データ線 DR_1 に接続されている R 画素 3 に書き込まれる。

20

【0056】

続いて、データ線 DR_2 に接続されている R 画素 3 が駆動される。詳細には、制御信号 DACSW1 及び AMPOUTSW1 が非活性化され、その代わりに制御信号 DACSW2 及び AMPOUTSW2 が活性化される。制御信号 DACSW2 及び AMPOUTSW2 の活性化により、D/A コンバータ 15_2 の出力が出力アンプ 17_1 の入力に、出力アンプ 17_1 の出力がソース出力 S_2 に接続される。これにより、データ線 DR_2 が時分割スイッチ 5_{R2} 及びデマルチプレクサ 19_1 のスイッチ $19b$ を介して出力アンプ 17_1 の出力に接続され、データ線 DR_2 に画素データ X_{R2} に対応する駆動電圧が供給される。供給された駆動電圧は、データ線 DR_2 に接続されている R 画素 3 に書き込まれる。

30

【0057】

データ線 DR_2 に接続されている R 画素 3 が駆動されている間、データ線 DR_1 は、D/A コンバータ 15_1 の出力に電氣的に接続される。詳細には、制御信号 DIRECTSW1 が活性化され、ソース出力 S_1 がダイレクトスイッチ 18 のスイッチ $18a$ を介して D/A コンバータ 15_1 の出力に直結される。添付図面において、ソース出力 S が D/A コンバータ 15 に接続されることは、記号「直」によって示されていることに留意されたい。これにより、データ線 DR_1 の電圧レベルが階調電圧発生回路 14 によって発生された所望の階調電圧に維持される。上述のように、データ線 DR_1 を D/A コンバータ 15_1 の出力に電氣的に接続することには、出力アンプ 17_1 のオフセットの影響を抑制するという効果がある。

40

【0058】

データ線 DR_2 に接続されている R 画素 3 の出力アンプ 17_1 による駆動が完了した後、データ線 DR_2 が出力アンプ 17_1 の出力から切り離され、D/A コンバータ 15_2 の出力に電氣的に接続される。この間、データ線 DR_1 は、D/A コンバータ 15_1 の出力に電氣的に接続され続ける。詳細には、制御信号 DIRECTSW1 は継続して活性化されており、加えて新たに制御信号 DIRECTSW2 が活性化され、これにより、ソース出力 S_1 、 S_2 がダイレクトスイッチ 18 のスイッチ $18a$ 、 $18b$ を介して D/A コンバータ 15_1 、 15_2 の出力にそれぞれに直結される。

【0059】

50

データ線 DR_2 に接続されている R 画素 3 の駆動という観点からは、データ線 DR_2 に接続されている R 画素 3 の出力アンプ 17_1 による駆動が完了した後、データ線 DR_2 を D/A コンバータ 15_2 の出力に電氣的に接続する必要はない。しかしながら、出力アンプ 17_1 による駆動が完了した後、データ線 DR_2 を D/A コンバータ 15_2 の出力に電氣的に接続することは、出力アンプ 17_1 のオフセットの影響を抑制する点で好ましい。

【0060】

続いて、走査線 G_1 とデータ線 DG_1 、 DG_2 に接続された G 画素 3 が駆動される。この G 画素 3 の駆動は、R 画素 3 の駆動と同様の手順で行われる。まず、制御信号 GSW が活性化され、データ線 DG_1 、 DG_2 が、それぞれ、ソース出力 S_1 、 S_2 に接続される。加えて、制御信号 $GSEL$ が活性化され、これにより、D/A コンバータ 15_1 、 15_2 には、それぞれ、画素データ X_{G1} 、 X_{G2} が供給される。更に、制御信号 $DACSW1$ 及び $AMPOUTSW1$ が活性化され、データ線 DG_1 が出力アンプ 17_1 の出力に電氣的に接続される。これにより、データ線 DG_1 に接続された G 画素 3 が出力アンプ 17_1 によって駆動される。続いて、制御信号 $DACSW1$ 及び $AMPOUTSW1$ の代わりに制御信号 $DACSW2$ 、 $AMPOUTSW2$ が活性化され、データ線 DG_2 が出力アンプ 17_2 の出力に電氣的に接続される。これにより、データ線 DG_2 に接続された G 画素 3 が出力アンプ 17_1 によって駆動される。データ線 DG_2 に接続された G 画素 3 が出力アンプ 17_1 によって駆動されている間、データ線 DG_1 が D/A コンバータ 15_1 の出力に直結される。これにより、データ線 DG_1 の電圧レベルが所望の階調電圧に維持される。最後に、データ線 DG_2 が D/A コンバータ 15_2 の出力に直結される。以上で、データ線 DG_1 、 DG_2 に接続された 2 つの G 画素 3 の駆動が完了する。

【0061】

更に続いて、走査線 G_1 とデータ線 DB_1 、 DB_2 に接続された B 画素 3 が駆動される。この B 画素 3 の駆動も、R 画素 3 の駆動と同様の手順で行われる。制御信号 BSW が活性化され、データ線 DB_1 、 DB_2 が、それぞれ、ソース出力 S_1 、 S_2 に接続される。加えて、制御信号 $BSEL$ が活性化され、これにより、D/A コンバータ 15_1 、 15_2 には、それぞれ、画素データ X_{B1} 、 X_{B2} が供給される。更に、制御信号 $DACSW1$ 及び $AMPOUTSW1$ が活性化され、データ線 DB_1 が出力アンプ 17_1 の出力に電氣的に接続される。これにより、データ線 DB_1 に接続された B 画素 3 が出力アンプ 17_1 によって駆動される。続いて、制御信号 $DACSW1$ 及び $AMPOUTSW1$ の代わりに制御信号 $DACSW2$ 、 $AMPOUTSW2$ が活性化され、データ線 DB_2 が出力アンプ 17_2 の出力に電氣的に接続される。これにより、データ線 DB_2 に接続された B 画素 3 が出力アンプ 17_1 によって駆動される。データ線 DB_2 に接続された B 画素 3 が出力アンプ 17_1 によって駆動されている間、データ線 DB_1 が D/A コンバータ 15_1 の出力に直結される。これにより、データ線 DB_1 の電圧レベルが所望の階調電圧に維持される。最後に、データ線 DB_2 が D/A コンバータ 15_2 の出力に直結される。以上で、データ線 DB_1 、 DB_2 に接続された 2 つの B 画素 3 の駆動が完了する。

【0062】

活性化される走査線が切り換えられる点を除けば、第 2 水平期間以降も同様な手順で画素 3 の駆動が行われる。第 j 水平期間では、走査線 G_j が活性化され、走査線 G_j に接続された画素 3 が時分割的に駆動される。

【0063】

図 9 A に示されているように、ソース出力 S_1 、 S_2 が出力アンプ 17_1 に接続される順序は、水平期間毎に切り換えられることが好ましい。このような動作によれば、同じ色の画素に駆動電圧が書き込まれている時間が時間平均で均一化され、フリッカの発生を抑制することができる。これは画質を向上させるために好ましい。

【0064】

図 9 A の例では、第 1 水平期間の R 画素 3 の駆動では、制御信号 $AMPOUTSW1$ が先に活性化され、その後に制御信号 $AMPOUTSW2$ が活性化される。この結果、ソース出力 S_1 が出力アンプ 17_1 に接続された後、ソース出力 S_1 に代わってソース出力 S

S_2 が出力アンプ 17₁ に接続される。一方、第 2 水平期間の R 画素 3 の駆動では、制御信号 AMPOUTSW2 が先に活性化され、その後に制御信号 AMPOUTSW1 が活性化される。この結果、ソース出力 S_2 が出力アンプ 17₁ に接続された後、ソース出力 S_2 に代わってソース出力 S_1 が出力アンプ 17₁ に接続される。G 画素 3、B 画素 3 の駆動でも同様に、制御信号 AMPOUTSW1、AMPOUTSW2 が活性化される順序が第 1 水平期間と第 2 水平期間とで切り換えられる。続く水平期間でも同様に、制御信号 AMPOUTSW1、AMPOUTSW2 が活性化される順序が水平期間毎に変更される。このような動作によれば、同じ色の画素に駆動電圧が書き込まれている時間が時間平均で均一化され、フリッカの発生を抑制することができる。

【0065】

同様の理由により、ソース出力 S_1 、 S_2 が出力アンプ 17₁ に接続される順序は、フレーム期間毎に切り換えられることが好ましい。第 1 の実施形態では、奇数フレーム期間において、図 9A に示されているように液晶表示装置 10 が動作する場合、偶数フレーム期間では、図 9B に示されているように液晶表示装置 10 が動作する。図 9A、図 9B に示されている例では、奇数フレーム期間の第 1 水平期間の R 画素 3 の駆動では、図 9A に示されているように、制御信号 AMPOUTSW1 が先に活性化され、その後に制御信号 AMPOUTSW2 が活性化される。この結果、ソース出力 S_1 が出力アンプ 17₁ に接続された後、ソース出力 S_1 に代わってソース出力 S_2 が出力アンプ 17₁ に接続される。一方、偶数フレーム期間の第 1 水平期間の R 画素 3 の駆動では、制御信号 AMPOUTSW2 が先に活性化され、その後に制御信号 AMPOUTSW1 が活性化される。この結果、ソース出力 S_2 が出力アンプ 17₁ に接続された後、ソース出力 S_2 に代わってソース出力 S_1 が出力アンプ 17₁ に接続される。G 画素 3、B 画素 3 の駆動でも同様に、制御信号 AMPOUTSW1、AMPOUTSW2 が活性化される順序が奇数フレーム期間と偶数フレーム期間とで切り換えられる。他の水平期間についても同様に、制御信号 AMPOUTSW1、AMPOUTSW2 が活性化される順序が奇数フレーム期間と偶数フレーム期間とで切り換えられる。このような動作によれば、同じ色の画素に駆動電圧が書き込まれている時間が時間平均で均一化され、フリッカの発生を抑制することができる。これは画質を向上させるために好ましい。

【0066】

また、図 9C に示されているように、ソース出力 S_1 、 S_2 が出力アンプ 17₁ に接続される順序は、ソース出力 S_1 、 S_2 を介しての出力アンプ 17₁ からの駆動電圧の出力が完了する毎に変更されることが好ましい。このような動作によれば、D/A コンバータ 15₁、15₂ と出力アンプ 17₁ の入力との接続を制御する制御信号 DACSW1、DACSW2 のスイッチ回数を減少可能である。

【0067】

図 9C の例では、R 画素 3 の駆動では、制御信号 AMPOUTSW1 が先に活性化され、その後に制御信号 AMPOUTSW2 が活性化される。この結果、ソース出力 S_1 が出力アンプ 17₁ に接続された後、ソース出力 S_1 に代わってソース出力 S_2 が出力アンプ 17₁ に接続される。このような動作では、データ線 DR₁ に接続された R 画素 3 が駆動された後、データ線 DR₂ に接続された R 画素 3 が駆動される。それに続く G 画素 3 の駆動では、制御信号 AMPOUTSW2 が先に活性化され、その後に制御信号 AMPOUTSW1 が活性化される。この結果、ソース出力 S_2 が出力アンプ 17₁ に接続された後、ソース出力 S_2 に代わってソース出力 S_1 が出力アンプ 17₁ に接続される。即ち、データ線 DG₂ に接続された G 画素 3 が駆動された後、データ線 DG₁ に接続された G 画素 3 が駆動される。それに続く B 画素 3 の駆動では、R 画素 3 の駆動と同様に、制御信号 AMPOUTSW1 が先に活性化され、その後に制御信号 AMPOUTSW2 が活性化される。

【0068】

図 9C の動作では、データ線 DR₂ に接続された R 画素 3 の駆動において制御信号 AMPOUTSW2 の活性化と共に制御信号 DACSW2 が活性化された後、データ線 DG₂

に接続されたG画素3の駆動が完了して制御信号AMP OUT SW 2が非活性化されるまで、制御信号DAC SW 2を非活性化する必要がない。同様に、データ線DG₁に接続されたG画素3の駆動において制御信号AMP OUT SW 1の活性化と共に制御信号DAC SW 1が活性化された後、データ線DB₂に接続されたB画素3の駆動が完了して制御信号AMP OUT SW 1が非活性化されるまで、制御信号DAC SW 1を非活性化する必要がない。図9Aの動作では、制御信号DAC SW 1、DAC SW 2のスイッチ回数は、延べ6回であるが、図9Cの動作では、制御信号DAC SW 1、DAC SW 2のスイッチ回数は、延べ3回である。制御信号DAC SW 1、DAC SW 2のスイッチ回数を減少することは、制御信号DAC SW 1、DAC SW 2をスイッチするために消費される電力を減少させる点で好ましい。

10

【0069】

この場合も、ソース出力S₁、S₂が出力アンプ17₁に接続される順序は、フレーム期間毎に切り換えられることが好ましい。一実施形態では、奇数フレーム期間において、図9Cに示されているように液晶表示装置10が動作する場合、偶数フレーム期間では、図9Dに示されているように液晶表示装置10が動作する。図9C、図9Dに示されている例では、奇数フレーム期間の第1水平期間のR画素3の駆動では、図9Cに示されているように、制御信号AMP OUT SW 1が先に活性化され、その後に制御信号AMP OUT SW 2が活性化される。この結果、ソース出力S₁が出力アンプ17₁に接続された後、ソース出力S₁に代わってソース出力S₂が出力アンプ17₁に接続される。一方、偶数フレーム期間の第1水平期間のR画素3の駆動では、制御信号AMP OUT SW 2が先に活性化され、その後に制御信号AMP OUT SW 1が活性化される。この結果、ソース出力S₂が出力アンプ17₁に接続された後、ソース出力S₂に代わってソース出力S₁が出力アンプ17₁に接続される。G画素3、B画素3の駆動でも同様に、制御信号AMP OUT SW 1、AMP OUT SW 2が活性化される順序が奇数フレーム期間と偶数フレーム期間とで切り換えられる。他の水平期間についても同様に、制御信号AMP OUT SW 1、AMP OUT SW 2が活性化される順序が奇数フレーム期間と偶数フレーム期間とで切り換えられる。このような動作によれば、D/Aコンバータ15₁、15₂と出力アンプ17₁の入力との接続を制御する制御信号DAC SW 1、DAC SW 2のスイッチ回数を減少可能である上に、同じ色の画素に駆動電圧が書き込まれている時間が時間平均で均一化され、フリッカの発生を抑制することができる。

20

30

【0070】

(第2の実施形態)

図6を参照して、第1の実施形態の液晶表示装置10の一つの問題点は、最後にγ直結駆動をしないと、隣接するソース出力Sがそれらに接続された配線7との間の容量カップリングにより、一方のソース出力Sの電圧レベルの変動により他方のソース出力Sの電圧レベルも変動し得る点にある。例えば、ソース出力S₁が、出力アンプ17₁によって駆動された後で出力アンプ17₁から切り離されると、ソース出力S₁の電圧レベルは、ソース出力S₂が出力アンプ17₁によって駆動され始めたときに大きく変動してしまうことがある。これは、データ線Dの電圧レベルの変動、ひいては、画素3に書き込まれる駆動電圧の変動を招き、画質の低下を招くため好ましくない。第2の実施形態では、各ソース出力Sが、隣接するソース出力Sの電圧レベルの変動の影響を受けにくい液晶表示装置の構成及び動作が提示される。

40

【0071】

図10は、第2の実施形態の液晶表示装置10Aの構成を示す回路図である。図10は、ソース出力S₁～S₄に関連する部分のみの構成が図示されているが、実際には液晶表示装置10Aに図10の構成が繰り返し設けられていることは、当業者には自明的であろう。

【0072】

第2の実施形態の液晶表示装置10Aは、隣接するソース出力Sが、異なる出力アンプ17によって駆動されるように構成される。これは、あるソース出力Sがある出力アンプ

50

17によって駆動されている間に、隣接するソース出力を別の出力アンプで駆動可能にするためである。本実施形態の液晶表示装置10Aの構成では、例えば、ソース出力 S_1 を出力アンプ17₁によって駆動している間に、ソース出力 S_2 を別の出力アンプ17₂によって駆動することができる。このような動作によれば、ソース出力 S_2 が出力アンプ17₂によって駆動されてソース出力 S_2 の電圧レベルが変動したときに、隣接するソース出力 S_1 の電圧レベルがクロストークの影響によって変動しても、ソース出力 S_1 の電圧レベルは、出力アンプ17₁によって直ちに所望の電圧レベルに戻される。したがって、ソース出力 S_1 の電圧レベルは、隣接するソース出力 S_2 の電圧レベルの変動の影響を受けない。他のソース出力 S も同様にして駆動される。

【0073】

10

このような機能を実現するために、第2の実施形態では、D/Aコンバータ15と出力アンプ17とソース出力 S との間の接続関係が、第1の実施形態から変更される。第2の実施形態の液晶表示装置10Aは、奇数番目に位置するソース出力 S_1 、 S_3 が出力アンプ17₁によって駆動され、偶数番目に位置するソース出力 S_2 、 S_4 は、出力アンプ17₂によって駆動されるように構成される。これに伴い、第2の実施形態では、ソース出力 S_3 に対応するラッチ11₃、レジスタ12₃、マルチプレクサ13₃、D/Aコンバータ15₃の位置と、ソース出力 S_2 に対応するラッチ11₂、レジスタ12₂、マルチプレクサ13₂、D/Aコンバータ15₂の位置とが入れ替えられている。

【0074】

加えて、マルチプレクサ16、ダイレクトスイッチ18、デマルチプレクサ19の構成も変更される。

20

【0075】

マルチプレクサ16₁は、制御信号DACSW1、DACSW3に応答して出力アンプ17₁とD/Aコンバータ15₁、15₃の間の接続関係を切り換えるように構成される。詳細には、マルチプレクサ16₁は、制御信号DACSW1に応じてオンオフされるスイッチ16aと、制御信号DACSW3に応じてオンオフされるスイッチ16bとを備えている。制御信号DACSW1が活性化されると、D/Aコンバータ15₁の出力が出力アンプ17₁の入力に接続され、制御信号DACSW3が活性化されると、D/Aコンバータ15₃の出力が出力アンプ17₁の入力に接続される。

【0076】

30

一方、マルチプレクサ16₂は、制御信号DACSW2、DACSW4に応答して出力アンプ17₂とD/Aコンバータ15₂、15₄の間の接続関係を切り換えるように構成される。詳細には、マルチプレクサ16₂は、制御信号DACSW2に応じてオンオフされるスイッチ16cと、制御信号DACSW4に応じてオンオフされるスイッチ16dとを備えている。制御信号DACSW2が活性化されると、D/Aコンバータ15₂の出力が出力アンプ17₂の入力に接続され、制御信号DACSW4が活性化されると、D/Aコンバータ15₄の出力が出力アンプ17₂の入力に接続される。

【0077】

デマルチプレクサ19は、出力アンプ17₁とソース出力 S_1 、 S_3 との間の接続関係を切り替え、更に、出力アンプ17₂とソース出力 S_2 、 S_4 との間の接続関係を切り替えるように構成される。詳細には、デマルチプレクサ19には、それぞれ、制御信号AMPOUTSW1、AMPOUTSW2、AMPOUTSW3、AMPOUTSW4に応じてオンオフされるスイッチ19a、19b、19c、19dが設けられる。出力アンプ17₁の出力は、制御信号AMPOUTSW1が活性化されるとソース出力 S_1 に接続され、制御信号AMPOUTSW3が活性化されるとソース出力 S_3 に接続される。一方、出力アンプ17₂の出力は、制御信号AMPOUTSW2が活性化されるとソース出力 S_2 に接続され、制御信号AMPOUTSW4が活性化されるとソース出力 S_4 に接続される。

40

【0078】

ダイレクトスイッチ18は、D/Aコンバータ15₁、15₃と、ソース出力 S_1 、 S

50

3 との間の接続関係を切り替え、更に、D/Aコンバータ15₂、15₄とソース出力S₂、S₄との間の接続関係を切り替えるように構成される。詳細には、ダイレクトスイッチ18には、それぞれ、制御信号DIRECTSW1、DIRECTSW2、DIRECTSW3、DIRECTSW4に応じてオンオフされるスイッチ18a、18b、18c、18dが設けられる。制御信号DIRECTSW1が活性化されると、ソース出力S₁がD/Aコンバータ15₁の出力に直結され、制御信号DIRECTSW2が活性化されると、ソース出力S₂がD/Aコンバータ15₂の出力に直結される。同様に、制御信号DIRECTSW3が活性化されると、ソース出力S₃がD/Aコンバータ15₃の出力に直結され、制御信号DIRECTSW4が活性化されると、ソース出力S₄が、D/Aコンバータ15₄の出力に直結される。

10

【0079】

続いて、第2の実施形態の液晶表示装置10Aの動作を説明する。

図11Aは、本実施形態の液晶表示装置10Aの動作を示すタイミングチャートである。以下では、ソース出力S₁～S₄に対応する画素3（即ち、データ線DR₁～DR₄、DG₁～DG₄、DB₁～DB₄に接続されている画素3）の駆動について説明を行うが、他のソース出力Sに対応する画素3も同様にして駆動されることは、当業者には容易に理解されよう。

【0080】

第1水平期間が開始された直後では、ソース出力S₁～S₄は、いずれもハイインピーダンス状態に設定される。即ち、制御信号DACSW1～4、AMPOUTSW1～4、DIRECTSW1～4が非活性化され、ソース出力S₁～S₄は、出力アンプ17₁、17₂、D/Aコンバータ15₁～15₄のいずれからとも電氣的に切り離される。

20

【0081】

本実施形態では、第1水平期間が開始された時点において、制御信号RSWが活性化されており、データ線DR₁～DR₄が、デマルチプレクサ5の時分割スイッチ5_{R1}～5_{R4}を介して、それぞれソース出力S₁～S₄に接続されている。加えて、制御信号SELも活性化されている。これにより、D/Aコンバータ15₁～15₄には、それぞれ、画素データX_{R1}～X_{R4}が供給される。

【0082】

走査線G₁に接続された画素3の駆動は、走査線G₁の活性化と共に開始される。走査線G₁が活性化されると、走査線G₁に接続された画素3の画素電極3bが、対応するデータ線Dに電氣的に接続される。

30

【0083】

続いて、走査線Gとデータ線DR₁～DR₄とに接続されたR画素3が駆動される。R画素3の駆動は、下記のようにして行われる：

まず、データ線DR₁に接続されているR画素3が駆動される。詳細には、制御信号DACSW1及びAMPOUTSW1が活性化され、D/Aコンバータ15₁の出力が出力アンプ17₁の入力に接続され、更に出力アンプ17₁の出力がソース出力S₁に接続される。この結果、データ線DR₁がデマルチプレクサ5の時分割スイッチ5_{R1}及びデマルチプレクサ19のスイッチ19aを介して出力アンプ17₁に接続され、データ線DR₁に画素データX_{R1}に対応する駆動電圧が供給される。供給された駆動電圧は、データ線DR₁に接続されているR画素3に書き込まれる。

40

【0084】

続いて、データ線DR₂に接続されているR画素3が駆動される。詳細には、制御信号DACSW2及びAMPOUTSW2が活性化され、D/Aコンバータ15₂の出力が出力アンプ17₂の入力に接続され、出力アンプ17₂の出力がソース出力S₂に接続される。この結果、データ線DR₂が時分割スイッチ5_{R2}及びデマルチプレクサ19のスイッチ19bを介して出力アンプ17₂の出力に接続され、データ線DR₂に画素データX_{R2}に対応する駆動電圧が供給される。供給された駆動電圧は、データ線DR₂に接続されているR画素3に書き込まれる。

50

【0085】

第1の実施形態とは異なり、データ線DR₂に接続されているR画素3の駆動が開始された瞬間において、ソース出力S₁が出力アンプ17₁の出力に接続され続けていることに留意されたい。これは、ソース出力S₁、S₂に接続されている配線7の間の容量カップリングにより、データ線DR₁に接続されているR画素3に書き込まれる駆動電圧が変動することを防止するためである。ソース出力S₂の電圧レベルが変動しても、ソース出力S₁の電圧レベルは出力アンプ17₁によって一定に保たれ、容量カップリングの影響を受けない。従って、ソース出力S₁に接続されているデータ線DR₁の電圧レベル、即ち、R画素3に書き込まれる駆動電圧の変動を防ぐことができる。

【0086】

続いて、データ線DR₃に接続されているR画素3が駆動される。詳細には、制御信号DACSW3及びAMPOUTSW3が活性化され、これにより、D/Aコンバータ15₃の出力が出力アンプ17₁の入力に接続され、出力アンプ17₁の出力がソース出力S₃に接続される。この結果、データ線DR₃が時分割スイッチ5_{R3}及びデマルチプレクサ19のスイッチ19cを介して出力アンプ17₁の出力に接続され、データ線DR₃に画素データX_{R3}に対応する駆動電圧が供給される。供給された駆動電圧は、データ線DR₃に接続されているR画素3に書き込まれる。

【0087】

データ線DR₂に接続されているR画素3の駆動の開始時と同様に、データ線DR₃に接続されているR画素3の駆動が開始された瞬間において、ソース出力S₂が出力アンプ17₂の出力に接続され続けていることに留意されたい。これにより、ソース出力S₂、S₃に接続されている配線7の間の容量カップリングにより、データ線DR₂に接続されているR画素3に書き込まれる駆動電圧が変動することが防止される。

【0088】

データ線DR₃に接続されているR画素3の出力アンプ17₁による駆動が開始されると、データ線DR₁は、出力アンプ17₁から電氣的に切り離され、その代わりにD/Aコンバータ15₁の出力に直結される。これにより、データ線DR₁の電圧レベルが階調電圧発生回路14によって発生された所望の階調電圧に維持される。詳細には、制御信号DACSW1及びAMPOUTSW1が非活性化されると共に制御信号DIRECTSW1が活性化され、ソース出力S₁がダイレクトスイッチ18のスイッチ18aを介してD/Aコンバータ15₁の出力に直結される。上述のように、データ線DR₁をD/Aコンバータ15₁の出力に電氣的に接続することには、出力アンプ17₁のオフセットの影響を抑制するという効果がある。

【0089】

続いて、データ線DR₄に接続されているR画素3が駆動される。詳細には、制御信号DACSW4及びAMPOUTSW4が活性化され、D/Aコンバータ15₄の出力が出力アンプ17₂の入力に接続され、出力アンプ17₂の出力がソース出力S₄に接続される。この結果、データ線DR₄が時分割スイッチ5_{R4}及びデマルチプレクサ19のスイッチ19dを介して出力アンプ17₂の出力に接続され、データ線DR₄に画素データX_{R4}に対応する駆動電圧が供給される。供給された駆動電圧は、データ線DR₄に接続されているR画素3に書き込まれる。データ線DR₄に接続されているR画素3の駆動が開始された瞬間においては、ソース出力S₃が出力アンプ17₁の出力に接続され続けていることに留意されたい。

【0090】

データ線DR₄に接続されているR画素3の出力アンプ17₂による駆動が開始されると、制御信号DACSW2及びAMPOUTSW2が非活性化されると共に制御信号DIRECTSW2が活性化される。これにより、データ線DR₂が出力アンプ17₂から電氣的に切り離され、その代わりにD/Aコンバータ15₂の出力に直結される。データ線DR₂がD/Aコンバータ15₂の出力に直結されることにより、データ線DR₂の電圧レベルが階調電圧発生回路14によって発生された所望の階調電圧に維持される。

10

20

30

40

50

【0091】

続いて、データ線 DR_3 に接続されている R 画素 3 の出力アンプ 17_1 による駆動が完了される。駆動の完了後、データ線 DR_3 は、出力アンプ 17_1 から電氣的に切り離され、その代わりに、 D/A コンバータ 15_3 の出力に電氣的に接続される。詳細には、制御信号 $DACSW_3$ 及び $AMPOUTSW_3$ が非活性化されると共に制御信号 $DIRECTSW_3$ が活性化される。これにより、データ線 DR_3 の電圧レベルが階調電圧発生回路 14 によって発生された所望の階調電圧に維持される。

【0092】

更に続いて、データ線 DR_4 に接続されている R 画素 3 の出力アンプ 17_1 による駆動が完了される。駆動の完了後、データ線 DR_4 は、出力アンプ 17_2 から電氣的に切り離され、その代わりに、 D/A コンバータ 15_4 の出力に電氣的に接続される。詳細には、制御信号 $DACSW_4$ 及び $AMPOUTSW_4$ が非活性化されると共に制御信号 $DIRECTSW_4$ が活性化される。これにより、データ線 DR_4 の電圧レベルが階調電圧発生回路 14 によって発生された所望の階調電圧に維持される。よって、最後にデータ線 $DR_1 \sim DR_4$ の全てが D/A コンバータ $15_1 \sim 15_4$ に直結されるため、出力アンプ $17_1 \sim 17_2$ のオフセットの影響を除去し、画質を向上させることができる。以上の過程により、R 画素 3 の駆動が完了する。

【0093】

R 画素 3 の駆動が完了した後、走査線 G_1 とデータ線 $DG_1 \sim DG_4$ とに接続された G 画素 3 が駆動される。G 画素 3 が駆動される手順は、制御信号 RSW が活性化される代わりに、制御信号 GSW が活性化される点、及び、G 画素 3 が駆動される順序が相違する点を除けば、R 画素 3 が駆動される手順と同様である。G 画素 3 の出力アンプ 17 による駆動は、データ線 DG_4 に接続された G 画素 3、データ線 DG_3 に接続された G 画素 3、データ線 DG_2 に接続された G 画素 3、データ線 DG_1 に接続された G 画素 3 の順で行われる。即ち、制御信号 GSW が活性化された後、制御信号 $DACSW_4$ 、 $DACSW_3$ 、 $DACSW_2$ 、及び $DACSW_1$ がこの順序で順次に活性化されると共に、制御信号 $AMPOUTSW_4$ 、 $AMPOUTSW_3$ 、 $AMPOUTSW_2$ 、 $AMPOUTSW_1$ がこの順序で順次に活性化される。これにより、データ線 $DG_1 \sim DG_4$ に接続された G 画素 3 が対応する出力アンプ 17 によって駆動され、各 G 画素 3 に所望の駆動電圧が書き込まれる。各 G 画素 3 の出力アンプ 17 による駆動が完了すると、それに対応する制御信号 $DIRECTSW_j$ が活性化される。（ $j = 4, 3, 2, 1$ ）。これにより、データ線 DG_4 、 DG_3 、 DG_2 、 DG_1 が、それぞれ、 D/A コンバータ 15_4 、 15_3 、 15_2 、及び 15_1 に接続され、データ線 DG_4 、 DG_3 、 DG_2 、 DG_1 の電圧レベルが階調電圧発生回路 14 によって発生された所望の階調電圧に維持される。

【0094】

最後に、走査線 G_1 とデータ線 $DB_1 \sim DB_4$ とに接続された B 画素 3 が駆動される。B 画素 3 が駆動される手順は、制御信号 RSW が活性化される代わりに制御信号 BSW が活性化される点を除けば、R 画素 3 が駆動される手順と同様である。制御信号 BSW が活性化された後、制御信号 $DACSW_1$ 、 $DACSW_2$ 、 $DACSW_3$ 、及び $DACSW_4$ がこの順序で順次に活性化されると共に、制御信号 $AMPOUTSW_1$ 、 $AMPOUTSW_2$ 、 $AMPOUTSW_3$ 、 $AMPOUTSW_4$ がこの順序で順次に活性化される。これにより、データ線 $DB_1 \sim DB_4$ に接続された B 画素 3 が対応する出力アンプ 17 によって駆動され、所望の駆動電圧が各 B 画素 3 に書き込まれる。各 B 画素 3 の出力アンプ 17 による駆動が完了すると、それに対応する制御信号 $DIRECTSW_j$ が活性化される。（ $j = 1, 2, 3, 4$ ）。これにより、データ線 DB_1 、 DB_2 、 DB_3 、 DB_4 が、それぞれ、 D/A コンバータ 15_1 、 15_2 、 15_3 、及び 15_4 に接続され、データ線 DB_1 、 DB_2 、 DB_3 、 DB_4 の電圧レベルが階調電圧発生回路 14 によって発生された所望の階調電圧に維持される。

【0095】

第 2 水平期間でも、同様の手順で走査線 G_2 に接続されている画素 3 が駆動される。た

だし、第2水平期間では、走査線 G_2 に接続されている画素3は、B画素、G画素、R画素の順で駆動される。B画素3の駆動の際、制御信号BSWは、第1水平期間から継続して活性化され続け、液晶表示パネル1のデマルチプレクサ5の時分割スイッチ $5_{B1} \sim 5_{B4}$ は、ターンオフされない；データ線 $DB_1 \sim DB_4$ は、第1水平期間の終了後もソース線 $S_1 \sim S_4$ に接続され続ける。このような動作によれば、デマルチプレクサ5の時分割スイッチ $5_{B1} \sim 5_{B4}$ のスイッチ回数を減らし、液晶表示パネル1の消費電力を低減させることができる。

【0096】

詳細には、第2水平期間が開始されると、まず、走査線 G_2 とデータ線 $DB_1 \sim DB_4$ とに接続されたB画素3が駆動される。B画素3の出力アンプ17による駆動は、データ線 DB_4 に接続されたB画素3、データ線 DB_3 に接続されたB画素3、データ線 DB_2 に接続されたB画素3、データ線 DB_1 に接続されたB画素3の順で行われる。即ち、制御信号BSWが活性化された後、制御信号DACSW4、DACSW3、DACSW2、及びDACSW1がこの順序で順次に活性化されると共に、制御信号AMPOUTSW4、AMPOUTSW3、AMPOUTSW2、AMPOUTSW1がこの順序で順次に活性化される。これにより、データ線 $DB_1 \sim DB_4$ に接続されたB画素3が対応する出力アンプ17によって駆動され、各B画素3に所望の駆動電圧が書き込まれる。各B画素3の出力アンプ17による駆動が完了すると、それに対応する制御信号DIRECTSW j が活性化される。（ $j = 4, 3, 2, 1$ ）。これにより、データ線 DB_4 、 DB_3 、 DB_2 、 DB_1 が、それぞれ、D/Aコンバータ 15_4 、 15_3 、 15_2 、及び 15_1 に接続され、データ線 DB_4 、 DB_3 、 DB_2 、 DB_1 の電圧レベルが階調電圧発生回路14によって発生された所望の階調電圧に維持される。

【0097】

続いて、走査線 G_2 とデータ線 $DG_1 \sim DG_4$ とに接続されたG画素3が駆動される。詳細には、制御信号GSWが活性化された後、制御信号DACSW1、DACSW2、DACSW3、及びDACSW4がこの順序で順次に活性化されると共に、制御信号AMPOUTSW1、AMPOUTSW2、AMPOUTSW3、AMPOUTSW4がこの順序で順次に活性化される。これにより、データ線 $DG_1 \sim DG_4$ に接続されたG画素3が対応する出力アンプ17によって駆動され、所望の駆動電圧が各G画素3に書き込まれる。各G画素3の出力アンプ17による駆動が完了すると、それに対応する制御信号DIRECTSW j が活性化される。（ $j = 1, 2, 3, 4$ ）。これにより、データ線 DG_1 、 DG_2 、 DG_3 、 DG_4 が、それぞれ、D/Aコンバータ 15_1 、 15_2 、 15_3 、及び 15_4 に接続され、データ線 DG_1 、 DG_2 、 DG_3 、 DG_4 の電圧レベルが階調電圧発生回路14によって発生された所望の階調電圧に維持される。

【0098】

最後に、走査線 G_2 とデータ線 $DR_1 \sim DR_4$ とに接続されたR画素3が駆動される。詳細には、制御信号RSWが活性化された後、制御信号DACSW4、DACSW3、DACSW2、及びDACSW1がこの順序で順次に活性化されると共に、制御信号AMPOUTSW4、AMPOUTSW3、AMPOUTSW2、AMPOUTSW1がこの順序で順次に活性化される。これにより、データ線 $DR_1 \sim DR_4$ に接続されたR画素3が対応する出力アンプ17によって駆動され、各R画素3に所望の駆動電圧が書き込まれる。各R画素3の出力アンプ17による駆動が完了すると、それに対応する制御信号DIRECTSW j が活性化される。（ $j = 4, 3, 2, 1$ ）。これにより、データ線 DR_4 、 DR_3 、 DR_2 、 DR_1 が、それぞれ、D/Aコンバータ 15_4 、 15_3 、 15_2 、及び 15_1 に接続され、データ線 DR_4 、 DR_3 、 DR_2 、 DR_1 の電圧レベルが階調電圧発生回路14によって発生された所望の階調電圧に維持される。

【0099】

以後、奇数水平期間では第1水平期間と同様にして画素3が駆動され、偶数水平期間では、第2水平期間と同様にして画素3が駆動される。

【0100】

以上に説明されているように、本実施形態では、ソース出力 S_1 が出力アンプ 17_1 によって駆動されている間に、ソース出力 S_2 が別の出力アンプ 17_2 によって駆動される。同様に、ソース出力 S_2 が出力アンプ 17_2 によって駆動されている間に、ソース出力 S_3 が出力アンプ 17_1 によって駆動され、ソース出力 S_3 が出力アンプ 17_1 によって駆動されている間に、ソース出力 S_4 が出力アンプ 17_2 によって駆動される。このような動作によれば、各ソース出力 S の電圧レベルが、隣接するソース出力 S_2 の電圧レベルが変動の際にクロストークの影響によって変動しても、各ソース出力 S の電圧レベルは、出力アンプ 17 によって直ちに所望の電圧レベルに戻される。したがって、各ソース出力 S の電圧レベルは、隣接するソース出力 S の電圧レベルの変動の影響を受けない。

【0101】

加えて、本実施形態の動作では、データ線 D の全てが最後に D/A コンバータ 15 に直結されるため、出力アンプ 17 のオフセットの影響を除去し、画質を向上させることができる。

【0102】

なお、本実施形態において、制御信号 $DACSW1 \sim DACSW4$ の波形は、下記の条件を満足する範囲で変更可能である。

- (1) 制御信号 $DACSW1$ 、 $DACSW3$ が同時に活性化されない。
- (2) 制御信号 $DACSW2$ 、 $DACSW4$ が同時に活性化されない。
- (3) 各制御信号 $DACSW_j$ ($j = 1, 2, 3, 4$) は、少なくとも、制御信号 $AMPOUTSW_j$ が活性化されている間は活性化されている。

【0103】

図 $11B$ は、このような条件を満足する制御信号 $DACSW1 \sim DACSW4$ の他の波形を示すタイミングチャートである。図 $11B$ の動作では、第 1 水平期間が開始されたときには制御信号 $DACSW1$ 、 $DACSW2$ が活性化され、制御信号 $DACSW3$ 、 $DACSW4$ 、 $AMPOUTSW1 \sim 4$ が非活性化されている。

【0104】

まず、 R 画素 3 が駆動される。具体的には、まず、データ線 DR_1 、 DR_2 に接続された R 画素 3 の駆動のために、制御信号 $AMPOUTSW1$ 、 $AMPOUTSW2$ が順次に活性化される。データ線 DR_1 、 DR_2 に接続された R 画素 3 の駆動が完了すると、制御信号 $AMPOUTSW1$ 、 $AMPOUTSW2$ が非活性化される。制御信号 $DACSW1$ 、 $DACSW2$ は、制御信号 $AMPOUTSW1$ 、 $AMPOUTSW2$ の非活性化と共に非活性化される。

【0105】

更に、データ線 DR_3 、 DR_4 に接続された R 画素 3 の駆動のために、制御信号 $AMPOUTSW1$ の非活性化と共に制御信号 $AMPOUTSW3$ が活性化され、制御信号 $AMPOUTSW2$ の非活性化と共に制御信号 $AMPOUTSW4$ が活性化される。制御信号 $DACSW3$ 、 $DACSW4$ は、制御信号 $AMPOUTSW3$ 、 $AMPOUTSW4$ の活性化と共に活性化される。その後、データ線 DR_3 、 DR_4 に接続された R 画素 3 の駆動が終了し、制御信号 $AMPOUTSW3$ 、 $AMPOUTSW4$ が非活性化されても、制御信号 $DACSW3$ 、 $DACSW4$ は活性化され続ける。

【0106】

続いて、 G 画素 3 が駆動される。具体的には、データ線 DG_4 、 DG_3 に接続された G 画素 3 の駆動のために、制御信号 $AMPOUTSW4$ 、 $AMPOUTSW3$ が順次に活性化される。制御信号 $DACSW3$ 、 $DACSW4$ は、 R 画素 3 の駆動の終了時から継続して活性化され続けているから、制御信号 $DACSW3$ 、 $DACSW4$ を切り換える必要がないことに留意されたい。データ線 DG_4 、 DG_3 に接続された G 画素 3 の駆動が完了すると、制御信号 $AMPOUTSW4$ 、 $AMPOUTSW3$ が非活性化される。制御信号 $DACSW4$ 、 $DACSW3$ は、制御信号 $AMPOUTSW4$ 、 $AMPOUTSW3$ の非活性化と共に非活性化される。

【0107】

更に、データ線 DG_2 、 DG_1 に接続された G 画素 3 の駆動のために、制御信号 $AMP\ OUTSW_4$ の非活性化と共に制御信号 $AMP\ OUTSW_2$ が活性化され、制御信号 $AMP\ OUTSW_3$ の非活性化と共に制御信号 $AMP\ OUTSW_1$ が活性化される。制御信号 $DACSW_2$ 、 $DACSW_1$ は、制御信号 $AMP\ OUTSW_2$ 、 $AMP\ OUTSW_1$ の活性化と共に活性化される。その後、データ線 DG_2 、 DG_1 に接続された G 画素 3 の駆動が終了し、制御信号 $AMP\ OUTSW_2$ 、 $AMP\ OUTSW_1$ が非活性化されても、制御信号 $DACSW_2$ 、 $DACSW_1$ は、活性化され続ける。

【0108】

更に続いて、B 画素 3 が駆動される。具体的には、まず、データ線 DB_1 、 DB_2 に接続された B 画素 3 の駆動のために、制御信号 $AMP\ OUTSW_1$ 、 $AMP\ OUTSW_2$ が順次に活性化される。データ線 DB_1 、 DB_2 に接続された B 画素 3 の駆動が完了すると、制御信号 $AMP\ OUTSW_1$ 、 $AMP\ OUTSW_2$ が非活性化される。制御信号 $DACSW_1$ 、 $DACSW_2$ は、制御信号 $AMP\ OUTSW_1$ 、 $AMP\ OUTSW_2$ の非活性化と共に非活性化される。

【0109】

更に、データ線 DB_3 、 DB_4 に接続された B 画素 3 の駆動のために、制御信号 $AMP\ OUTSW_1$ の非活性化と共に制御信号 $AMP\ OUTSW_3$ が活性化され、制御信号 $AMP\ OUTSW_2$ の非活性化と共に制御信号 $AMP\ OUTSW_4$ が活性化される。制御信号 $DACSW_3$ 、 $DACSW_4$ は、制御信号 $AMP\ OUTSW_3$ 、 $AMP\ OUTSW_4$ の活性化と共に活性化される。その後、データ線 DB_3 、 DB_4 に接続された B 画素 3 の駆動が終了し、制御信号 $AMP\ OUTSW_3$ 、 $AMP\ OUTSW_4$ が非活性化されても、制御信号 $DACSW_3$ 、 $DACSW_4$ は活性化され続ける。

【0110】

第 2 水平期間でも、画素 3 の駆動の順序が変更されることを除いては、同様にして画素 3 が駆動される。

【0111】

図 11B に示されている動作の利点は、制御信号 $DACSW_1 \sim DACSW_4$ のスイッチ回数を減少させることができることにある。図 11A の動作では、一水平期間において、制御信号 $DACSW_1 \sim DACSW_4$ を延べ 12 回プルアップし、12 回プルダウンする必要がある。一方、図 11B の動作では、制御信号 $DACSW_1 \sim DACSW_4$ を延べ 6 回しかプルアップする必要がなく、6 回しかプルダウンする必要がない。制御信号 $DACSW_1 \sim DACSW_4$ のスイッチ回数の減少は、消費電力を低減させるため好ましい。

【0112】

(第 3 の実施形態)

図 12 は、第 3 の実施形態の液晶表示装置 10B の構成を示す図である。図 12 は、ソース出力 $S_1 \sim S_4$ に関連する部分のみの構成が図示されているが、液晶表示装置 10B には、図 12 の構成が繰り返して設けられていると理解されなくてはならない。

【0113】

第 3 の実施形態の液晶表示装置 10B の構成は、第 2 の実施形態の液晶表示装置 10A の構成に類似している。第 2 の実施形態の液晶表示装置 10A と同様に、第 3 の実施形態の液晶表示装置 10B は、隣接するソース出力 S が、異なる出力アンプ 17 によって駆動されるように構成される。このような構成は、各ソース出力 S を、隣接するソース出力 S の電圧レベルの変動の影響を低減させるために重要である。

【0114】

その一方で、第 3 の実施形態では、データドライバ IC 6B に搭載される回路の規模を小さくするために、 D/A コンバータ 15 の数が半減される。即ち、第 3 の実施形態では、1 つの D/A コンバータ 15 が出力アンプ 17 を介して 2 つのソース出力 S に接続され、当該 2 つのソース出力に接続されているデータ線 D の駆動に使用される。具体的には、 D/A コンバータ 15₁ は、ソース出力 S_1 、 S_3 に接続されたデータ線 D の駆動に使用され、 D/A コンバータ 15₂ は、ソース出力 S_2 、 S_4 に接続されたデータ線 D の駆動

に使用される。これに伴い、マルチプレクサ 13、D/Aコンバータ 15、出力アンプ 17、及びデマルチプレクサ 19、及びソース出力 S との間の接続関係が変更される。

【0115】

詳細には、第 3 の実施形態では、マルチプレクサ 13₁、13₃ の出力に、制御信号 MUXSW1、MUXSW3 に応答して動作するマルチプレクサ 21₁ が接続され、制御信号 MUXSW2、MUXSW4 に応答して動作するマルチプレクサ 13₂、13₄ の出力に、マルチプレクサ 21₂ が接続される。マルチプレクサ 21₁ は、制御信号 MUXSW1 が活性化されるとマルチプレクサ 13₁ の出力を D/Aコンバータ 15₁ の入力に接続し、制御信号 MUXSW3 が活性化されるとマルチプレクサ 13₂ の出力を D/Aコンバータ 15₁ の入力に接続する。一方、マルチプレクサ 21₂ は、制御信号 MUXSW2 が活性化されるとマルチプレクサ 13₂ の出力を D/Aコンバータ 15₂ の入力に接続し、制御信号 MUXSW4 が活性化されるとマルチプレクサ 13₄ の出力を D/Aコンバータ 15₂ の入力に接続する。

【0116】

マルチプレクサ 13₁、13₃、及びマルチプレクサ 21₁ は、全体としては、画素データ X_{R1}、X_{G1}、X_{B1}、X_{R3}、X_{G3}、X_{B3} を選択的に D/Aコンバータ 15₁ に供給するマルチプレクサとして機能することに留意されたい。即ち、制御信号 MUXSW1 が活性化されている場合には、制御信号 RSEL、GSEL、BSEL が活性化されると、それぞれ、画素データ X_{R1}、X_{G1}、X_{B1} が選択され、D/Aコンバータ 15₁ に供給される。一方、制御信号 MUXSW3 が活性化されている場合には、制御信号 RSEL、GSEL、BSEL が活性化されると、それぞれ、画素データ X_{R3}、X_{G3}、X_{B3} が選択され、D/Aコンバータ 15₁ に供給される。

【0117】

同様に、マルチプレクサ 13₂、13₄、及びマルチプレクサ 21₂ は、全体としては、画素データ X_{R2}、X_{G2}、X_{B2}、X_{R4}、X_{G4}、X_{B4} を選択的に D/Aコンバータ 15₂ に供給するマルチプレクサとして機能する。制御信号 MUXSW2 が活性化されている場合には、制御信号 RSEL、GSEL、BSEL が活性化されると、それぞれ、画素データ X_{R2}、X_{G2}、X_{B2} が選択され、D/Aコンバータ 15₂ に供給される。一方、制御信号 MUXSW4 が活性化されている場合には、制御信号 RSEL、GSEL、BSEL が活性化されると、それぞれ、画素データ X_{R4}、X_{G4}、X_{B4} が選択され、D/Aコンバータ 15₂ に供給される。

【0118】

第 2 実施形態と同様に、出力アンプ 17₁、17₂ の出力には、出力アンプ 17₁ とソース出力 S₁、S₃ との間の接続関係を切り替え、更に、出力アンプ 17₂ とソース出力 S₂、S₄ との間の接続関係を切り替えるようデマルチプレクサ 19 が設けられる。デマルチプレクサ 19 には、それぞれ、制御信号 AMPOUTSW1、AMPOUTSW2、AMPOUTSW3、AMPOUTSW4 に応じてオンオフされるスイッチ 19a、19b、19c、19d が設けられる。出力アンプ 17₁ の出力は、制御信号 AMPOUTSW1 が活性化されるとソース出力 S₁ に接続され、制御信号 AMPOUTSW3 が活性化されるとソース出力 S₃ に接続される。一方、出力アンプ 17₂ の出力は、制御信号 AMPOUTSW2 が活性化されるとソース出力 S₂ に接続され、制御信号 AMPOUTSW4 が活性化されるとソース出力 S₄ に接続される。

【0119】

本実施形態のデータドライバ IC6B では、第 1 及び第 2 実施形態とは異なり、D/Aコンバータ 15 を（出力アンプ 17 を介さずに）ソース出力 S に直結する経路が設けられていないことに留意されたい。

【0120】

図 13 は、第 3 の実施形態における液晶表示装置 10B の動作を示すタイミングチャートである。以下では、ソース出力 S₁～S₄ に対応する画素 3（即ち、データ線 DR₁～DR₄、DG₁～DG₄、DB₁～DB₄ に接続されている画素 3）の駆動について説明

を行うが、他のソース出力 S に対応する画素 3 も同様にして駆動されることは、当業者には容易に理解されよう。

【0121】

第1水平期間の開始時には、制御信号 RSW 、 $RSEL$ 、 $MUXSW1$ 、 $AMPOUTSW1$ が活性化されている。即ち、ソース出力 S_1 は、出力アンプ 17_1 に接続されている状態にある。一方で、全ての走査線 G が非活性化され、画素 3 の画素電極 $3b$ がデータ線 D から切り離されている。したがって、ソース出力 S_1 が出力アンプ 17_1 に接続されているにも関わらず、いずれの画素 3 も駆動されていない。

【0122】

第1水平期間が開始されると、まず、走査線 G_1 とデータ線 $DR_1 \sim DR_4$ とに接続された R 画素 3 が駆動される。 R 画素 3 の駆動は、下記のようにして行われる。水平同期信号 $HSYNC$ の非活性化（プルアップ）に同期して、ラッチ信号 STB が活性化される。ラッチ信号 STB が活性化されるタイミングは、データドライバ $IC6B$ の仕様に応じて適宜に選択されることに留意されたい。ラッチ信号 STB の活性化により、走査線 G_1 に接続されている画素 3 の階調を指定する画素データがレジスタ 12 にラッチされる。このとき、制御信号 $RSEL$ 、 $MUXSW1$ 、 $AMPOUTSW1$ が活性化されているから、データ線 DR_1 に接続された R 画素 3 に対応する画素データ X_{R1} が D/A コンバータ 15_1 に供給され、更に、画素データ X_{R1} に対応する階調電圧と同一の駆動電圧が、出力アンプ 17_1 の出力からソース出力 S_1 を介してデータ線 DR_1 に供給される。

【0123】

続いて、走査線 G_1 が活性化され、これにより、画素データ X_{R1} に対応する駆動電圧がデータ線 DR_1 に接続されている R 画素 3 に書き込まれる。

【0124】

続いて、データ線 DR_2 に接続されている R 画素 3 が駆動される。詳細には、制御信号 $MUXSW2$ 及び $AMPOUTSW2$ が活性化され、出力アンプ 17_2 の出力がソース出力 S_2 に接続される。これにより、データ線 DR_2 がデマルチプレクサ 5 の時分割スイッチ 5_{R2} 及びデマルチプレクサ 19 のスイッチ $19b$ を介して出力アンプ 17_2 の出力に接続され、画素データ X_{R2} に対応する駆動電圧がデータ線 DR_2 に供給される。供給された駆動電圧は、データ線 DR_2 に接続されている R 画素 3 に書き込まれる。

【0125】

第2の実施形態と同様に、データ線 DR_2 に接続されている R 画素 3 の駆動が開始された瞬間において、ソース出力 S_1 が出力アンプ 17_1 の出力に接続され続けていることに留意されたい。これにより、ソース出力 S_2 の電圧レベルが変動してもソース出力 S_1 の電圧レベルは出力アンプ 17_1 によって一定に保たれ、配線 7 の容量カップリングの影響を受けない。従って、ソース出力 S_1 に接続されているデータ線 DR_1 の電圧レベル、即ち、 R 画素 3 に書き込まれる駆動電圧の変動を防ぐことができる。

【0126】

続いて、データ線 DR_3 に接続されている R 画素 3 が駆動される。詳細には、制御信号 $MUXSW1$ 及び $AMPOUTSW1$ が非活性化されると共に、制御信号 $MUXSW3$ 及び $AMPOUTSW3$ が活性化される。制御信号 $MUXSW3$ 及び $AMPOUTSW3$ の活性化により、出力アンプ 17_1 の出力がソース出力 S_3 に接続される。これにより、データ線 DR_3 がデマルチプレクサ 5 の時分割スイッチ 5_{R3} 及びデマルチプレクサ 19 のスイッチ $19c$ を介して出力アンプ 17_1 の出力に接続され、画素データ X_{R3} に対応する駆動電圧がデータ線 DR_3 に供給される。供給された駆動電圧は、データ線 DR_3 に接続されている R 画素 3 に書き込まれる。データ線 DR_2 に接続されている R 画素 3 の駆動が開始された瞬間と同様に、データ線 DR_3 に接続されている R 画素 3 の駆動が開始された瞬間において、ソース出力 S_2 が出力アンプ 17_2 の出力に接続され続けていることに留意されたい。

【0127】

更に続いて、データ線 DR_4 に接続されている R 画素 3 が駆動される。詳細には、制御

10

20

30

40

50

信号M U X S W 2 及びA M P O U T S W 2 が非活性化されると共に、制御信号M U X S W 4 及びA M P O U T S W 4 が活性化される。制御信号M U X S W 4 及びA M P O U T S W 4 の活性化により、出力アンプ1 7₂ の出力がソース出力S₄ に接続される。これにより、データ線D R₄ がデマルチプレクサ5 の時分割スイッチ5_{R 4} 及びデマルチプレクサ1 9 のスイッチ1 9 d を介して出力アンプ1 7₂ の出力に接続され、画素データX_{R 4} に対応する駆動電圧がデータ線D R₄ に供給される。供給された駆動電圧は、データ線D R₄ に接続されているR画素3 に書き込まれる。データ線D R₃ に接続されているR画素3 の駆動が開始された瞬間と同様に、データ線D R₄ に接続されているR画素3 の駆動が開始された瞬間において、ソース出力S₃ が出力アンプ1 7₁ の出力に接続され続けていることに留意されたい。

10

【0128】

R画素3 の駆動が完了すると、それに続いて、走査線G₁ とデータ線D G₁ ~ D G₄ とに接続されたG画素3 が駆動される。詳細には、制御信号G S W が活性化された後、制御信号M U X S W 4、M U X S W 3、M U X S W 2、及びM U X S W 1 がこの順序で順次に活性化されると共に、制御信号A M P O U T S W 4、A M P O U T S W 3、A M P O U T S W 2、A M P O U T S W 1 がこの順序で順次に活性化される。これにより、データ線D G₁ ~ D G₄ に接続されたG画素3 が対応する出力アンプ1 7 によって駆動され、所望の駆動電圧が各G画素3 に書き込まれる。R画素3 の駆動の際と同様に、データ線D G₃ に接続されているG画素3 の駆動が開始された瞬間には、ソース出力S₄ が出力アンプ1 7₂ の出力に接続され、データ線D G₂ に接続されているG画素3 の駆動が開始された瞬間には、ソース出力S₃ が出力アンプ1 7₁ の出力に接続され、データ線D G₁ に接続されているG画素3 の駆動が開始された瞬間には、ソース出力S₂ が出力アンプ1 7₂ の出力に接続されることに留意されたい。

20

【0129】

最後に、走査線G₁ とデータ線D B₁ ~ D B₄ とに接続されたB画素3 が駆動される。詳細には、制御信号B S W が活性化された後、制御信号M U X S W 1、M U X S W 2、M U X S W 3、及びM U X S W 4 がこの順序で順次に活性化されると共に、制御信号A M P O U T S W 1、A M P O U T S W 2、A M P O U T S W 3、A M P O U T S W 4 がこの順序で順次に活性化される。これにより、データ線D B₁ ~ D B₄ に接続されたB画素3 が対応する出力アンプ1 7 によって駆動され、各B画素3 に所望の駆動電圧が書き込まれる。R画素3 の駆動の際と同様に、データ線D B₂ に接続されているB画素3 の駆動が開始された瞬間には、ソース出力S₁ が出力アンプ1 7₁ の出力に接続され、データ線D B₃ に接続されているB画素3 の駆動が開始された瞬間には、ソース出力S₂ が出力アンプ1 7₂ の出力に接続され、データ線D B₄ に接続されているB画素3 の駆動が開始された瞬間には、ソース出力S₃ が出力アンプ1 7₁ の出力に接続されることに留意されたい。

30

【0130】

第2水平期間でも、同様の手順で走査線G₂ に接続されている画素3 が駆動される。ただし、第2水平期間では、走査線G₂ に接続されている画素3 は、B画素、G画素、R画素の順で駆動される。B画素3 の駆動の際、制御信号B S W は、第1水平期間から継続して活性化され続け、液晶表示パネル1 のデマルチプレクサ5 の時分割スイッチ5_{B 1} ~ 5_{B 4} は、ターンオフされない；データ線D B₁ ~ D B₄ は、第1水平期間の終了後もソース線S₁ ~ S₄ に接続され続ける。このような動作によれば、デマルチプレクサ5 の5_{B 1} ~ 5_{B 4} のスイッチ回数を減らし、液晶表示パネル1 の消費電力を低減させることができる。

40

【0131】

詳細には、第2水平期間の開始時には、制御信号B S W、B S E L、M U X S W 4、A M P O U T S W 4 が活性化されている。まず、水平同期信号H S Y N C の非活性化（プルアップ）に同期して、ラッチ信号S T B が活性化される。これにより、走査線G₂ に接続されている画素3 の階調を指定する画素データがレジスタ1 2 にラッチされる。このとき、制御信号B S E L、M U X S W 4、A M P O U T S W 4 が活性化されているから、デー

50

タ線 DB_4 に接続された B 画素 3 に対応する画素データ X_{B_4} が D/A コンバータ 15_2 に供給され、更に、画素データ X_{B_4} に対応する階調電圧と同一の駆動電圧が、出力アンプ 17_2 の出力からソース出力 S_4 を介してデータ線 DB_4 に供給される。

【0132】

続いて、走査線 G_2 が活性化され、これにより、画素データ X_{B_4} に対応する駆動電圧がデータ線 DB_4 に接続されている B 画素 3 に書き込まれる。

【0133】

続いて、制御信号 $MUXSW3$ 、 $MUXSW2$ 、及び $MUXSW1$ がこの順序で順次に活性化されると共に、制御信号 $AMPOUTSW3$ 、 $AMPOUTSW2$ 、 $AMPOUTSW1$ がこの順序で順次に活性化される。これにより、データ線 DB_3 、 DB_2 、 DB_1 に接続された B 画素 3 に対応する出力アンプ 17 によって駆動され、所望の駆動電圧が各 B 画素 3 に書き込まれる。データ線 DB_3 に接続されている B 画素 3 の駆動が開始された瞬間には、ソース出力 S_4 が出力アンプ 17_2 の出力に接続され、データ線 DB_2 に接続されている B 画素 3 の駆動が開始された瞬間には、ソース出力 S_3 が出力アンプ 17_1 の出力に接続され、データ線 DB_1 に接続されている B 画素 3 の駆動が開始された瞬間には、ソース出力 S_2 が出力アンプ 17_2 の出力に接続されることに留意されたい。

【0134】

B 画素 3 の駆動が完了すると、データ線 $DG_1 \sim DG_4$ に接続されている G 画素 3 の駆動が行われる。詳細には、制御信号 $MUXSW1$ 、 $MUXSW2$ 、 $MUXSW3$ 、及び $MUXSW4$ がこの順序で順次に活性化されると共に、制御信号 $AMPOUTSW1$ 、 $AMPOUTSW2$ 、 $AMPOUTSW3$ 、 $AMPOUTSW4$ がこの順序で順次に活性化される。これにより、データ線 $DG_1 \sim DG_4$ に接続された G 画素 3 に対応する出力アンプ 17 によって駆動され、各 G 画素 3 に所望の駆動電圧が書き込まれる。データ線 DG_2 に接続されている G 画素 3 の駆動が開始された瞬間には、ソース出力 S_1 が出力アンプ 17_1 の出力に接続され、データ線 DG_3 に接続されている G 画素 3 の駆動が開始された瞬間には、ソース出力 S_2 が出力アンプ 17_2 の出力に接続され、データ線 DG_4 に接続されている G 画素 3 の駆動が開始された瞬間には、ソース出力 S_3 が出力アンプ 17_1 の出力に接続されることに留意されたい。

【0135】

G 画素 3 の駆動が完了すると、データ線 $DR_1 \sim DR_4$ に接続されている R 画素 3 の駆動が行われる。詳細には、制御信号 $MUXSW4$ 、 $MUXSW3$ 、 $MUXSW2$ 、及び $MUXSW1$ がこの順序で順次に活性化されると共に、制御信号 $AMPOUTSW4$ 、 $AMPOUTSW3$ 、 $AMPOUTSW2$ 、 $AMPOUTSW1$ がこの順序で順次に活性化される。これにより、データ線 $DR_1 \sim DR_4$ に接続された R 画素 3 に対応する出力アンプ 17 によって駆動され、各 R 画素 3 に所望の駆動電圧が書き込まれる。データ線 DR_3 に接続されている R 画素 3 の駆動が開始された瞬間には、ソース出力 S_4 が出力アンプ 17_2 の出力に接続され、データ線 DR_2 に接続されている R 画素 3 の駆動が開始された瞬間には、ソース出力 S_3 が出力アンプ 17_1 の出力に接続され、データ線 DR_1 に接続されている R 画素 3 の駆動が開始された瞬間には、ソース出力 S_2 が出力アンプ 17_2 の出力に接続されることに留意されたい。

【0136】

以後、奇数水平期間では第 1 水平期間と同様にして画素 3 が駆動され、偶数水平期間では、第 2 水平期間と同様にして画素 3 が駆動される。

【0137】

図 13 の動作の一つの問題は、単純にソース出力 $S_1 \sim S_4$ とが繰り返して配置されていると、最も遅く駆動されるソース出力 S （例えば、ソース出力 S_1 ）と最も早く駆動されるソース出力 S （例えば、ソース出力 S_4 ）とが隣接しているため、その間の容量カップリングにより、最も遅く駆動されるソース出力 S の電圧レベルの変動が最も早く駆動されるソース出力 S の電圧レベルを変動させてしまうことである。例えば図 13 の動作では、第 1 水平期間における R 画素 3 の駆動の際、ソース出力 S_1 、 S_2 、 S_3 、 S_4 が、こ

10

20

30

40

50

の順序で順次に駆動される。図 1 2 には、4つのソース出力 $S_1 \sim S_4$ しか図示されていないが、現実の液晶表示装置ではソース出力 S_1 がソース出力 S_4 に隣接して設けられるから、ソース出力 S_4 の駆動時の電圧レベルの変動により、ソース出力 S_1 の電圧レベルが変動してしまう。

【0138】

図 1 4 は、このようなソース出力 S の電圧レベルの変動を抑制するために好適な液晶表示装置 10 B の動作を示している。図 1 4 の動作では、ソース出力 S_1 、 S_2 、 S_3 、 S_4 が、この順序で順次に駆動される場合、ソース出力 S_1 が駆動される際にソース出力 S_4 がプリチャージされる。図 1 4 のタイミングチャートの記号 "P" は、当該ソース出力 S_1 、 S_4 がプリチャージされることを示している。プリチャージされる電圧（プリチャージ電圧）は、その後に画素 3 が駆動される駆動電圧と同一である。ソース出力 S_4 をプリチャージすることにより、その後にソース出力 S_4 が駆動されるときにおける電圧レベルの変動が小さくなり、そのため、隣接するソース出力 S_1 の電圧レベルの変動が抑制される。同様に、ソース出力 S_4 、 S_3 、 S_2 、 S_1 が、この順序で順次に駆動される場合、ソース出力 S_4 が駆動される際にソース出力 S_1 がプリチャージされる。ソース出力 S_1 をプリチャージすることにより、その後にソース出力 S_1 が駆動されるときにおける電圧レベルの変動が小さくなり、そのため、隣接するソース出力 S_4 の電圧レベルの変動が抑制される。図 1 4 の液晶表示装置 10 B の動作を、以下、詳細に説明する。

【0139】

第 1 水平期間の開始時には、制御信号 R_{SW} 、 R_{SEL} 、 MUX_{SW1} 、 $AMP_{OUT_{SW1}}$ が活性化されている。即ち、ソース出力 S_1 は、出力アンプ 17₁ によって駆動されている状態にある。一方で、全ての走査線 G が非活性化され、画素 3 の画素電極 3 b がデータ線 D から切り離されている。したがって、ソース出力 S_1 が出力アンプ 17₁ によって駆動されているにも関わらず、いずれの画素 3 も駆動されない状態である。

【0140】

まず、走査線 G_1 とデータ線 $DR_1 \sim DR_4$ とに接続された R 画素 3 が駆動される。R 画素 3 の駆動は、下記のようにして行われる。水平同期信号 $HSYNC$ の非活性化（プルアップ）に同期して、ラッチ信号 STB が活性化される。これにより、走査線 G_1 に接続されている画素 3 の階調を指定する画素データがレジスタ 12 にラッチされる。このとき、制御信号 R_{SEL} 、 MUX_{SW1} 、 $AMP_{OUT_{SW1}}$ が活性化されているから、データ線 DR_1 に接続された R 画素 3 に対応する画素データ X_{R1} が D/A コンバータ 15₁ に供給され、更に、ソース出力 S_1 の出力が、出力アンプ 17₁ によって画素データ X_{R1} に対応する階調電圧と同一の駆動電圧に駆動される。

【0141】

ソース出力 S_1 が出力アンプ 17₁ によって駆動されると同時に、ソース出力 S_4 がプリチャージされる。図 1 4 において、ソース出力 S がプリチャージされることは、記号「P」によって示されていることに留意されたい。詳細には、制御信号 MUX_{SW4} 、及び $AMP_{OUT_{SW4}}$ が活性化される。これにより、データ線 DR_4 に接続された R 画素 3 に対応する画素データ X_{R4} が D/A コンバータ 15₂ に供給され、ソース出力 S_4 が画素データ X_{R4} に対応する階調電圧と同一のプリチャージ電圧に出力アンプ 17₂ によってプリチャージされる。プリチャージが完了すると、制御信号 MUX_{SW4} 、及び $AMP_{OUT_{SW4}}$ が非活性化される。

【0142】

続いて、走査線 G_1 が活性化され、これにより、画素データ X_{R1} に対応する駆動電圧がデータ線 DR_1 に接続されている R 画素 3 に書き込まれ、データ線 DR_1 に接続されている R 画素 3 の駆動が完了する。同時に、ソース出力 S_4 が画素データ X_{R4} に対応する電圧レベルにプリチャージされ、データ線 DR_4 に接続されている R 画素 3 に画素データ X_{R4} に対応する駆動電圧が書き込まれる。

【0143】

続いて、制御信号 MUX_{SW2} 、 MUX_{SW3} 、及び MUX_{SW4} がこの順序で順次に

活性化されると共に、制御信号AMPOUTSW2、AMPOUTSW3、AMPOUTSW4がこの順序で順次に活性化される。これにより、データ線DR₂、DR₃、DR₄に接続されたR画素3が対応する出力アンプ17によって駆動され、所望の駆動電圧が各R画素3に書き込まれる。R画素3の駆動が完了すると、制御信号RSWが非活性化される。R画素3の駆動が完了しても、制御信号MUXSW4、及びAMPOUTSW4の活性化は継続されることに留意されたい。

【0144】

ソース出力S₄が予めプリチャージ動作されているため、データ線DR₄に接続されたR画素3が駆動される際のソース出力S₄の電圧レベルの変動は小さい。したがって、ソース出力S₄に隣接するソース出力S₁の電圧レベルの変動も小さい。

10

【0145】

R画素3の駆動の完了の後、走査線G₁とデータ線DG₁～DG₄とに接続されたG画素3が駆動される。より具体的には、まず、制御信号RSELが非活性化されると共に、制御信号GSELが活性化される。制御信号MUXSW4、及びAMPOUTSW4が活性化され続けるので、制御信号GSELの活性化により、ソース出力S₄が画素データX_{G4}に対応する階調電圧と同一の駆動電圧に出力アンプ17₂によって駆動される。

【0146】

ソース出力S₄が出力アンプ17₂によって駆動されると同時に、ソース出力S₁がプリチャージされる。詳細には、制御信号MUXSW1、及びAMPOUTSW1が活性化される。これにより、データ線DG₁に接続されたG画素3に対応する画素データX_{G1}がD/Aコンバータ15₁に供給され、ソース出力S₁が画素データX_{G1}に対応する階調電圧と同一のプリチャージ電圧に出力アンプ17₁によってプリチャージされる。プリチャージが完了すると、制御信号MUXSW1、及びAMPOUTSW1が非活性化される。

20

【0147】

続いて、制御信号GSWが活性化され、データ線DG₁～DG₄がそれぞれ、ソース出力S₁～S₄に電氣的に接続される。これにより、画素データX_{G4}に対応する駆動電圧がデータ線DG₄に接続されているG画素3に書き込まれる。同時に、ソース出力S₁が画素データX_{G1}に対応する電圧レベルにプリチャージされ、データ線DG₁に接続されているG画素3に画素データX_{G1}に対応する駆動電圧が書き込まれる。

30

【0148】

続いて、制御信号MUXSW3、MUXSW2、及びMUXSW1がこの順序で順次に活性化されると共に、制御信号AMPOUTSW3、AMPOUTSW2、AMPOUTSW1がこの順序で順次に活性化される。これにより、データ線DG₃、DG₂、DG₁に接続されたG画素3が対応する出力アンプ17によって駆動され、所望の駆動電圧が各G画素3に書き込まれる。G画素3の駆動が完了すると、制御信号GSWが非活性化される。G画素3の駆動が完了しても、制御信号MUXSW1、及びAMPOUTSW1の活性化は継続されることに留意されたい。

【0149】

ソース出力S₁が予めプリチャージされるため、データ線DG₁に接続されたG画素3が駆動される際のソース出力S₁の電圧レベルの変動は小さい。したがって、ソース出力S₁に隣接するソース出力S₄の電圧レベルの変動も小さい。

40

【0150】

G画素3の駆動の完了の後、走査線G₁とデータ線DB₁～DB₄とに接続されたB画素3が駆動される。より具体的には、まず、制御信号GSELが非活性化されると共に、制御信号BSELが活性化される。制御信号MUXSW1、及びAMPOUTSW1が活性化され続けるので、制御信号BSELの活性化により、ソース出力S₁が画素データX_{B1}に対応する階調電圧と同一の駆動電圧に出力アンプ17₁によって駆動される。

【0151】

ソース出力S₁が出力アンプ17₁によって駆動されると同時に、ソース出力S₄がプ

50

リチャージされる。詳細には、制御信号M U X S W 4、及びA M P O U T S W 4が活性化される。これにより、データ線D B₄に接続されたB画素3に対応する画素データX_{B 4}がD/Aコンバータ15₂に供給され、ソース出力S₄が画素データX_{B 4}に対応する階調電圧と同一のプリチャージ電圧に出力アンプ17₂によってプリチャージされる。プリチャージが完了すると、制御信号M U X S W 4、及びA M P O U T S W 4が非活性化される。

【0152】

続いて、制御信号B S Wが活性化され、データ線D B₁～D B₄がそれぞれ、ソース出力S₁～S₄に電氣的に接続される。これにより、画素データX_{B 1}に対応する駆動電圧がデータ線D B₁に接続されているB画素3に書き込まれる。同時に、ソース出力S₄が画素データX_{B 4}に対応する電圧レベルにプリチャージされ、データ線D B₄に接続されているB画素3に画素データX_{B 4}に対応する駆動電圧が書き込まれる。

10

【0153】

続いて、制御信号M U X S W 2、M U X S W 3、及びM U X S W 4がこの順序で順次に活性化されると共に、制御信号A M P O U T S W 2、A M P O U T S W 3、A M P O U T S W 4がこの順序で順次に活性化される。これにより、データ線D B₂、D B₃、D B₄に接続されたB画素3が対応する出力アンプ17によって駆動され、所望の駆動電圧が各B画素3に書き込まれる。

【0154】

第2水平期間では、走査線G₂に接続された画素3が駆動される。走査線G₂に接続された画素3は、B画素3、G画素3、R画素3の順番に駆動される点を除き、走査線G₁に接続された画素3と同様の手順で駆動される。以後、奇数水平期間では、第1水平期間と同様の手順により、偶数水平期間では、第2水平期間と同様の手順によって画素3の駆動が行われる。

20

【0155】

第1の実施形態と同様に、第3の実施形態においても、ソース出力Sが駆動される順序は、フレーム期間毎に入れ替えられることが望ましい。一実施形態では、奇数フレーム期間の第1水平期間のR画素3の駆動では、図14に示されているように、制御信号A M P O U T S W 1、A M P O U T S W 2、A M P O U T S W 3、A M P O U T S W 4がこの順で活性化される。この結果、ソース出力S₁～S₄が、ソース出力S₁、S₂、S₃、S₄の順で駆動される。一方、偶数フレーム期間の第1水平期間のR画素3の駆動では、制御信号A M P O U T S W 1～4が、制御信号A M P O U T S W 4、A M P O U T S W 3、A M P O U T S W 2、A M P O U T S W 1の順で活性化される。この結果、ソース出力S₁～S₄が、ソース出力S₄、S₃、S₂、S₁の順で駆動される。G画素3、B画素3の駆動でも同様に、制御信号A M P O U T S W 1～4が活性化される順序が奇数フレーム期間と偶数フレーム期間とで切り換えられる。他の水平期間についても同様に、制御信号A M P O U T S W 1～4が活性化される順序が奇数フレーム期間と偶数フレーム期間とで切り換えられる。このような動作によれば、同じ色の画素に駆動電圧が書き込まれている時間が時間平均で均一化され、フリッカの発生を抑制することができる。

30

【0156】

図14に図示されている動作によれば、ソース出力S₁の駆動が開始される際にソース出力S₄がプリチャージされ、又はソース出力S₄の駆動が開始される際にソース出力S₁がプリチャージされ、これにより、ソース出力S₁～S₄のうち最も早く駆動されるソース出力Sの電圧レベルの変動を抑制することができ、画質の低下を防げる。

40

【0157】

ソース出力Sのうち最も早く駆動されるソース出力Sの電圧レベルの変動を抑制するもう一つの方策は、最も早く駆動されるソース出力Sを最も遅く駆動されるソース出力Sと隣接させないことである。図15A、図15Bは、このような方策に沿った液晶表示装置10Cの構成を示す図である。図15A、図15Bは、2つの図面で1つの液晶表示装置を図示していることに留意されたい。

50

【0158】

図16は、或る水平期間において図15A、図15Bの液晶表示装置10Cのソース出力 $S_1 \sim S_8$ が駆動される手順を示す図である。図15A、図15Bの液晶表示装置10Cでは、ソース出力 $S_1 \sim S_4$ が、ソース出力 S_1 、 S_2 、 S_3 、 S_4 の順番で駆動される場合（例えば、図16においてR画素が駆動される場合）、ソース出力 $S_5 \sim S_8$ は、ソース出力 S_8 、 S_7 、 S_6 、 S_5 の順番で駆動される。即ち、最も早く駆動されるソース出力 S_1 、 S_8 は、互いに隣接して位置しており、最も遅く駆動されるソース出力 S_4 、 S_5 から離れている。一方、液晶表示装置10Cは、ソース出力 $S_1 \sim S_4$ が、ソース出力 S_4 、 S_3 、 S_2 、 S_1 の順番で駆動される場合（例えば、図16においてG画素が駆動される場合）、ソース出力 $S_5 \sim S_8$ は、ソース出力 S_5 、 S_6 、 S_7 、 S_8 の順番で駆動されるように構成されている。このような手順によれば、最も早く駆動されるソース出力 S を最も遅く駆動されるソース出力 S と隣接させずに、ソース出力 S を駆動することができる。以下、図15A、図15Bに図示されている液晶表示装置10Cの構成及び動作を詳細に説明する。

10

【0159】

図15A、図15Bの液晶表示装置10Cの構成では、ソース出力 $S_1 \sim S_4$ を駆動する回路群は、図12と同様に構成される一方で、ソース出力 $S_5 \sim S_8$ を駆動する回路群は、ソース出力 $S_1 \sim S_4$ を駆動する回路群と鏡面对称な構成を有している。

【0160】

より具体的には、マルチプレクサ13₅、13₇の出力に、制御信号MUXSW2、及びMUXSW4に応答して動作するマルチプレクサ21₃が接続され、マルチプレクサ13₂、13₄の出力に、制御信号MUXSW1、及びMUXSW3に応答してマルチプレクサ21₄が接続される。マルチプレクサ21₃は、制御信号MUXSW4が活性化されると、マルチプレクサ13₅の出力をD/Aコンバータ15₃の入力に接続し、制御信号MUXSW2が活性化されると、マルチプレクサ13₇の出力をD/Aコンバータ15₃の入力に接続する。一方、マルチプレクサ21₄は、制御信号MUXSW3が活性化されると、マルチプレクサ13₆の出力をD/Aコンバータ15₄の入力に接続し、制御信号MUXSW1が活性化されると、マルチプレクサ13₈の出力をD/Aコンバータ15₄の入力に接続する。

20

【0161】

出力アンプ17₃、17₄の出力には、出力アンプ17₃とソース出力 S_5 、 S_7 との間の接続関係を切り替え、更に、出力アンプ17₄とソース出力 S_6 、 S_8 との間の接続関係を切り替えるデマルチプレクサ19₂が設けられる。デマルチプレクサ19₂には、それぞれ、制御信号AMPOUTSW4、AMPOUTSW3、AMPOUTSW2、AMPOUTSW1に応じてオンオフされるスイッチ19e、19f、19g、19hが設けられる。出力アンプ17₃の出力は、制御信号AMPOUTSW4が活性化されるとソース出力 S_5 に接続され、制御信号AMPOUTSW2が活性化されるとソース出力 S_7 に接続される。一方、出力アンプ17₄の出力は、制御信号AMPOUTSW3が活性化されるとソース出力 S_6 に接続され、制御信号AMPOUTSW1が活性化されるとソース出力 S_8 に接続される。

30

40

【0162】

図15A、図15Bの構成では、制御信号MUXSW4及びAMPOUTSW4が活性化されると、互いに隣接して設けられているソース出力 S_4 、 S_5 が同時に駆動されることに留意されたい。制御信号MUXSW4が活性化されると、マルチプレクサ13₄の出力がD/Aコンバータ15₂の入力に接続され、マルチプレクサ13₅の出力がD/Aコンバータ15₃の入力に接続される。加えて、制御信号AMPOUTSW4が活性化されると、出力アンプ17₂の出力がソース出力 S_4 に接続されて駆動され、出力アンプ17₃の出力がソース出力 S_5 に接続されて駆動される。

【0163】

同様に、制御信号MUXSW1及びAMPOUTSW1が活性化されると、ソース出力

50

S_1 、 S_8 が同時に駆動され、制御信号 $MUXSW2$ 及び $AMPOUTSW2$ が活性化されると、ソース出力 S_2 、 S_7 が同時に駆動され、制御信号 $MUXSW3$ 及び $AMPOUTSW3$ が活性化されると、ソース出力 S_3 、 S_6 が同時に駆動されることに留意されたい。

【0164】

図17Aは、図15A、図15Bの液晶表示装置10Cの動作を示すタイミングチャートである。図17Aの動作では、ソース出力 $S_1 \sim S_4$ に対応する回路群の動作は、図12と同様である一方で、ソース出力 S_5 、 S_6 、 S_7 、 S_8 に対応する回路群は、それぞれ、ソース出力 S_4 、 S_3 、 S_2 、 S_1 に対応する回路群と同様に動作する。以下、図15A、図15Bの液晶表示装置10Cの動作を具体的に説明する。

10

【0165】

第1水平期間の開始時には、制御信号 RSW 、 $RSEL$ 、 $MUXSW1$ 、 $AMPOUTSW1$ が活性化されている。即ち、ソース出力 S_1 、 S_8 が、それぞれ、出力アンプ17₁、17₄によって駆動されている状態にある。一方で、全ての走査線Gが非活性化され、画素3の画素電極3bがデータ線Dから切り離されている。したがって、ソース出力 S_1 、 S_8 が出力アンプ17₁、17₄に接続され、更にデータ線 $D_{R1} \sim D_{R8}$ がそれぞれソース出力 $S_1 \sim S_8$ に電氣的に接続されているにも関わらず、いずれの画素3も駆動されない。

【0166】

第1水平期間が開始されると、まず、走査線 G_1 とデータ線 $DR_1 \sim DR_8$ とに接続されたR画素3が駆動される。R画素3の駆動は、下記のようにして行われる。水平同期信号 $HSYNC$ の非活性化（プルアップ）に同期して、ラッチ信号 STB が活性化される。これにより、走査線 G_1 に接続されている画素3の階調を指定する画素データがレジスタ12にラッチされる。このとき、制御信号 $RSEL$ 、 $MUXSW1$ 、 $AMPOUTSW1$ が活性化されているから、データ線 DR_1 に接続されたR画素3に対応する画素データ X_{R1} がD/Aコンバータ15₁に供給され、データ線 DR_8 に接続されたR画素3に対応する画素データ X_{R8} がD/Aコンバータ15₄に供給される。これにより、ソース出力 S_1 が画素データ X_{R1} に対応する階調電圧と同一の駆動電圧に駆動され、ソース出力 S_8 が画素データ X_{R8} に対応する階調電圧と同一の駆動電圧に駆動される。

20

【0167】

続いて、走査線 G_1 が活性化され、これにより、画素データ X_{R1} 、 X_{R8} に対応する駆動電圧がデータ線 DR_1 、 DR_8 に接続されているR画素3に書き込まれる。

30

【0168】

続いて、データ線 DR_2 、 DR_7 に接続されているR画素3が駆動される。詳細には、制御信号 $MUXSW2$ 及び $AMPOUTSW2$ が活性化され、出力アンプ17₂の出力がソース出力 S_2 に、出力アンプ17₃の出力がソース出力 S_7 に接続される。これにより、データ線 DR_2 がデマルチプレクサ5の時分割スイッチ5_{R2}及びデマルチプレクサ19₁のスイッチ19bを介して出力アンプ17₂の出力に接続され、データ線 DR_7 がデマルチプレクサ5の時分割スイッチ5_{R7}及びデマルチプレクサ19₂のスイッチ19gを介して出力アンプ17₃の出力に接続される。これにより、画素データ X_{R2} に対応する駆動電圧がデータ線 DR_2 に供給され、画素データ X_{R7} に対応する駆動電圧がデータ線 DR_7 に供給される。供給された駆動電圧は、それぞれ、データ線 DR_2 、 DR_7 に接続されているR画素3に書き込まれる。データ線 DR_2 、 DR_7 に接続されているR画素3の駆動が開始された瞬間には、ソース出力 S_1 、 S_8 が、それぞれ出力アンプ17₁、17₄の出力に接続されていることに留意されたい。このような動作によれば、ソース出力 S_2 、 S_7 が出力アンプ17₂、17₃によって駆動されてソース出力 S_2 、 S_7 の電圧レベルが変動したときに、隣接するソース出力 S_1 、 S_8 の電圧レベルがクロストークの影響によって変動しても、ソース出力 S_1 、 S_8 の電圧レベルは、出力アンプ17₁、17₄によって直ちに所望の電圧レベルに戻される。したがって、ソース出力 S_1 、 S_8 の電圧レベルは、隣接するソース出力 S_2 、 S_7 の電圧レベルの変動の影響を受けない。

40

50

【0169】

続いて、データ線DR₃、DR₆に接続されているR画素3が駆動される。詳細には、制御信号MUXSW1及びAMPOUTSW1が非活性化されると共に、制御信号MUXSW3及びAMPOUTSW3が活性化される。制御信号MUXSW3及びAMPOUTSW3の活性化により、出力アンプ17₁の出力がソース出力S₃に接続され、出力アンプ17₄の出力がソース出力S₆に接続される。これにより、データ線DR₃がデマルチプレクサ5の時分割スイッチ5_{R3}及びデマルチプレクサ19₁のスイッチ19cを介して出力アンプ17₁の出力に接続され、データ線DR₆がデマルチプレクサ5の時分割スイッチ5_{R6}及びデマルチプレクサ19₂のスイッチ19fを介して出力アンプ17₄の出力に接続される。これにより、画素データX_{R3}に対応する駆動電圧がデータ線DR₃に供給され、画素データX_{R6}に対応する駆動電圧がデータ線DR₆に供給される。供給された駆動電圧は、それぞれ、データ線DR₃、DR₆に接続されているR画素3に書き込まれる。

10

【0170】

最後に、データ線DR₄、DR₅に接続されているR画素3が駆動される。詳細には、制御信号MUXSW2及びAMPOUTSW2が非活性化されると共に、制御信号MUXSW4及びAMPOUTSW4が活性化される。制御信号MUXSW4及びAMPOUTSW4の活性化により、出力アンプ17₂の出力がソース出力S₄に接続され、出力アンプ17₃の出力がソース出力S₅に接続される。これにより、データ線DR₄がデマルチプレクサ5の時分割スイッチ5_{R4}及びデマルチプレクサ19のスイッチ19dを介して出力アンプ17₂の出力に接続され、データ線DR₅がデマルチプレクサ5の時分割スイッチ5_{R5}及びデマルチプレクサ19のスイッチ19eを介して出力アンプ17₃の出力に接続される。これにより、画素データX_{R4}に対応する駆動電圧がデータ線DR₄に供給され、画素データX_{R5}に対応する駆動電圧がデータ線DR₅に供給される。供給された駆動電圧は、それぞれ、データ線DR₄、DR₅に接続されているR画素3に書き込まれる。

20

【0171】

データ線DR₄、DR₅に接続されているR画素3の駆動の際には、ソース出力S₄、S₅の電圧レベルが変動するが、ソース出力S₄、S₅の電圧レベルの変動は、他のソース出力Sの電圧レベルに影響を与えない。ソース出力S₄、S₅は、同時に出力アンプ17₂、17₃によって駆動されるから、容量カップリングによるクロストークの影響を受けても出力アンプ17₂、17₃によって所望の電圧レベルに直ぐに戻される。従って、ソース出力S₄、S₅は、電圧レベルの影響を相互に受けない。隣接するソース出力S₃、S₆については、データ線DR₄、DR₅に接続されているR画素3の駆動の開始時には、ソース出力S₃、S₆が出力アンプ17₁、17₄によって駆動されているから、ソース出力S₄、S₅の電圧レベルの変動の影響を受けない。また、他のソース出力S₁、S₂、S₇、S₈は、ソース出力S₄、S₅から離れて位置しているため、容量カップリングによる影響を受けない。このように、ソース出力S₄、S₅の電圧レベルの変動は、他のソース出力Sの電圧レベルに影響を与えない。

30

【0172】

R画素3の駆動が完了すると、走査線G₁とデータ線DG₁～DG₈とに接続されたG画素3が駆動される。詳細には、制御信号GSWが活性化された後、制御信号MUXSW4、MUXSW3、MUXSW2、及びMUXSW1がこの順序で順次に活性化されると共に、制御信号AMPOUTSW4、AMPOUTSW3、AMPOUTSW2、AMPOUTSW1がこの順序で順次に活性化される。これにより、G画素3が、データ線DG₄、DG₅に接続されているG画素3、データ線DG₃、DG₆に接続されているG画素3、データ線DG₂、DG₇に接続されているG画素3、データ線DG₁、DG₈に接続されているG画素3の順序で駆動される。R画素3の駆動の際と同様に、最初に駆動されるソース出力S₄、S₅は、最後に駆動されるソース出力S₁、S₈から離れており、従って、ソース出力S₄、S₅は、ソース出力S₁、S₈の電圧レベルの変動の影響を受け

40

50

ない。

【0173】

最後に、走査線 G_1 とデータ線 $DB_1 \sim DB_8$ とに接続された B 画素 3 が駆動される。詳細には、制御信号 B_{SW} が活性化された後、制御信号 MUX_{SW1} 、 MUX_{SW2} 、 MUX_{SW3} 、及び MUX_{SW4} がこの順序で順次に活性化されると共に、制御信号 $AMP_{OUT_{SW1}}$ 、 $AMP_{OUT_{SW2}}$ 、 $AMP_{OUT_{SW3}}$ 、 $AMP_{OUT_{SW4}}$ がこの順序で順次に活性化される。これにより、B 画素 3 が、データ線 DB_1 、 DB_8 に接続されている B 画素 3、データ線 DB_2 、 DB_7 に接続されている B 画素 3、データ線 DB_3 、 DB_6 に接続されている B 画素 3、データ線 DB_4 、 DB_5 に接続されている B 画素 3 の順序で駆動される。R 画素 3 の駆動の際と同様に、最初に駆動されるソース出力 S_1 、 S_8 は、最後に駆動されるソース出力 S_4 、 S_5 から離れており、従って、ソース出力 S_1 、 S_8 は、ソース出力 S_4 、 S_5 の電圧レベルの変動の影響を受けない。

10

【0174】

第 2 水平期間では、走査線 G_2 に接続された画素 3 が駆動される。走査線 G_2 に接続された画素 3 は、B 画素 3、G 画素 3、R 画素 3 の順番に駆動される点を除き、走査線 G_1 に接続された画素 3 と同様の手順で駆動される。以後、奇数水平期間では、第 1 水平期間と同様の手順により、偶数水平期間では、第 2 水平期間と同様の手順によって画素 3 の駆動が行われる。

【0175】

図 17A の動作においても、ソース出力 S が駆動される順序は、フレーム期間毎に入れ替えられることが望ましい。一実施形態では、奇数フレーム期間の第 1 水平期間の R 画素 3 の駆動では、図 17A に示されているように、制御信号 $AMP_{OUT_{SW1}}$ 、 $AMP_{OUT_{SW2}}$ 、 $AMP_{OUT_{SW3}}$ 、 $AMP_{OUT_{SW4}}$ がこの順で活性化される。この結果、ソース出力 $S_1 \sim S_4$ が、ソース出力 S_1 、 S_2 、 S_3 、 S_4 の順で駆動され、ソース出力 $S_5 \sim S_8$ が、ソース出力 S_8 、 S_7 、 S_6 、 S_5 の順で駆動される。一方、偶数フレーム期間の第 1 水平期間の R 画素 3 の駆動では、制御信号 $AMP_{OUT_{SW1}} \sim 4$ が、制御信号 $AMP_{OUT_{SW4}}$ 、 $AMP_{OUT_{SW3}}$ 、 $AMP_{OUT_{SW2}}$ 、 $AMP_{OUT_{SW1}}$ の順で活性化される。この結果、ソース出力 $S_1 \sim S_4$ が、ソース出力 S_4 、 S_3 、 S_2 、 S_1 の順で駆動され、ソース出力 $S_5 \sim S_8$ が、ソース出力 S_5 、 S_6 、 S_7 、 S_8 の順で駆動される。G 画素 3、B 画素 3 の駆動でも同様に、制御信号 $AMP_{OUT_{SW1}} \sim 4$ が活性化される順序が奇数フレーム期間と偶数フレーム期間とで切り換えられる。他の水平期間についても同様に、制御信号 $AMP_{OUT_{SW1}} \sim 4$ が活性化される順序が奇数フレーム期間と偶数フレーム期間とで切り換えられる。このような動作によれば、同じ色の画素に駆動電圧が書き込まれている時間が時間平均で均一化され、フリッカの発生を抑制することができる。

20

30

【0176】

このように、図 17A の動作では、最も早く駆動されるソース出力 S が、最も遅く駆動されるソース出力 S と隣接していないため、最も早く駆動されるソース出力 S の電圧レベルの変動を抑制することができる。

【0177】

図 17A の動作において、制御信号 $MUX_{SW1} \sim MUX_{SW4}$ の波形は、下記の条件を満足する範囲で変更可能である。

40

- (1) 制御信号 MUX_{SW1} 、 MUX_{SW3} が同時に活性化されない。
- (2) 制御信号 MUX_{SW2} 、 MUX_{SW4} が同時に活性化されない。
- (3) 各制御信号 MUX_{SWj} ($j = 1, 2, 3, 4$) は、少なくとも、制御信号 $AMP_{OUT_{SWj}}$ が活性化されている間は活性化されている。

【0178】

図 17B は、このような条件を満足する制御信号 $MUX_{SW1} \sim MUX_{SW4}$ の他の波形を示すタイミングチャートである。図 17B の動作では、第 1 水平期間が開始されたときには制御信号 MUX_{SW1} 、 MUX_{SW2} 、 $AMP_{OUT_{SW1}}$ が活性化され、制御信

50

号M U X S W 3、M U X S W 4、A M P O U T S W 2 ~ 4 が非活性化されている。

【0179】

まず、R画素3が駆動される。具体的には、まず、制御信号R S W、A M P O U T S W 1が活性化されている状態でラッチ信号S T Bが活性化されてデータ線D R₁に画素データX_{R 1}に対応する駆動電圧が出力され、これにより、データ線D R₁に接続されたR画素3が駆動される。

【0180】

続いて、データ線D R₂に接続されたR画素3の駆動のために、制御信号A M P O U T S W 2が活性化される。データ線D R₁、D R₂に接続されたR画素3の駆動が完了すると、制御信号A M P O U T S W 1、A M P O U T S W 2が順次に非活性化される。制御信号M U X S W 1、M U X S W 2は、制御信号A M P O U T S W 1、A M P O U T S W 2の非活性化と共に非活性化される。

10

【0181】

データ線D R₃に接続されたR画素3の駆動のために、制御信号A M P O U T S W 1の非活性化と共に制御信号A M P O U T S W 3が活性化される。制御信号M U X S W 3は、制御信号A M P O U T S W 3の活性化と共に活性化される。データ線D R₃に接続されたR画素3の駆動が終了すると、制御信号A M P O U T S W 3が非活性化される。A M P O U T S W 3が非活性化されても、制御信号M U X S W 3は活性化され続ける。

【0182】

更に、データ線D R₄に接続されたR画素3の駆動のために、制御信号A M P O U T S W 2の非活性化と共に、制御信号A M P O U T S W 4が活性化される。制御信号M U X S W 4は、制御信号A M P O U T S W 4の活性化と共に活性化される。その後、データ線D R₄に接続されたR画素3の駆動が終了しても、制御信号A M P O U T S W 4、M U X S W 4は活性化され続ける。

20

【0183】

続いて、G画素3が駆動される。具体的には、まず、制御信号A M P O U T S W 4が継続して活性化された状態で、制御信号R S E Lが非活性化され、制御信号G S E Lが活性化される。これにより、データ線D G₄に接続されたG画素3が駆動される。続いて、データ線D G₃に接続されたG画素3の駆動のために、制御信号A M P O U T S W 3が活性化される。制御信号M U X S W 3、M U X S W 4は、R画素3の駆動の終了時から継続して活性化され続けているから、制御信号M U X S W 3、M U X S W 4を切り換える必要がないことに留意されたい。データ線D G₄、D G₃に接続されたG画素3の駆動が完了すると、制御信号A M P O U T S W 4、A M P O U T S W 3が非活性化される。制御信号M U X S W 4、M U X S W 3は、制御信号A M P O U T S W 4、A M P O U T S W 3の非活性化と共に非活性化される。

30

【0184】

続いて、データ線D G₂に接続されたG画素3の駆動のために、制御信号A M P O U T S W 2が活性化される。制御信号M U X S W 2は、制御信号A M P O U T S W 2の活性化と共に活性化される。その後、データ線D G₂に接続されたG画素3の駆動が終了し、制御信号A M P O U T S W 2が非活性化されても、制御信号M U X S W 2は活性化され続ける。

40

【0185】

更に、データ線D G₁に接続されたG画素3の駆動のために、制御信号A M P O U T S W 1が活性化される。制御信号M U X S W 1は、制御信号A M P O U T S W 1の活性化と共に活性化される。その後、データ線D G₁に接続されたG画素3の駆動が終了しても、制御信号A M P O U T S W 1、M U X S W 1は活性化され続ける。

【0186】

更に続いて、B画素3が駆動される。具体的には、制御信号A M P O U T S W 1が継続して活性化された状態で、制御信号G S E Lが非活性化され、制御信号B S E Lが活性化される。これにより、データ線D B₁に接続されたB画素3が駆動される。続いて、デー

50

タ線 DB_2 に接続された B 画素 3 の駆動のために、制御信号 $AMPOUTSW_2$ が活性化される。データ線 DB_1 、 DB_2 に接続された B 画素 3 の駆動が完了すると、制御信号 $AMPOUTSW_1$ 、 $AMPOUTSW_2$ が非活性化される。制御信号 $MUXSW_1$ 、 $MUXSW_2$ は、制御信号 $AMPOUTSW_1$ 、 $AMPOUTSW_2$ の非活性化と共に非活性化される。

【0187】

続いて、データ線 DB_3 に接続された B 画素 3 の駆動のために、制御信号 $AMPOUTSW_3$ が活性化される。制御信号 $MUXSW_3$ は、制御信号 $AMPOUTSW_3$ の活性化と共に活性化される。その後、データ線 DB_3 に接続された B 画素 3 の駆動が終了し、制御信号 $AMPOUTSW_3$ が非活性化されても、制御信号 $MUXSW_3$ は活性化され続ける。

10

【0188】

続いて、データ線 DB_4 に接続された B 画素 3 の駆動のために、制御信号 $AMPOUTSW_4$ が活性化される。制御信号 $MUXSW_4$ は、制御信号 $AMPOUTSW_4$ の活性化と共に活性化される。その後、データ線 DB_4 に接続された B 画素 3 の駆動が終了し、制御信号 $AMPOUTSW_4$ が非活性化されても、制御信号 $MUXSW_4$ は活性化され続ける。

【0189】

第 2 水平期間でも、画素 3 の駆動の順序が変更されることを除いては、同様にして画素 3 が駆動される。

20

【0190】

図 17B に示されている動作の利点は、制御信号 $MUXSW_1 \sim MUXSW_4$ のスイッチ回数を減少させることができることにある。図 11A の動作では、一水平期間において、制御信号 $MUXSW_1 \sim MUXSW_4$ を延べ 12 回プルアップし、12 回プルダウンする必要がある。一方、図 11B の動作では、制御信号 $MUXSW_1 \sim MUXSW_4$ を延べ 6 回しかプルアップする必要がなく、6 回しかプルダウンする必要がない。制御信号 $MUXSW_1 \sim MUXSW_4$ のスイッチ回数の減少は、消費電力を低減させるため好ましい。

【0191】

以上に説明されているように、第 1、第 2、及び第 3 の実施形態のいずれにおいても、液晶表示パネル上とデータドライバ IC の両方にデータ線をデマルチプレクサを設けることにより、絞り込み領域 8 の高さを低減させることができる。また、第 1、第 2、及び第 3 の実施形態のいずれも、配線 7 の容量カップリングの影響を抑制することで、配線間隔を狭くして絞り込み領域 8 の高さを短くすることができる。

30

【0192】

様々な実施形態が上述されているが、本発明の権利範囲は、上記の実施形態に限定して解釈してはならない。本発明が、液晶表示装置以外の表示装置に適用可能なことは、当業者には自明的であろう。また、上記の実施形態では、データドライバ IC に設けられたデマルチプレクサによって各出力アンプが 2 つのソース出力 S に対応づけられ、液晶表示パネルに設けられたデマルチプレクサによって各ソース出力 S が 3 本のデータ線 D に対応付けられているが、各出力アンプが対応付けられるソース出力 S の数、及び各ソース出力 S が対応付けられるデータ線 D の本数は、適宜に変更可能であることに留意されたい。

40

【0193】

更に、液晶表示パネルの駆動方法としては様々な駆動方法が採用可能であり、本発明は、例えば、ライン反転駆動、ドット反転駆動のいずれにも適用可能であることに留意されたい。

【0194】

また、ラインやフレーム毎によってソース出力の駆動順番を入れ替える動作は、同じ色の画素への書き込み時間均一化によりフリッカ発生の抑制する為だが、上記までの説明では、1 ライン・1 フレーム毎に書き込み順番の入れ替えを行うと説明してきた。しかし、実際の駆動順番の入れ替え動作は極性反転を考慮しなければいけない。よって、極性反転

50

動作に合わせて最適な駆動順番の入れ替え方法を選択する必要がある。駆動順番の入れ替え動作に関しては、1ライン・1フレーム毎だけでなく、2ライン・1フレーム毎、1ライン・2フレーム毎、2ライン・2フレーム毎といった4つの駆動方法が考えられる。

【図面の簡単な説明】

【0195】

【図1】図1は、従来の液晶表示装置の構成を示す図である。

【図2】図2は、従来の液晶表示装置の他の構成を示す図である。

【図3】図3は、図2の液晶表示装置のデータドライバの出力段の構成を示す図である。

【図4】図4は、本発明の一実施形態の液晶表示装置の構成を示す図である。

【図5】図5は、図4の液晶表示装置の画素の構成を示す図である。

10

【図6】図6は、第1の実施形態における液晶表示装置の構成の詳細を示す図である。

【図7】図7は、図6のデータドライバの詳細な構成を示す図である。

【図8】図8は、第1の実施形態における液晶表示装置の動作を示すタイミングチャートである。

【図9A】図9Aは、第1の実施形態における液晶表示装置の好適な動作を示すタイミングチャートである。

【図9B】図9Bは、第1の実施形態における液晶表示装置の好適な動作を示すタイミングチャートである。

【図9C】図9Cは、第1の実施形態における液晶表示装置の好適な動作を示すタイミングチャートである。

20

【図9D】図9Dは、第1の実施形態における液晶表示装置の好適な動作を示すタイミングチャートである。

【図10】図10は、第2の実施形態における液晶表示装置の構成の詳細を示す図である。

【図11A】図11Aは、第2の実施形態における液晶表示装置の動作を示すタイミングチャートである。

【図11B】図11Bは、第2の実施形態における液晶表示装置の動作を示すタイミングチャートである。

【図12】図12は、第3の実施形態における液晶表示装置の構成の詳細を示す図である。

30

【図13】図13は、第3の実施形態における液晶表示装置の動作を示すタイミングチャートである。

【図14】図14は、第3の実施形態における液晶表示装置の好適な動作を示すタイミングチャートである。

【図15A】図15Aは、第3の実施形態における液晶表示装置の好適な変形例の構成を示す図である。

【図15B】図15Bは、第3の実施形態における液晶表示装置の好適な変形例の構成を示す図である。

【図16】図16は、図15A、図15Bに図示されている液晶表示装置の動作手順を示す図である。

40

【図17A】図17Aは、図15A、図15Bに図示されている液晶表示装置の動作を示すタイミングチャートである。

【図17B】図17Bは、図15A、図15Bに図示されている液晶表示装置の好適な動作を示すタイミングチャートである。

【符号の説明】

【0196】

1：液晶表示パネル

2：有効表示領域

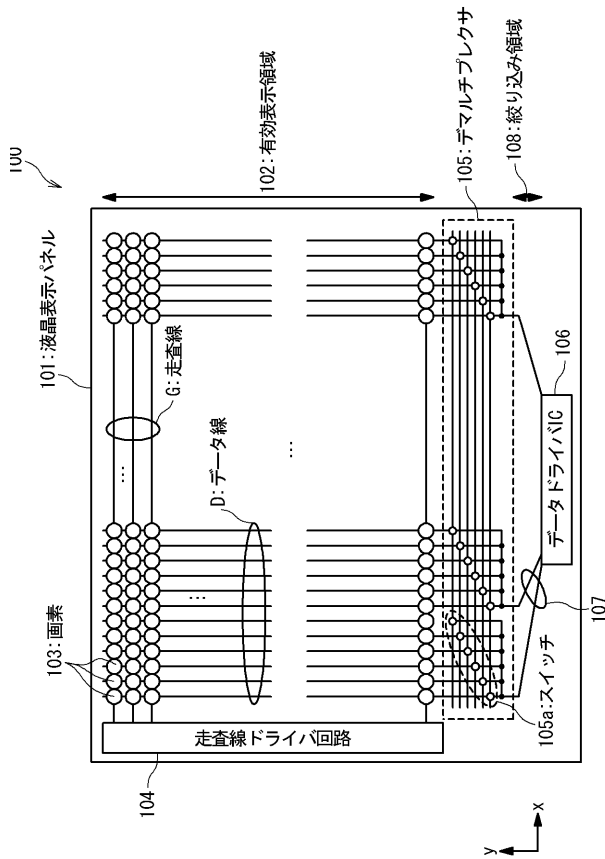
3：画素

3a：TFT

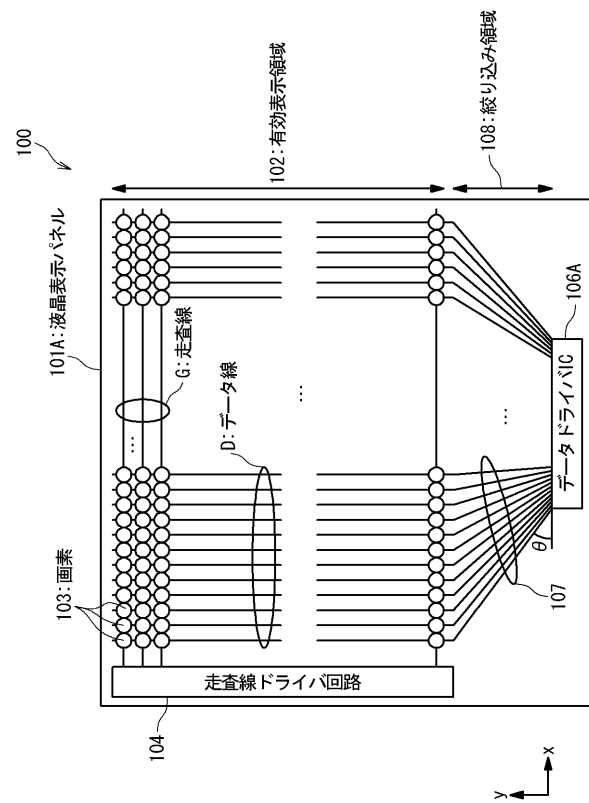
50

3 b : 画素電極	
3 c : 共通電極	
4 : 走査線ドライバ回路	
5 : デマルチプレクサ	
5 _R 、5 _G 、5 _B 、: 時分割スイッチ	
6、6 A ~ 6 C : データドライバ I C	
7 : 配線	
8 : 絞り込み領域	
10、10 A ~ 10 C : 液晶表示装置	
11 : ラッチ	10
12 : レジスタ	
13 : マルチプレクサ	
14 : 階調電圧発生回路	
14 a : 階調電圧線	
15 : D / A コンバータ	
16 : マルチプレクサ	
16 a ~ 16 d : スイッチ	
17 : 出力アンプ	
18 : ダイレクトスイッチ	
18 a ~ 18 d : スイッチ	20
19 : デマルチプレクサ	
19 a ~ 19 h : スイッチ	
20 : タイミング制御回路	
21 : マルチプレクサ	
21 a ~ 21 d : スイッチ	
100、100 A : 液晶表示装置	
101、101 A : 液晶表示パネル	
102 : 有効表示領域	
103 : 画素	
104 : 走査線ドライバ回路	30
105 : デマルチプレクサ	
105 a : スイッチ	
106、106 A : データドライバ I C	
107 : 配線	
108 : 絞り込み領域	
111 : D / A コンバータ	
112 : 出力アンプ	
113 : デマルチプレクサ	

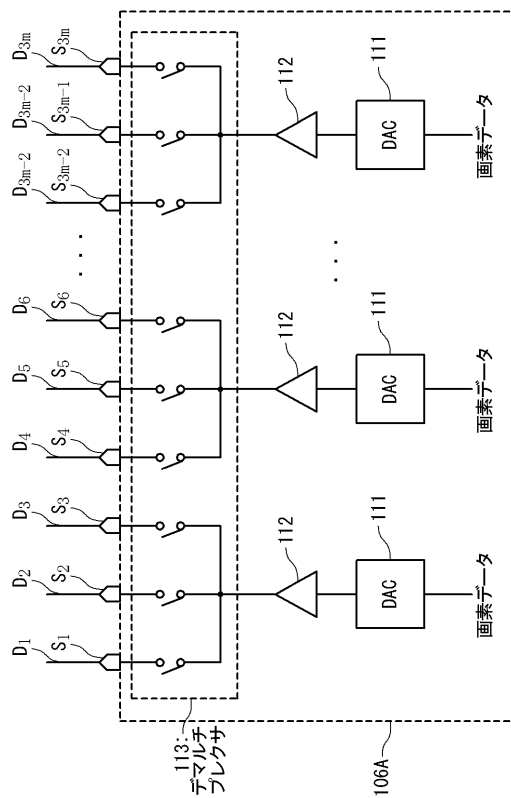
【図 1】



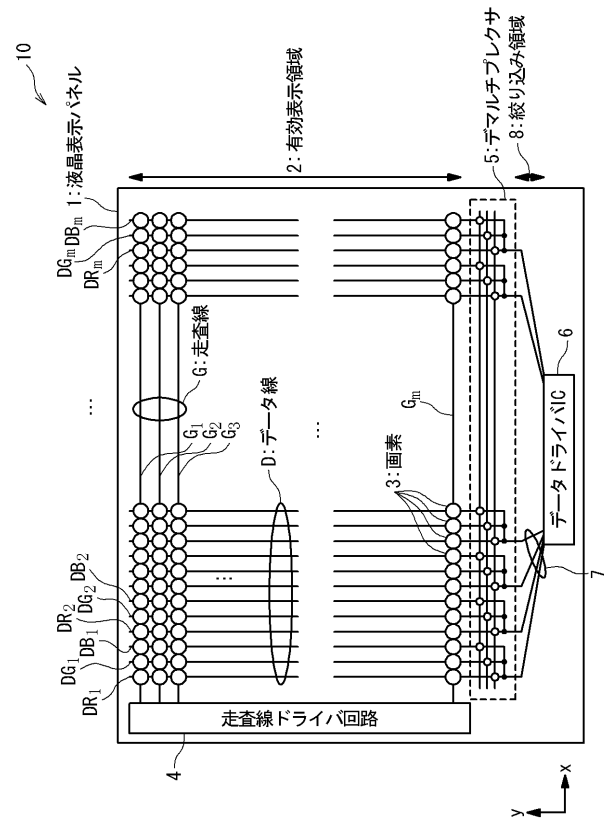
【図 2】



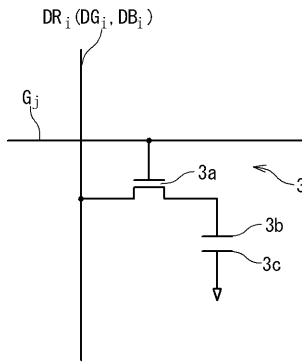
【図 3】



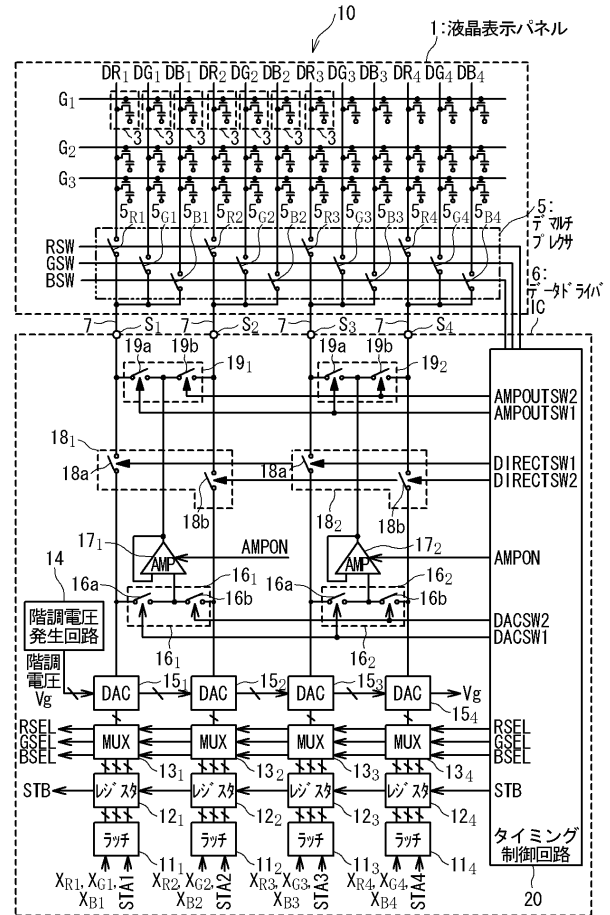
【図 4】



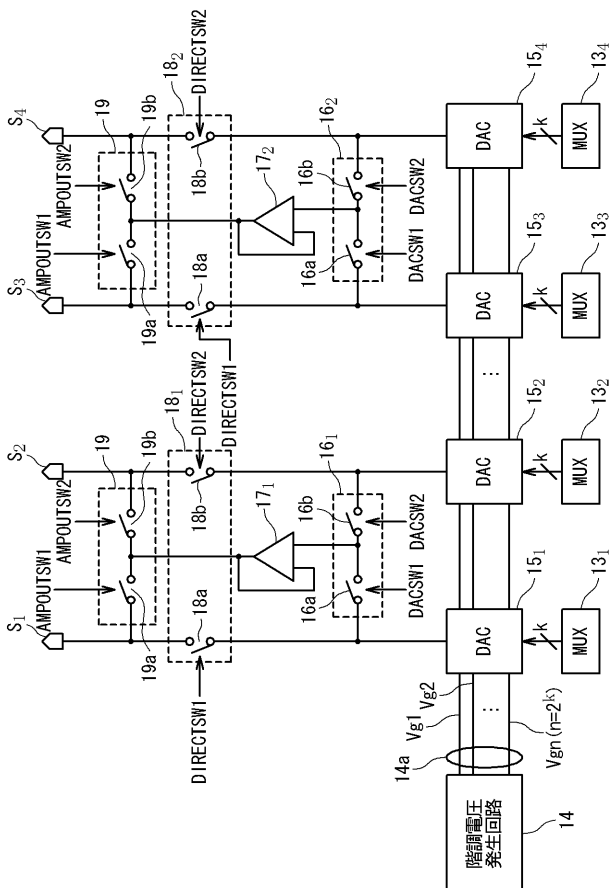
【図 5】



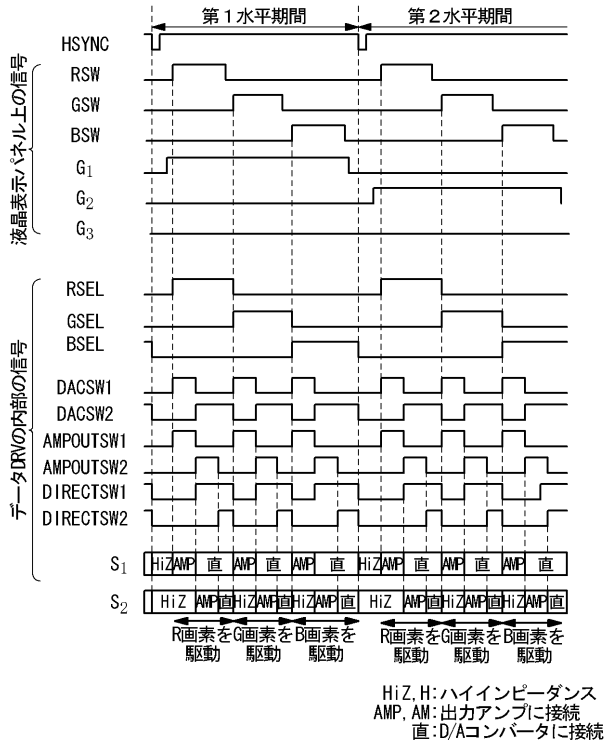
【図 6】



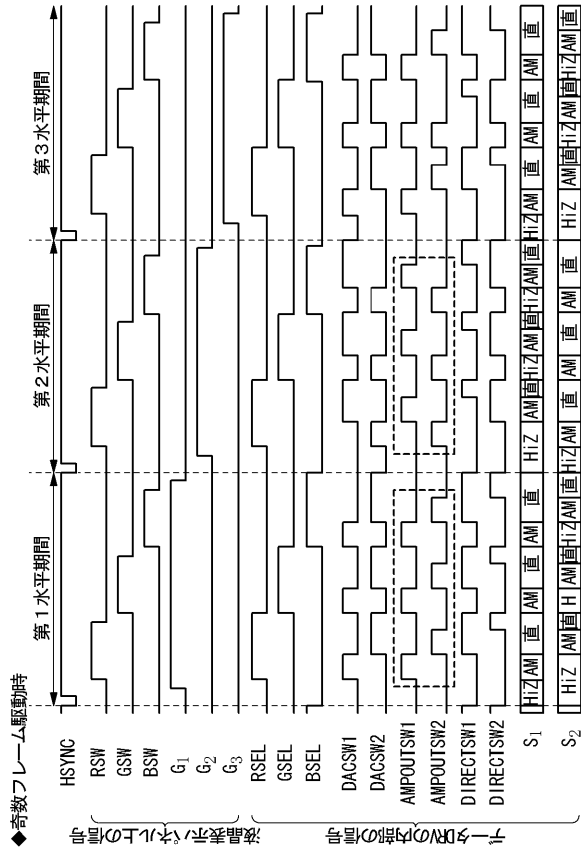
【図 7】



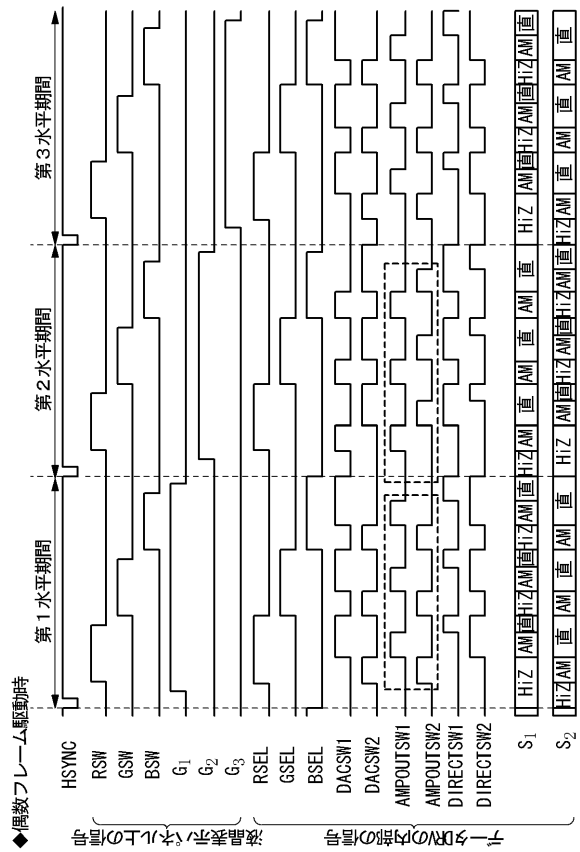
【図 8】



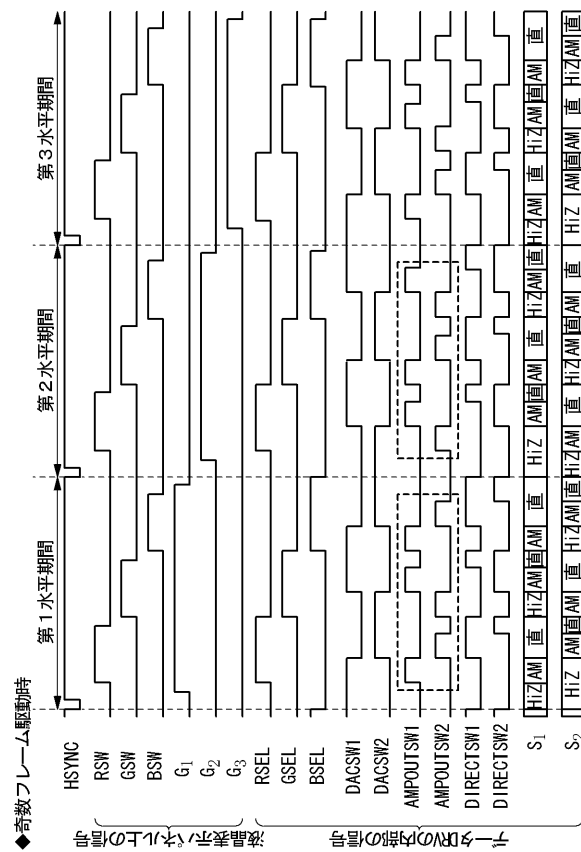
【図 9 A】



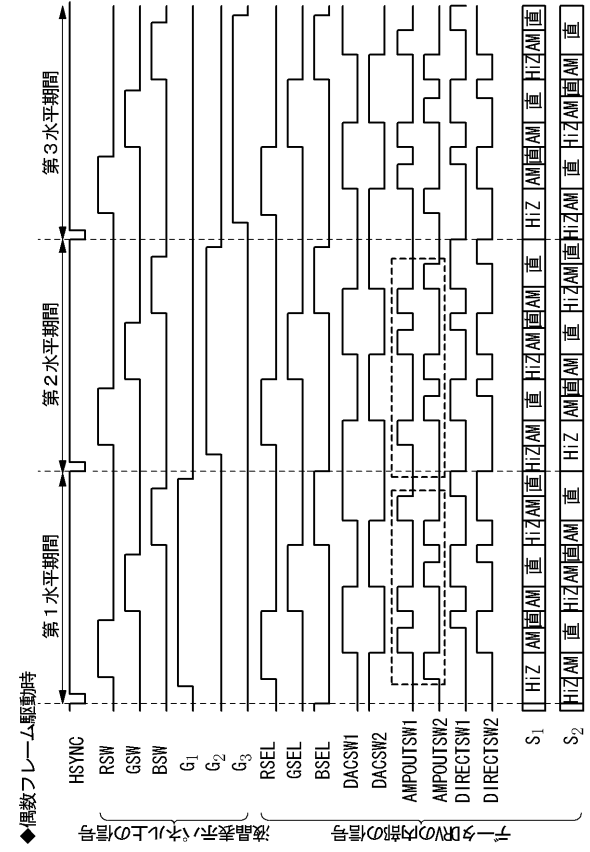
【図 9 B】



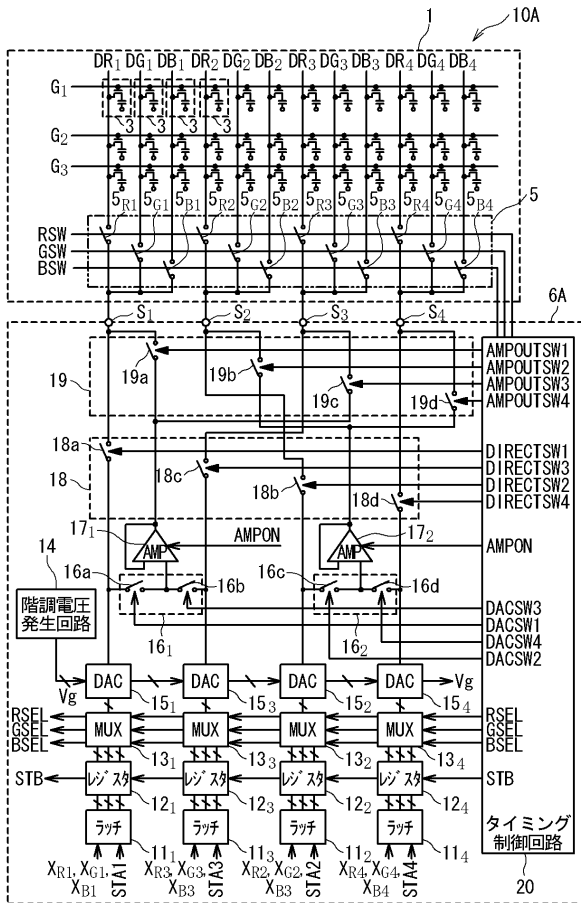
【図 9 C】



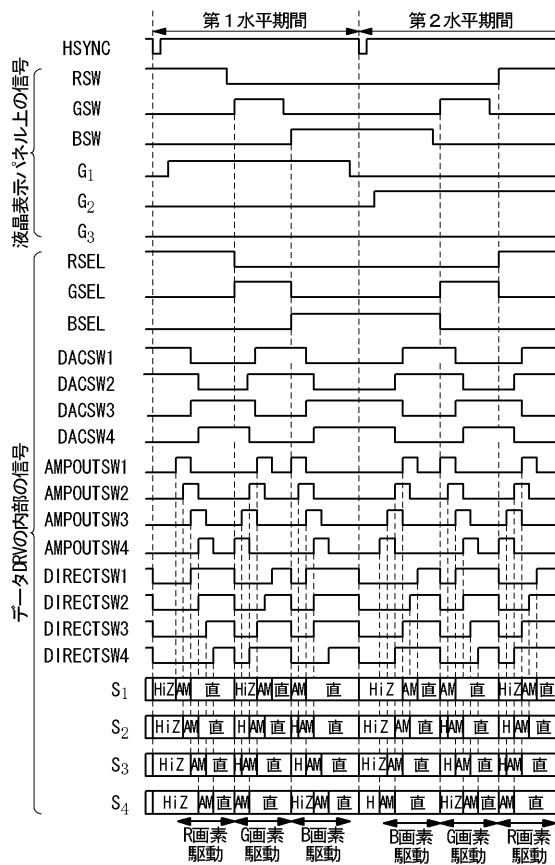
【図 9 D】



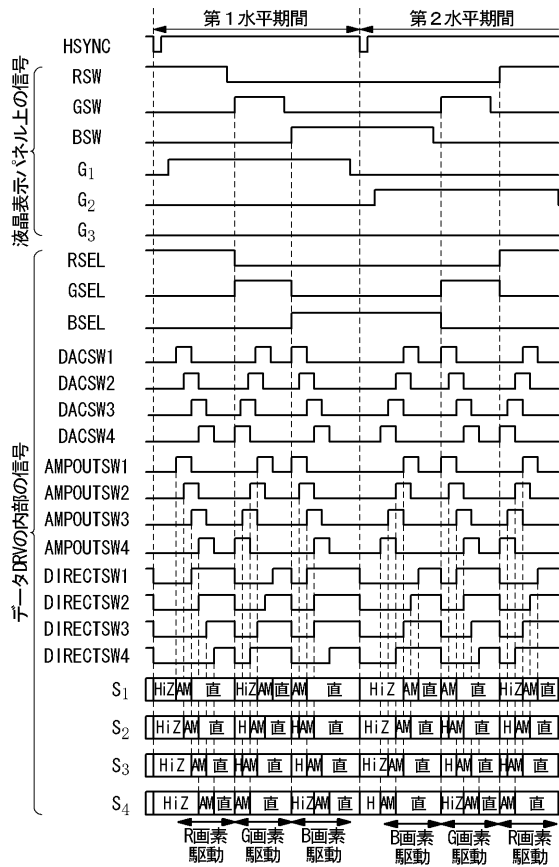
【図 10】



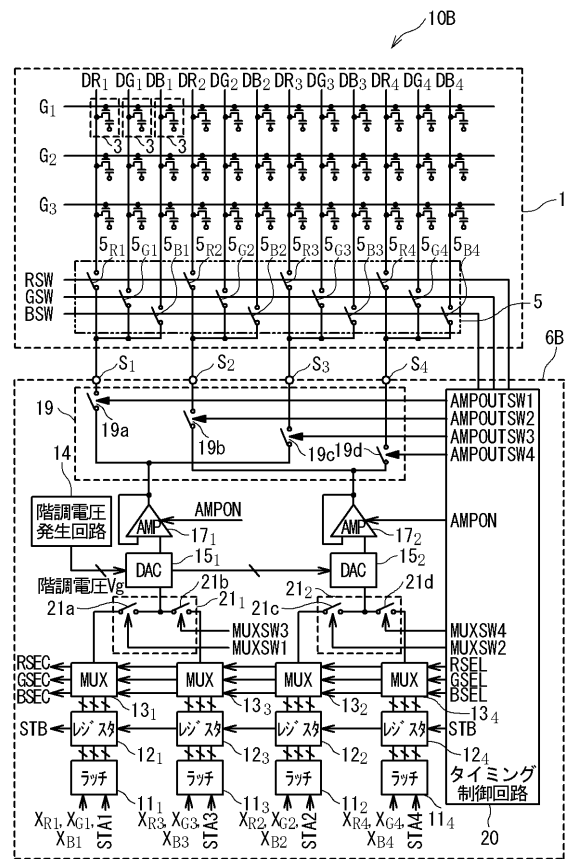
【図 11 B】



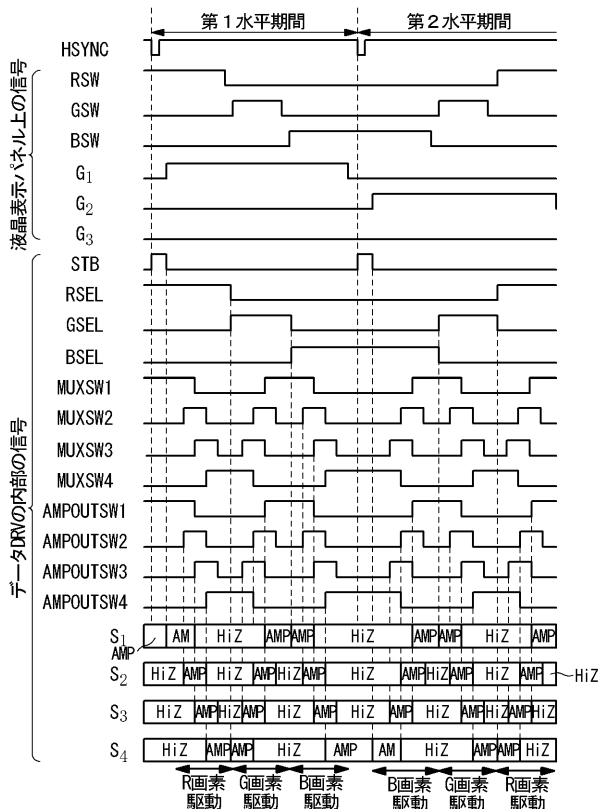
【図 11 A】



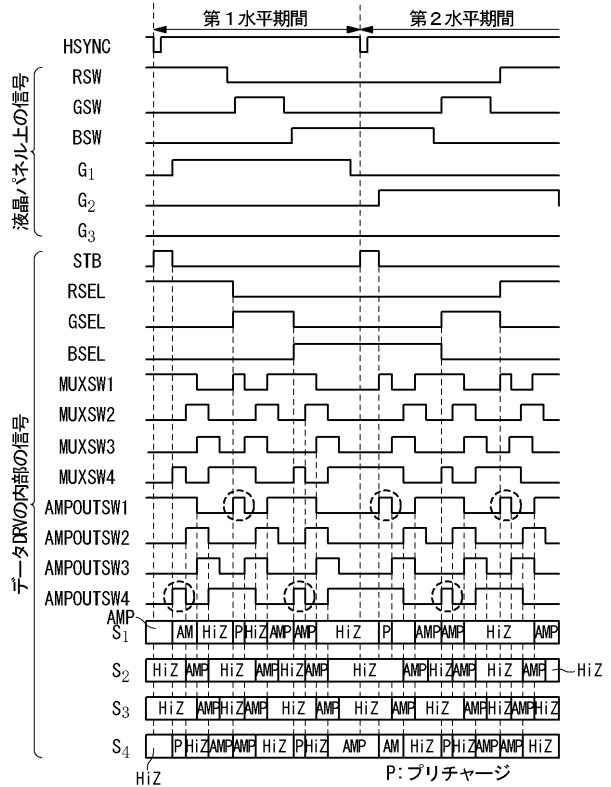
【図 12】



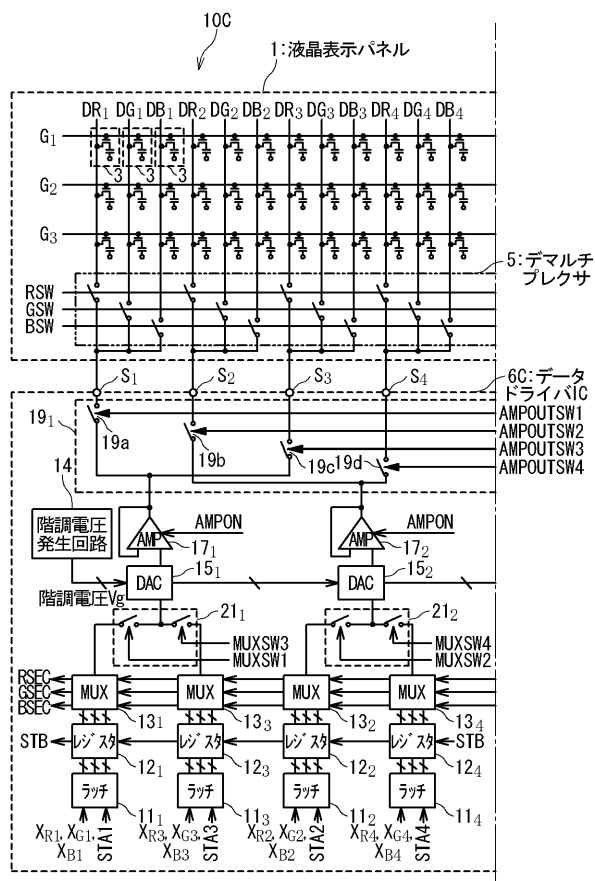
【図 13】



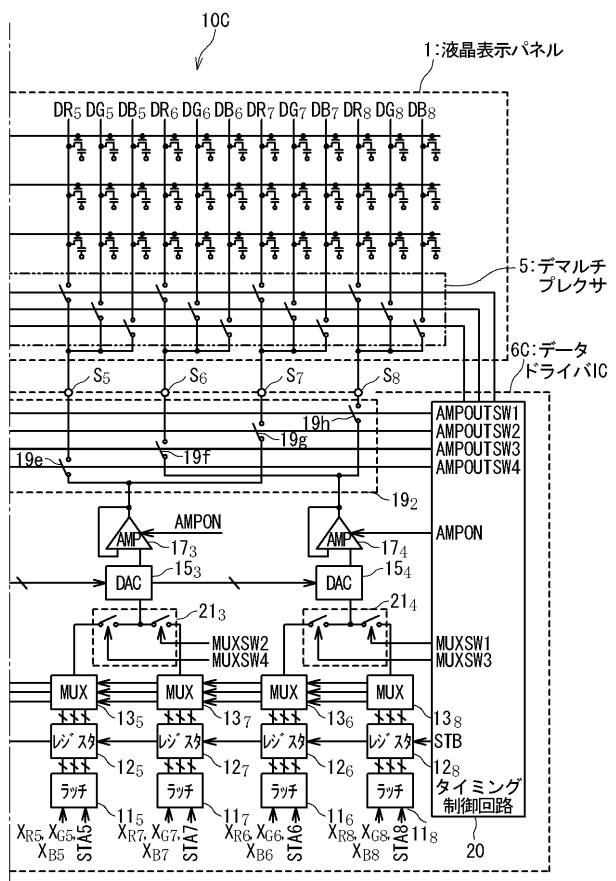
【図 14】



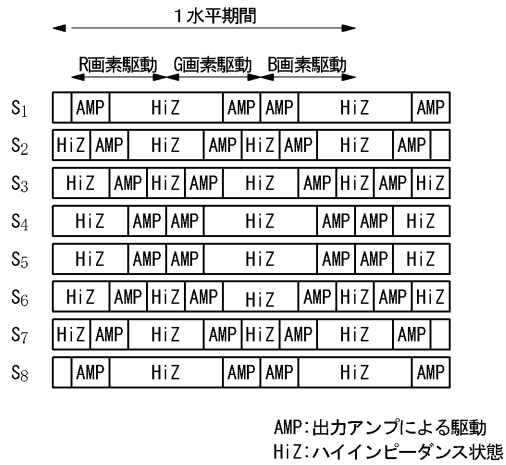
【図 15 A】



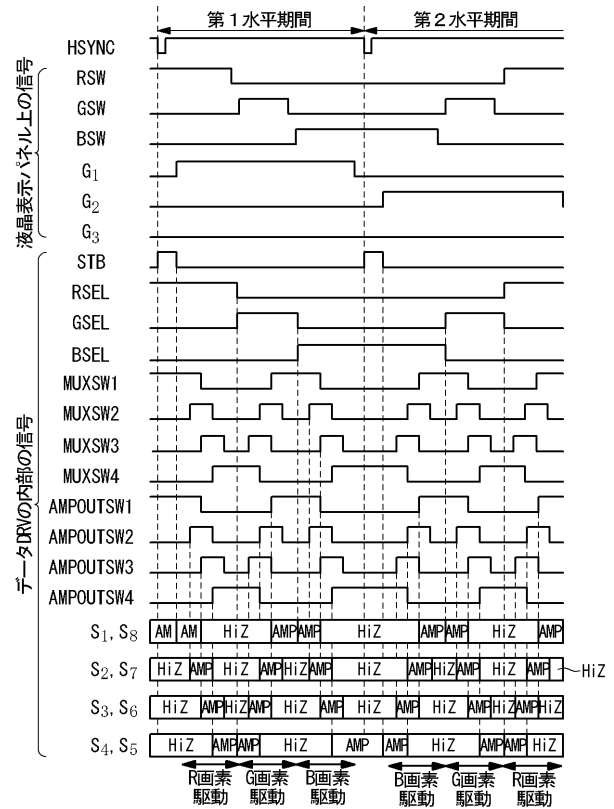
【図 15 B】



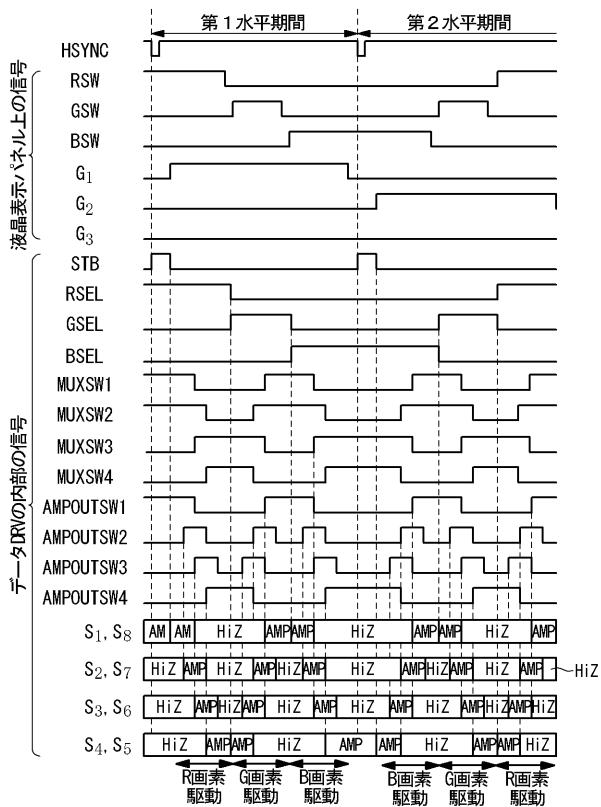
【図 16】



【図 17 A】



【図 17 B】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 2 F 1/133 5 5 0	
	G 0 2 F 1/133 5 7 5	

F ターム(参考)	2H093	NA16	NA53	NA64	NC03	NC10	NC12	NC13	NC21	NC26	NC34
		NC49	ND15	ND17	ND42	ND50	ND54	NH18			
	5C006	AA21	AC21	AF43	AF51	AF82	BC16	BF22	BF24	BF25	
	5C080	AA10	BB05	CC03	DD02	DD22	JJ02	JJ03	JJ04		

专利名称(译)	显示装置，数据驱动器和显示面板驱动方法		
公开(公告)号	JP2008107655A	公开(公告)日	2008-05-08
申请号	JP2006291709	申请日	2006-10-26
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	白井宏明 橋本義春		
发明人	白井 宏明 橋本 義春		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/2011 G09G2310/0297 G09G2320/0233 G09G2320/0247		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.623.F G09G3/20.623.R G09G3/20.611.J G02F1/133.550 G02F1/133.575 G09G3/20.621.M G09G3/20.623.D		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NA64 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC21 2H093/NC26 2H093/NC34 2H093/NC49 2H093/ND15 2H093/ND17 2H093/ND42 2H093/ND50 2H093/ND54 2H093/NH18 5C006/AA21 5C006/AC21 5C006/AF43 5C006/AF51 5C006/AF82 5C006/BC16 5C006/BF22 5C006/BF24 5C006/BF25 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD22 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36		
代理人(译)	工藤稔		
其他公开文献	JP5182781B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，其抑制除显示面板的有效显示区域之外的部分的面积的增加，同时增加由一个输出放大器时分驱动的数据线的数量。
 ŽSOLUTION：显示装置包括液晶显示面板1和数据驱动器6，数据驱动器6通过从多个源输出S输出驱动电压来驱动显示面板。数据驱动器6包括：多个输出放大器17，其接收对应于像素数据的灰度电压，并根据灰度电压输出驱动电压；多路分配器19，其被构造成将输出放大器17电连接到从多个源输出S中选择的所选择的源输出。另一方面，液晶显示板1包括：多条数据线D；以及多路复用器19。多路分解器5，其电连接多条数据线D；多路分解器5将源输出S电连接到从多条数据线D中选择的

