

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-83703

(P2008-83703A)

(43) 公開日 平成20年4月10日(2008.4.10)

(51) Int. Cl.	F I	テーマコード (参考)
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	2H092
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343	2H093
<b>GO2F 1/1345 (2006.01)</b>	GO2F 1/1345	5C006
<b>GO2F 1/133 (2006.01)</b>	GO2F 1/133 550	5C080
<b>GO9G 3/36 (2006.01)</b>	GO9G 3/36	

審査請求 未請求 請求項の数 16 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2007-246731 (P2007-246731)  
 (22) 出願日 平成19年9月25日 (2007. 9. 25)  
 (31) 優先権主張番号 10-2006-0093412  
 (32) 優先日 平成18年9月26日 (2006. 9. 26)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 SAMSUNG ELECTRONICS  
 CO., LTD.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si,  
 Gyeonggi-do 442-742  
 (KR)

(74) 代理人 110000051  
 特許業務法人共生国際特許事務所

(72) 発明者 全珍  
 大韓民国 京畿道 水原市 長安区 泉川  
 洞 三星レミアンアパート 107棟 2  
 04号

最終頁に続く

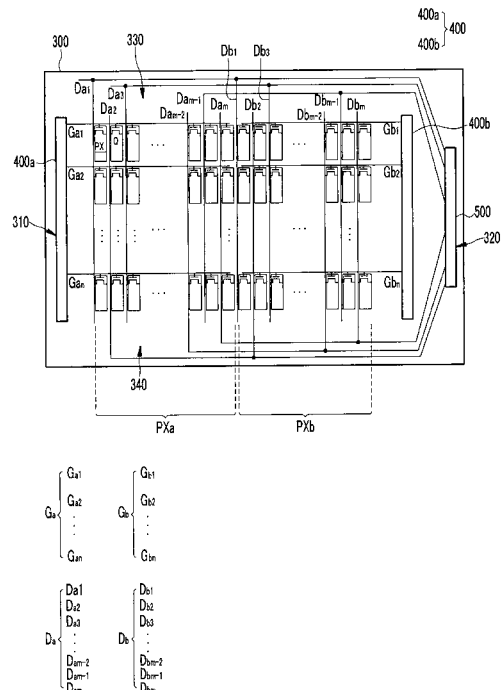
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】データ駆動回路チップの個数を減らしながらも表示板の開口率低下がない液晶表示装置を提供する。

【解決手段】基板と、前記基板上に各々行列形態に配列される複数の画素を含む第1画素群及び第2画素群と、前記第1画素群の画素に接続され、第1方向に延長される複数のゲート線を含む第1ゲート線群と、前記第2画素群の画素に接続され、前記第1方向に延長される複数のゲート線を含む第2ゲート線群とを有し、前記第1と第2画素群は第1方向に隣接する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

基板と、

前記基板上に各々行列形態に配列される複数の画素を含む第 1 画素群及び第 2 画素群と

、  
前記第 1 画素群の画素に接続され、第 1 方向に延長される複数のゲート線を含む第 1 ゲート線群と、

前記第 2 画素群の画素に接続され、前記第 1 方向に延長される複数のゲート線を含む第 2 ゲート線群とを有し、

前記第 1 と第 2 画素群は第 1 方向に隣接することを特徴とする液晶表示装置。

10

## 【請求項 2】

前記第 1 ゲート線群に接続され、前記第 1 ゲート線群にゲート信号を伝達する第 1 ゲート駆動部と、

前記第 2 ゲート線群に接続され、前記第 2 ゲート線群にゲート信号を伝達する第 2 ゲート駆動部とを更に有することを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記第 1 画素群の画素に接続され、第 2 方向に延長される複数のデータ線を含む第 1 データ線群と、

前記第 2 画素群の画素に接続され、前記第 2 方向に延長される複数のデータ線を含む第 2 データ線群とを更に有することを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

20

## 【請求項 4】

前記第 1 データ線群の各データ線と前記第 2 データ線群の各データ線とは一つずつ互いに接続されていることを特徴とする請求項 3 に記載の液晶表示装置。

## 【請求項 5】

前記第 1 データ線群の各データ線と前記第 2 データ線群の各データ線とは順次に接続されていることを特徴とする請求項 4 に記載の液晶表示装置。

## 【請求項 6】

前記第 1 データ線群の各データ線と前記第 2 データ線群の各データ線とは、第 1 データ線群と第 2 データ線群の隣接部から近い順にドット単位でデータ線が接続されていることを特徴とする請求項 4 に記載の液晶表示装置。

30

## 【請求項 7】

前記第 1 データ線群及び前記第 2 データ線群と接続され、前記第 1 及び第 2 データ線群にデータ電圧を伝達するデータ駆動部を更に有することを特徴とする請求項 4 に記載の液晶表示装置。

## 【請求項 8】

前記データ駆動部は、前記第 1 及び第 2 画素群の領域を基準としてその側方に配置されることを特徴とする請求項 7 に記載の液晶表示装置。

## 【請求項 9】

前記データ駆動部は、前記第 1 又は第 2 ゲート駆動部と同様の方向に配置されることを特徴とする請求項 7 に記載の液晶表示装置。

40

## 【請求項 10】

前記ゲート信号は、前記第 1 ゲート線群のゲート線及び第 2 ゲート線群のゲート線に交互に転送され順次に印加されることを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 11】

前記第 1 及び第 2 ゲート駆動部は、前記基板上に集積されることを特徴とする請求項 2 に記載の液晶表示装置。

## 【請求項 12】

前記第 1 及び第 2 ゲート駆動部は、前記第 1 及び第 2 画素群の領域を間に置いて対向して配置されることを特徴とする請求項 3 に記載の液晶表示装置。

## 【請求項 13】

50

前記ゲート信号は、ゲートオン電圧（V<sub>on</sub>）及びゲートオフ電圧（V<sub>off</sub>）からなり、前記ゲートオン電圧（V<sub>on</sub>）の持続時間は1水平周期以上であることを特徴とする請求項1に記載の液晶表示装置。

【請求項14】

前記ゲートオン電圧（V<sub>on</sub>）の持続時間は2水平周期であることを特徴とする請求項13に記載の液晶表示装置。

【請求項15】

前記第1及び第2ゲート線群各々のゲート線のうちの同じ行に配列されている二つのゲート線に印加されるゲート信号のゲートオン電圧（V<sub>on</sub>）は所定時間互いに重畳することを特徴とする請求項13に記載の液晶表示装置。

10

【請求項16】

前記所定時間は、1水平周期であることを特徴とする請求項15に記載の液晶表示装置

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に、データ駆動回路チップの個数を減らしながらも表示板の開口率低下がない液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、現在最も広く使用されている平板表示装置のうちの一つであって、画素電極と共通電極など電場生成電極が形成されている二枚の表示板とその間に挿入されている液晶層とを含み、電場生成電極に電圧を印加して液晶層に電場を生成し、これを通じて液晶層の液晶分子の配向を決定して入射光の偏光を制御することによって画像を表示する。

20

【0003】

液晶表示装置はまた、各画素電極に接続されているスイッチング素子及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線など複数の信号線を含む。ゲート線はゲート駆動回路が生成したゲート信号を伝達して、データ線はデータ駆動回路が生成したデータ電圧を伝達して、スイッチング素子はゲート信号によってデータ電圧を画素電極に伝達する。

30

【0004】

このようなゲート駆動回路及びデータ駆動回路は、複数の集積回路チップの形態で表示板に直接装着されたり可撓性印刷回路フィルムなどに装着されて表示板に付着されるが、このような集積回路チップは液晶表示装置の製造コストに高い比率を占める。特に、データ駆動集積回路チップの場合、ゲート駆動回路チップに比べてそのコストが非常に高いために高解像度、大面積液晶表示装置の場合その個数を減らす必要がある。ゲート駆動回路の場合、ゲート線、データ線及びスイッチング素子と一緒に表示板に集積することによってそのコストを減らすことができるが、データ駆動回路はその構造が多少複雑で表示板に集積しにくく、より一層その個数を減らす必要があるという問題がある。

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこで、本発明は上記従来液晶表示装置における問題点に鑑みてなされたものであって、本発明の目的は、データ駆動回路チップの個数を減らしながらも表示板の開口率低下がない液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明による液晶表示装置は、基板と、前記基板上に各々行列形態に配列される複数の画素を含む第1画素群及び第2画素群と、前記第1画

50

素群の画素に接続され、第1方向に延長される複数のゲート線を含む第1ゲート線群と、前記第2画素群の画素に接続され、前記第1方向に延長される複数のゲート線を含む第2ゲート線群とを有し、前記第1と第2画素群は第1方向に隣接することを特徴とする。

【0007】

前記第1ゲート線群に接続され、前記第1ゲート線群にゲート信号を伝達する第1ゲート駆動部と、前記第2ゲート線群に接続され、前記第2ゲート線群にゲート信号を伝達する第2ゲート駆動部とを更に有することが好ましい。

前記第1画素群の画素に接続され、第2方向に延長される複数のデータ線を含む第1データ線群と、前記第2画素群の画素に接続され、前記第2方向に延長される複数のデータ線を含む第2データ線群とを更に有することが好ましい。

前記第1データ線群の各データ線と前記第2データ線群の各データ線とは一つずつ互いに接続されていることが好ましい。

前記第1データ線群の各データ線と前記第2データ線群の各データ線とは順次に接続されていることが好ましい。

前記第1データ線群の各データ線と前記第2データ線群の各データ線とは近いデータ線間で接続されていることが好ましい。

前記第1データ線群及び前記第2データ線群と接続され、前記第1及び第2データ線群にデータ電圧を伝達するデータ駆動部を更に有することが好ましい。

前記データ駆動部は、前記第1及び第2画素群の領域を基準としてその側方に配置されることが好ましい。

前記データ駆動部は、前記第1又は第2ゲート駆動部と同様の方向に配置されることが好ましい。

【0008】

前記ゲート信号は、前記第1ゲート線群のゲート線及び第2ゲート線群のゲート線に交互に転送され順次に印加されることが好ましい。

前記第1及び第2ゲート駆動部は、前記基板上に集積されることが好ましい。

前記第1及び第2ゲート駆動部は、前記第1及び第2画素群の領域を間に置いて対向して配置されることが好ましい。

前記ゲート信号は、ゲートオン電圧(V<sub>on</sub>)及びゲートオフ電圧(V<sub>off</sub>)からなり、前記ゲートオン電圧(V<sub>on</sub>)の持続時間は1水平周期以上であることが好ましい。

前記ゲートオン電圧(V<sub>on</sub>)の持続時間は2水平周期であることが好ましい。

前記第1及び第2ゲート線群各々のゲート線のうちの同じ行に配列されている二つのゲート線に印加されるゲート信号のゲートオン電圧(V<sub>on</sub>)は所定時間互いに重畳することが好ましい。

前記所定時間は、1水平周期であることが好ましい。

【発明の効果】

【0009】

本発明に係る液晶表示装置によれば、液晶表示装置の開口率が減ることを防止しながらデータ駆動回路チップの個数を減らすことができるという効果がある。

【発明を実施するための最良の形態】

【0010】

次に、本発明に係る液晶表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

しかしながら、本発明は多様に異なる形態で実現できるので、ここで説明する実施形態に限定されるものではない。

【0011】

図面で各種の層または領域を明確に表現するために厚さを拡大して示した。明細書全体を通じて類似の部分については同一の図面符号で示すものとする。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直ぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。反対にある部分が他の部分の“直ぐ上”

10

20

30

40

50

にあるとする時には中間に他の部分がないことを意味する。

【0012】

以下、図1、図2、図3及び図4を参照して本発明の一実施形態による液晶表示装置について説明する。

図1は、本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図であり、図3は本発明の一実施形態による液晶表示装置の画素、信号線及び駆動部の空間的配列の一例を示す図面であり、図4は本発明の他の実施形態による液晶表示装置の画素、信号線及び駆動部の空間的配列の一例を示す図面である。

【0013】

図1及び図2を参照すれば、本発明の一実施形態による液晶表示装置は液晶表示板組立体300とこれに接続されたゲート駆動部400及びデータ駆動部500、データ駆動部500に接続された階調電圧生成部800、そしてこれらを制御する信号制御部600を含む。

【0014】

液晶表示板組立体300は、等価回路から見る時、信号線( $G_{i-1}$ 、 $G_i$ 、 $D_j$ )とこれに接続され、ほぼ行列形態に配列された複数の画素(pixel)(PX)を含む。一方、図2に示す構造で見る時、液晶表示板組立体300は互いに対向する下部及び上部表示板100、200とその間に入っている液晶層3を含む。

【0015】

まず、図1及び図2を参照すれば、信号線( $G_{i-1}$ 、 $G_i$ 、 $D_j$ )ゲート信号(“走査信号”とも言う)を伝達する複数のゲート線( $G_{i-1}$ 、 $G_i$ )とデータ信号を伝達する複数のデータ線( $D_j$ )を含む。ゲート線( $G_{i-1}$ 、 $G_i$ )はほぼ行方向にのびて互いに略平行をなして、データ線( $D_j$ )はほぼ列方向にのびて互いに略平行をなす。

各画素(PX)は信号線( $G_i$ 、 $D_j$ )に接続されたスイッチング素子(Q)とこれに接続された液晶キャパシタ(Clc)及びストレージキャパシタ(Cst)を含む。ストレージキャパシタ(Cst)は必要に応じて省略してもよい。

【0016】

スイッチング素子(Q)は、下部表示板100に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線( $G_i$ )と接続されており、入力端子はデータ線( $D_j$ )と接続されており、出力端子は液晶キャパシタ(Clc)及びストレージキャパシタ(Cst)と接続されている。

【0017】

液晶キャパシタ(Clc)は下部表示板100の画素電極191と上部表示板200の共通電極270を二つの端子として、画素電極191と共通電極270の二つの電極の間の液晶層3は誘電体として機能する。画素電極191はスイッチング素子(Q)と接続されて共通電極270は上部表示板200の全面に形成されており、共通電圧(Vcom)が印加される。図2とは違って、共通電極270が下部表示板100に備えられる場合もあり、この時には二つの電極(191、270)のうちの少なくとも一つが線状又は棒状で作られてもよい。

【0018】

図2によれば、液晶キャパシタ(Clc)の補助的な役割を果たすストレージキャパシタ(Cst)は下部表示板100に具備された別個の信号線(図示せず)と画素電極191が絶縁体を間に置いて重なるように構成され、この別個の信号線には共通電圧(Vcom)などの決められた電圧が印加される。しかしながら、ストレージキャパシタ(Cst)は画素電極191が絶縁体を媒介として真上の前段ゲート線( $G_{i-1}$ )と重なって行われてもよい。ここで、前段とは直前に駆動された画素行をいい、後段とは次に駆動される画素行を言う。

【0019】

図3に示すように、画素(PX)は行方向に隣接する第1画素群(PXa)及び第2画

10

20

30

40

50

素群 (PXb) に分けられる。複数のゲート線 ( $G_{a1}$ 、 $G_{a2}$ … $G_{an}$ 、 $G_{b1}$ 、 $G_{b2}$ … $G_{bn}$ ) は第1画素群 (PXa) に接続されている第1ゲート線群 ( $G_a$ ) 及び第2画素群 (PXb) に接続されている第2ゲート線群 ( $G_b$ ) に分れる。つまり、一つの画素行に配列されているゲート線 ( $G_{a1}/G_{b1}$ 、 $G_{a2}/G_{b2}$ … $G_{an}/G_{bn}$ ) は互いに分離されて各々第1及び第2ゲート線群 ( $G_a$ 、 $G_b$ ) に含まれる。

#### 【0020】

複数のデータ線は、また第1画素群 (PXa) に接続されている第1データ線群 ( $D_a$ ) 及び第2画素群 (PXb) に接続されている第2データ線群 ( $D_b$ ) に分れる。第1データ線群 ( $D_a$ ) のデータ線 ( $D_{a1}$ 、 $D_{a2}$ 、 $D_{a3}$ … $D_{am-2}$ 、 $D_{am-1}$ 、 $D_{am}$ ) と第2データ線群 ( $D_b$ ) のデータ線 ( $D_{b1}$ 、 $D_{b2}$ 、 $D_{b3}$ … $D_{bm-2}$ 、 $D_{bm-1}$ 、 $D_{bm}$ ) は各々順次に互いに連結されている。

この時、各データ線 ( $D_{a1}$ 、 $D_{a2}$ 、 $D_{a3}$ … $D_{am-2}$ 、 $D_{am-1}$ 、 $D_{am}$ 、 $D_{b1}$ 、 $D_{b2}$ 、 $D_{b3}$ … $D_{bm-2}$ 、 $D_{bm-1}$ 、 $D_{bm}$ ) を接続する延長線は画素 (PX) を基準として液晶表示板組立体300の上部領域330又は下部領域340で交互に接続されるように形成されている。

#### 【0021】

つまり、第1データ線群 ( $D_a$ ) 及び第2データ線群 ( $D_b$ ) の奇数番目データ線 ( $D_{a1}$ 、 $D_{a3}$ 、 $D_{am-1}$ 、 $D_{b1}$ 、 $D_{b3}$ 、 $D_{bm-1}$ ) は画素 (PX) の領域を基準として上部領域330で接続されており、第1データ線群 ( $D_a$ ) 及び第2データ線群 ( $D_b$ ) の偶数番目データ線 ( $D_{a2}$ 、…、 $D_{am-2}$ 、 $D_{am}$ 、 $D_{b2}$ 、…、 $D_{bm-2}$ 、 $D_{bm}$ ) は画素 (PX) の領域を基準として下部領域340で接続されている。

#### 【0022】

これとは異なり、図4のように、第1データ線群 ( $D_a$ ) のデータ線 ( $D_{a1}$ 、 $D_{a2}$ 、 $D_{a3}$ … $D_{am-2}$ 、 $D_{am-1}$ 、 $D_{am}$ ) と第2データ線群 ( $D_b$ ) のデータ線 ( $D_{b1}$ 、 $D_{b2}$ 、 $D_{b3}$ … $D_{bm-2}$ 、 $D_{bm-1}$ 、 $D_{bm}$ ) 各々は第1データ線群 ( $D_a$ ) と第2データ線群 ( $D_b$ ) が隣接する部分より近い順に互いに接続されていてもよい。

#### 【0023】

この時、基本色を各々表示する所定個数、例えば赤色、緑色及び青色を各々表示する三個の画素を一つのドットと定義する時、ドット単位で接続が行われ、第1データ線群 ( $D_a$ ) の第1ドット ( $D_{a1}$ ) は第2データ線群 ( $D_b$ ) の  $m-2$  番目ドット ( $D_{bm-2}$ ) に接続され、第1データ線群 ( $D_a$ ) の第2ドット ( $D_{a2}$ ) は第2データ線群 ( $D_b$ ) の  $m-1$  番目ドット ( $D_{bm-1}$ ) に接続され、第1データ線群 ( $D_a$ ) の第3ドット ( $D_{a3}$ ) は第2データ線群 ( $D_b$ ) の  $m$  番目ドット ( $D_{bm}$ ) に接続される。

#### 【0024】

最終的に、第1データ線群 ( $D_a$ ) の  $m-2$  番目ドット ( $D_{am-2}$ ) は第2データ線群 ( $D_b$ ) の第1ドット ( $D_{b1}$ ) と接続され、第1データ線群 ( $D_a$ ) の  $m-1$  番目ドット ( $D_{am-1}$ ) は第2データ線群 ( $D_b$ ) の第2ドット ( $D_{b2}$ ) と接続され、第1データ線群 ( $D_a$ ) の  $m$  番目ドット ( $D_{am}$ ) は第2データ線群 ( $D_b$ ) の第3ドット ( $D_{b3}$ ) と接続される。互いに接続された二つのドットで、互いに接続されるデータ線は同一の色相を表示する画素と接続されている。

#### 【0025】

一方、色表示を実現するためには各画素 (PX) が基本色のうちの一つを固有に表示したり (空間分割) 各画素 (PX) が時間によって交互に表示されるように基本色を表示するように (時間分割) してこれら基本色の空間的、時間的合計に所望の色相が認識されるようにする。基本色の例としては赤色、緑色、青色など三原色を挙げてよい。図2は、空間分割の一例として各画素 (PX) が画素電極191に対応する上部表示板200の領域に基本色のうちの一つを示す色フィルタ230を備えたものを示している。図2とは異なり、色フィルタ230は、下部表示板100の画素電極191の上又は下に形成することもできる。

液晶表示板組立体300の外側面には光を偏光させる少なくとも一つの偏光子 (図示せ

10

20

30

40

50

ず)が付着されている。

【0026】

再び、図1及び図3を参照すると、階調電圧生成部800は、画素(PX)の透過率と関する全体階調電圧、又は限定された個数の階調電圧(以下、“基準階調電圧”という)を生成する。(基準)階調電圧は共通電圧(Vcom)に対して正の値を有するものと負の値を有するものを含んでもよい。

【0027】

ゲート駆動部400は、液晶表示板組立体300のゲート線( $G_i$ )と接続されてゲートオン電圧(Von)とゲートオフ電圧(Voff)の組み合わせからなるゲート信号をゲート線( $G_i$ )に印加する。

ゲート駆動部400は、各々液晶表示板300の右側と左側に配置される第1及び第2ゲート駆動部400a、400bを含む。第1ゲート駆動部400aは第1ゲート線群( $G_a$ )に接続されており、第2ゲート駆動部400bは第2ゲート線群( $G_b$ )に接続されている。第1及び第2ゲート駆動部400a、400bは第1画素群(PXa)及び第2画素群(PXb)の領域を中心に対向して左領域310及び右領域320に位置する。

【0028】

ゲート駆動部(400a、400b)は実質的にシフトレジスタとして一列に配列された複数のステージを含み、信号線( $G_{a1} \sim G_{an}$ 、 $G_{b1} \sim G_{bn}$ 、 $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ )及び薄膜トランジスタスイッチング素子(Q)などと一緒に同一の工程で形成されて集積されている。ゲート駆動部(400a、400b)はまた、集積回路チップの形態に液晶表示板組立体300上に直接装着されてもよく、可撓性印刷回路フィルム(図示せず)上に装着されてTCP(Tape Carrier Package)の形態に液晶表示板組立体300に付着されたり、別途の印刷回路基板(図示せず)上に装着されてもよい。

【0029】

データ駆動部500は、液晶表示板組立体300のデータ線( $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ )に接続されており、第1画素群(PXa)及び第2画素群(PXb)の領域を基準として右側領域320に第2ゲート駆動部400bと隣接して配置される。

しかしながら、データ駆動部500は第1ゲート駆動部400aと隣接するように配置されてもよい。データ駆動部500は、階調電圧生成部800からの階調電圧を選択してこれをデータ電圧としてデータ線( $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ )に印加する。しかしながら、階調電圧生成部800が階調電圧を全て提供することなく、限定された個数の基準階調電圧だけを提供する場合に、データ駆動部500は基準階調電圧を分圧して所望のデータ電圧を生成する。

信号制御部600は、ゲート駆動部400及びデータ駆動部500などを制御する。

【0030】

このような駆動装置(データ駆動部500、信号制御部600、階調電圧生成部800)は、各々は寸法が大きくても一つの集積回路チップの形態で液晶表示板組立体300上に直接装着されたり、可撓性印刷回路フィルム(図示せず)上に装着されてTCPの形態で液晶表示板組立体300に付着されたり、別途の印刷回路基板(図示せず)上に装着されてもよい。これとは異なって、これら駆動装置(500、600、800)が信号線( $G_{a1} \sim G_{an}$ 、 $G_{b1} \sim G_{bn}$ 、 $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ )及び薄膜トランジスタスイッチング素子(Q)などと一緒に液晶表示板組立体300に集積されてもよい。また、駆動装置(500、600、800)をまとめて単一チップに集積でき、この場合、これらのうちの少なくとも一つ又はこれらを構成する少なくとも一つの回路素子が単一チップ外側にあってもよい。

【0031】

このように、複数のデータ線( $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ )を2個ずつ接続すれば、液晶表示装置に設置されるデータ駆動回路チップと同じデータ駆動部の個数を減らすことができる。また、全ての画素に同様にデータ線( $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ )

10

20

30

40

50

を配置することによってデータ線 ( $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ ) と画素電極 191 間に生ずる寄生容量による画素電極電圧の変動量が画素毎に変化することを防止することができる。従って、各画素の輝度を一定に維持することができる。また、各画素 ( $PX$ ) 間の開口率の差が発生することを防止することができる。

【0032】

データ線 ( $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ ) を 2 個ずつ接続すれば、データ駆動部 500 と接続される線の本数が半分に減るので空間的に有利である。従って、空間的な制約を受けずデータ駆動部 500 を液晶表示板組立体 300 の第 1 画素群 ( $PXa$ ) 及び第 2 画素群 ( $PXb$ ) の側方に配置することができる。

【0033】

上述したようにゲート線 ( $G_{a1} \sim G_{an}$ 、 $G_{b1} \sim G_{bn}$ ) は各画素行で二つの部分に分離されて各々別のゲート駆動部 (400a、400b) と接続されている。これにより、二つのデータ線が互いに接続されている構造で各画素行が一つのゲート線を含んでいるので、表示板組立体 300 の開口率を減少させない。

【0034】

以下、このような液晶表示装置の動作について詳細に説明する。

信号制御部 600 は、外部のグラフィック制御器 (図示せず) から入力画像信号 ( $R$ 、 $G$ 、 $B$ ) 及びこの表示を制御する入力制御信号を受信する。入力画像信号 ( $R$ 、 $G$ 、 $B$ ) は各画素 ( $PX$ ) の輝度情報を含んでおり、輝度は決められた個数、例えば、1024 ( $= 2^{10}$ )、256 ( $= 2^8$ ) 又は 64 ( $= 2^6$ ) 個の階調を有している。入力制御信号の例としては垂直同期信号 ( $Vsync$ ) と水平同期信号 ( $Hsync$ )、メインクロック ( $MCLK$ )、データイネーブル信号 ( $DE$ ) などがある。

【0035】

信号制御部 600 は入力画像信号 ( $R$ 、 $G$ 、 $B$ ) と入力制御信号に基づいて入力画像信号 ( $R$ 、 $G$ 、 $B$ ) を液晶表示板組立体 300 の動作条件に合うように適切に処理してゲート制御信号 ( $CONT1$ ) 及びデータ制御信号 ( $CONT2$ ) を生成した後、ゲート制御信号 ( $CONT1$ ) をゲート駆動部 400 に伝送してデータ制御信号 ( $CONT2$ ) と処理したデジタル画像信号 ( $DAT$ ) をデータ駆動部 500 に伝送する。

【0036】

ゲート制御信号 ( $CONT1$ ) は走査開始を指示する走査開始信号 ( $STV$ ) とゲートオン電圧 ( $Von$ ) の出力周期を制御する少なくとも一つのクロック信号を含む。ゲート制御信号 ( $CONT1$ ) はまた、ゲートオン電圧 ( $Von$ ) の持続時間を限定する出力イネーブル信号 ( $OE$ ) を更に含んでもよい。

【0037】

データ制御信号 ( $CONT2$ ) は一つの行の画素 ( $PX$ ) に対する画像データの伝送開始を知らせる水平同期開始信号 ( $STH$ ) とデータ線 ( $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ ) へのデータ信号印加を促すロード信号 ( $LOAD$ ) 及びデータクロック信号 ( $HCLK$ ) を含む。データ制御信号 ( $CONT2$ ) はまた、共通電圧 ( $Vcom$ ) に対するデータ信号の電圧極性 (以下、“共通電圧に対するデータ信号の電圧極性”を縮めて“データ信号の極性”という) を反転させる反転信号 ( $RVS$ ) を更に含んでもよい。

【0038】

信号制御部 600 からのデータ制御信号 ( $CONT2$ ) によって、データ駆動部 500 は一つの行の画素 ( $PX$ ) に対するデジタル画像信号 ( $DAT$ ) を受信して、各デジタル画像信号 ( $DAT$ ) に対応する階調電圧を選択することによってデジタル画像信号 ( $DAT$ ) をアナログデータ信号に変換した後、これを当該データ線 ( $D_{a1} \sim D_{am}$  及び  $D_{b1} \sim D_{bm}$ ) に印加する。

【0039】

ゲート駆動部 400 は、信号制御部 600 からのゲート制御信号 ( $CONT1$ ) によってゲートオン電圧 ( $Von$ ) をゲート線 ( $G_{a1} \sim G_{an}$ 、 $G_{b1} \sim G_{bn}$ ) に印加してこれらゲート線 ( $G_{a1} \sim G_{an}$ 、 $G_{b1} \sim G_{bn}$ ) に接続されたスイッチング素子 ( $Q$

10

20

30

40

50

)を導通させる。そうすれば、データ線( $D_{a1} \sim D_{am}$ 、 $D_{b1} \sim D_{bm}$ )に印加されたデータ信号が導通したスイッチング素子(Q)を通じて当該画素(PX)に印加される。この時ゲートオン電圧( $V_{on}$ )は第1ゲート線群( $G_a$ )及び第2ゲート線群( $G_b$ )に交互に転送されるように順次に印加される。

つまり、第1ゲート線群( $G_a$ )の第1ゲート線( $G_{a1}$ )、第2ゲート線群( $G_b$ )の第1ゲート線( $G_{b1}$ )、第1ゲート線群( $G_a$ )の第2ゲート線( $G_{a2}$ )、第2ゲート線群( $G_b$ )の第2ゲート線( $G_{b2}$ )、・・・というような順序にゲートオン電圧( $V_{on}$ )が印加される。

#### 【0040】

画素(PX)に印加されたデータ信号の電圧と共通電圧( $V_{com}$ )の差は液晶キャパシタ(Clc)の充電電圧、つまり、画素電圧として現れる。液晶分子は、画素電圧の大きさによってその配列を異にして、これにより液晶層3を通過する光の偏光が変化する。

このような偏光の変化は表示板組立体300に付着された偏光子によって光の透過率変化として現れる。

#### 【0041】

1水平周期("1H"とも言い、水平同期信号H(sync)及びデータインーブル信号(DE)の一周期と同一である)を単位にしてこのような過程を繰り返すことによって、全てのゲート線( $G_{a1} \sim G_{an}$ 、 $G_{b1} \sim G_{bn}$ )に対して順次にゲートオン電圧( $V_{on}$ )を印加して全ての画素(PX)にデータ信号を印加して1フレーム(frame)の画像を表示する。

#### 【0042】

1フレームが終われば、次フレームが始まって各画素(PX)に印加されるデータ信号の極性が直前フレームでの極性と反対になるようにデータ駆動部500に印加される反転信号(RVS)の状態が制御される("フレーム反転")。この時、1フレーム内でも反転信号(RVS)の特性によって一つのデータ線を通じて流れるデータ信号の極性を変えたり(例えば行反転、点反転)、一つの画素行に印加されるデータ信号の極性も互いに異なるようにすることができる(例えば列反転、点反転)。

#### 【0043】

次に、本発明の一実施形態によるゲート駆動部について図5～図8を参照して説明する。

図5は、本発明の一実施形態によるゲート駆動部のブロック図であり、図6は本発明の一実施形態によるゲート駆動部のj番目ステージの回路図であり、図7は図5に示したゲート駆動部のうちの第1及び第3ステージの概略的な配置図であり、図8は図5に示したゲート駆動部の信号波形図である。

#### 【0044】

図5及び図7を参照すると、ゲート駆動部であるシフトレジスタ(400a、400b)には第1及び第2走査開始信号(LSTV、RSTV)、第1乃至第4クロック信号(LCLK1、LCLK2、RCLK1、RCLK2)が入力される。各シフトレジスタ(400a、400b)は各々一列に配列されており、ゲート線( $G_{a1} \sim G_{an}$ 、 $G_{b1} \sim G_{bn}$ )に各々接続されている複数のステージST1(410a)～STj...、ST2(410b)～ST(j+1)...を含む。

#### 【0045】

図8に示すように、左側シフトレジスタ400aに入力される第1走査開始信号(LSTV)と右側シフトレジスタ400bに入力される第2走査開始信号(RSTV)は1フレームに一つパルスを生成して、パルス幅は約2Hである。

#### 【0046】

左側シフトレジスタ400aの第1ステージST1(410a)に入力される第1走査開始信号(LSTV)の"ハイ"区間は第1クロック信号(LCLK1)の"ロー"区間に位置して第1クロック信号(LCLK1)が"ハイ"になると同時に"ロー"になり、右側シフトレジスタ400bの第2ステージST2(410b)に入力される第2走査開

10

20

30

40

50

始信号 ( R S T V ) の “ ハイ ” 区間はまた第 3 クロック信号 ( R C L K 1 ) の “ ロー ” 区間に位置して第 3 クロック信号 ( R C L K 1 ) が “ ハイ ” になると同時に “ ロー ” になる。

【 0 0 4 7 】

各ステージはセット端子 ( S )、ゲート電圧端子 ( G V )、一对のクロック端子 ( C K 1、C K 2 )、リセット端子 ( R )、フレームリセット端子 ( F R )、そしてゲート出力端子 ( O U T 1 ) 及びキャリー出力端子 ( O U T 2 ) を有している。

各シフトレジスタ ( 4 0 0 a、4 0 0 b ) で隣接した二つのステージ ( S T 1 - S T 3、S T 2 - S T 4、・・・ ) のクロック端子 ( C K 1、C K 2 ) には互いに異なるクロック信号 ( L C L K 1、L C L K 2、R C L K 1、R C L K 2 ) が入力される。

10

【 0 0 4 8 】

例えば、左側シフトレジスタ 4 0 0 a で、第 1 ステージ S T 1 ( 4 1 0 a ) のクロック端子 ( C K 1 ) には第 1 クロック信号 ( L C L K 1 ) が入力され、クロック端子 ( C K 2 ) は第 2 クロック信号 ( L C L K 2 ) が入力される反面、第 3 ステージのクロック端子 ( C K 1 ) には第 2 クロック信号 ( L C L K 2 ) が入力され、クロック端子 ( C K 2 ) は第 1 クロック信号 ( L C L K 1 ) が入力される。

また、右側シフトレジスタ 4 0 0 b で、第 2 ステージ S T 2 ( 4 1 0 b ) のクロック端子 ( C K 1 ) には第 3 クロック信号 ( R C L K 1 ) が入力され、クロック端子 ( C K 2 ) は第 4 クロック信号 ( R C L K 2 ) が入力される反面、第 4 ステージのクロック端子 ( C K 1 ) には第 4 クロック信号 ( R C L K 2 ) が入力され、クロック端子 ( C K 2 ) は第 3 クロック信号 ( R C L K 1 ) が入力される。

20

【 0 0 4 9 】

各クロック信号 ( L C L K 1、L C L K 2、R C L K 1、R C L K 2 ) の “ ハイ ” レベルは画素 ( P X ) のスイッチング素子 ( Q ) を導通させるためのゲートオン電圧 (  $V_{on}$  ) であり、各クロック信号 ( L C L K 1、L C L K 2、R C L K 1、R C L K 2 ) の “ ロー ” レベルは画素 ( P X ) のスイッチング素子 ( Q ) を非導通させるためのゲートオフ電圧 (  $V_{off}$  ) であることが好ましい。

【 0 0 5 0 】

ステージの、例えば j 番目ステージ ( S T j ) のセット端子 ( S ) には前段ステージ S T ( j - 2 ) のキャリー出力、つまり、前段キャリー出力 C o u t ( j - 2 ) が、リセット端子 ( R ) には次段ステージ S T ( j + 2 ) のゲート出力、つまり、後段ゲート出力 G o u t ( j + 2 ) が入力され、クロック端子 ( C K 1、C K 2 ) にはクロック信号 ( L C L K 1、L C L K 2 ) が入力されて、ゲート電圧端子 ( G V ) にはゲートオフ電圧 (  $V_{off}$  ) が入力される。ゲート出力端子 ( O U T 1 ) はゲート出力 G o u t ( j ) を伝送してキャリー出力端子 ( O U T 2 ) はキャリー出力 C o u t ( j ) を伝送する。

30

【 0 0 5 1 】

但し、各シフトレジスタ ( 4 0 0 a、4 0 0 b ) の最初のステージ、第 1 ステージ ( S T 1 )、第 2 ステージ ( S T 2 ) には前段キャリー出力の代わりに走査開始信号 ( L S T V、R S T V ) が入力される。また、上述したように、j 番目ステージ ( S T j ) のクロック端子 ( C K 1 ) にクロック信号 ( L C L K 1 ) が、クロック端子 ( C K 2 ) にクロック信号 ( L C L K 2 ) が入力される場合、これに隣接した ( j - 2 ) 番目ステージ S T ( j - 2 ) 及び ( j + 2 ) 番目ステージ S T ( j + 2 ) のクロック端子 ( C K 1 ) にはクロック信号 ( L C L K 2 ) が、クロック端子 ( C K 2 ) にはクロック信号 ( L C L K 1 ) が入力される。

40

【 0 0 5 2 】

図 6 を参照すると、図 5 に示したゲート駆動部 ( シフトレジスタ ) ( 4 0 0 a、4 0 0 b ) の各ステージ、例えば j 番目ステージ ( S T j ) は、入力部 4 2 0、プルアップ駆動部 4 3 0、プルダウン駆動部 4 4 0 及び出力部 4 5 0 を含む。

これらは少なくとも一つの N M O S トランジスタ ( T 1 ~ T 1 4 ) を含み、プルアップ駆動部 4 3 0 と出力部 4 5 0 はキャパシタ ( C 1 ~ C 3 ) を更に含む。しかしながら、N

50

M O S トランジスタの代わりに P M O S トランジスタを使用してもよい。また、キャパシタ ( C 1 ~ C 3 ) は、実際の製造工程時に形成されるゲートとドレイン/ソース間寄生容量であってもよい。

【 0 0 5 3 】

入力部 4 2 0 はセット端子 ( S ) とゲート電圧端子 ( G V ) の間に順次に直列に接続されている三個のトランジスタ ( T 1 1、T 1 0、T 5 ) を含む。トランジスタ ( T 1 1、T 5 ) のゲートはクロック端子 ( C K 2 ) に接続されており、トランジスタ ( T 1 0 ) のゲートはクロック端子 ( C K 1 ) に接続されている。トランジスタ ( T 1 1 ) とトランジスタ ( T 1 0 ) との間の結節点はノード ( J 1 ) に接続されており、トランジスタ ( T 1 0 ) とトランジスタ ( T 5 ) との間の結節点はノード ( J 2 ) に接続されている。

10

【 0 0 5 4 】

ブルアップ駆動部 4 3 0 は、セット端子 ( S ) とノード ( J 1 ) との間に接続されているトランジスタ ( T 4 ) と、クロック端子 ( C K 1 ) とノード ( J 3 ) との間に接続されているトランジスタ ( T 1 2 ) と、クロック端子 ( C K 1 ) とノード ( J 4 ) との間に接続されているトランジスタ ( T 7 ) を含む。

トランジスタ ( T 4 ) のゲートとドレインはセット端子 ( S ) に共通に接続されており、ソースはノード ( J 1 ) に接続されており、トランジスタ ( T 1 2 ) のゲートとドレインはクロック端子 ( C K 1 ) に共通に接続されており、ソースはノード ( J 3 ) に接続されている。トランジスタ ( T 7 ) のゲートはノード ( J 3 ) に接続されると同時にキャパシタ ( C 1 ) を通じてクロック端子 ( C K 1 ) に接続されており、ドレインはクロック端子 ( C K 1 ) に、ソースはノード ( J 4 ) に接続されており、ノード ( J 3 ) とノード ( J 4 ) との間にキャパシタ ( C 2 ) が接続されている。

20

【 0 0 5 5 】

ブルダウン駆動部 4 4 0 は、ソースを通じてゲートオフ電圧 (  $V_{off}$  ) を受信してドレインを通じてノード ( J 1、J 2、J 3、J 4 ) に出力する複数のトランジスタ ( T 6、T 9、T 1 3、T 8、T 3、T 2 ) を含む。

トランジスタ ( T 6 ) のゲートはフレームリセット端子 ( F R ) に、ドレインはノード ( J 1 ) に接続されており、トランジスタ ( T 9 ) のゲートはリセット端子 ( R ) に、ドレインはノード ( J 1 ) に接続されており、トランジスタ ( T 1 3、T 8 ) のゲートはノード ( J 2 ) に共通に接続されており、ドレインは各々ノード ( J 3、J 4 ) に接続されている。トランジスタ ( T 3 ) のゲートはノード ( J 4 ) に、トランジスタ ( T 2 ) のゲートはリセット端子 ( R ) に接続されており、二つのトランジスタ ( T 3、T 2 ) のドレインはノード ( J 2 ) に接続されている。

30

【 0 0 5 6 】

出力部 4 5 0 は、ドレインとソースが各々クロック端子 ( C K 1 ) と出力端子 ( O U T 1、O U T 2 ) の間に接続されており、ゲートがノード ( J 1 ) に接続されている一対のトランジスタ ( T 1、T 1 4 ) とトランジスタ ( T 1 ) のゲートとドレインの間、つまり、ノード ( J 1 ) とノード ( J 2 ) との間に接続されているキャパシタ ( C 3 ) を含む。トランジスタ ( T 1 ) のソースはまた、ノード ( J 2 ) に接続されている。

【 0 0 5 7 】

次に、このようなステージ ( S T j ) の動作について説明する。

説明の便宜のためにクロック信号 ( L C L K 1、L C L K 2、R C L K 1、R C L K 2 ) の“ハイ”レベルに相当する電圧を高電圧と言い、クロック信号 ( L C L K 1、L C L K 2、R C L K 1、R C L K 2 ) の“ロー”レベルに相当する電圧の大きさはゲートオフ電圧 (  $V_{off}$  ) と同一であり、これを低電圧という。

【 0 0 5 8 】

まず、クロック信号 ( L C L K 2 ) 及び前段キャリア出力 C o u t ( j - 2 ) が“ハイ”になれば、トランジスタ ( T 1 1、T 5 ) とトランジスタ ( T 4 ) が導通する。そうすれば、二つのトランジスタ ( T 1 1、T 4 ) は高電圧をノード ( J 1 ) に伝達して、トランジスタ ( T 5 ) は低電圧をノード ( J 2 ) に伝達する。

50

これによって、トランジスタ ( T 1、 T 1 4 ) が導通してクロック信号 ( C L K 1 ) が出力端 ( O U T 1、 O U T 2 ) に出力されるが、この時、ノード ( J 2 ) の電圧とクロック信号 ( L C L K 1 ) が全て低電圧であるので、出力電圧 [ G o u t ( j )、 C o u t ( j ) ] は低電圧になる。これと同時に、キャパシタ ( C 3 ) は高電圧と低電圧との差に相当する大きさの電圧を充電する。

【 0 0 5 9 】

この時、クロック信号 ( L C L K 1 ) 及び次段ゲート出力 G o u t ( j + 2 ) は “ ロー ” であり、ノード ( J 2 ) もまた “ ロー ” であるので、これにゲートが接続されているトランジスタ ( T 1 0、 T 9、 T 1 2、 T 1 3、 T 8、 T 2 ) は全てオフの状態である。

次に、クロック信号 ( L C L K 2 ) が “ ロー ” になればトランジスタ ( T 1 1、 T 5 ) が遮断し、これと同時にクロック信号 ( L C L K 1 ) が “ ハイ ” になれば、トランジスタ ( T 1 ) の出力電圧及びノード ( J 2 ) の電圧が高電圧になる。この時、トランジスタ ( T 1 0 ) のゲートには高電圧が印加されるが、ノード ( J 2 ) に接続されているソースの電位がまた同一の高電圧であるので、ゲート - ソース間電位差が 0 になってトランジスタ ( T 1 0 ) は遮断状態を維持する。従って、ノード ( J 1 ) は浮遊状態になって、これによりキャパシタ ( C 3 ) によって高電圧ほど電位が更に上昇する。

【 0 0 6 0 】

一方、クロック信号 ( L C L K 1 ) 及びノード ( J 2 ) の電位が高電圧であるのでトランジスタ ( T 1 2、 T 1 3、 T 8 ) が導通する。この状態でトランジスタ ( T 1 2 ) とトランジスタ ( T 1 3 ) が高電圧と低電圧の間で直列に接続され、そのためにノード ( J 3 ) の電位は二つのトランジスタ ( T 1 2、 T 1 3 ) の導通時抵抗状態の抵抗値によって分圧された電圧値を有する。

ところで、トランジスタ ( T 1 3 ) の導通時抵抗状態の抵抗値がトランジスタ ( T 1 2 ) の導通時抵抗状態の抵抗値に比べて非常に大きく、例えば約 1 0、 0 0 0 倍程度に設定されているとすればノード ( J 3 ) の電圧は高電圧と殆ど同一である。

【 0 0 6 1 】

従って、トランジスタ ( T 7 ) が導通してトランジスタ ( T 8 ) と直列に接続され、これによりノード ( J 4 ) の電位は二つのトランジスタ ( T 7、 T 8 ) の導通時抵抗状態の抵抗値によって分圧された電圧値を有する。

この時、二つのトランジスタ ( T 7、 T 8 ) の抵抗状態の抵抗値が殆ど同一に設定されていれば、ノード ( J 4 ) の電位は高電圧と低電圧の中間値を有し、これによりトランジスタ ( T 3 ) は遮断状態を維持する。この時、次段ゲート出力 G o u t ( j + 2 ) が依然として “ ロー ” であるので、トランジスタ ( T 9、 T 2 ) まだ遮断状態を維持する。従って、出力端 ( O U T 1、 O U T 2 ) はクロック信号 ( L C L K 1 ) にだけ接続され、低電圧とは遮断されて高電圧を伝送する。

【 0 0 6 2 】

一方、キャパシタ ( C 1 ) とキャパシタ ( C 2 ) は両端の電位差に相当する電圧を各々充電するが、ノード ( J 3 ) の電圧はノード ( J 5 ) の電圧より低い。

次に、次段ゲート出力 G o u t ( j + 2 ) 及びクロック信号 ( L C L K 2 ) が “ ハイ ” になってクロック信号 ( L C L K 1 ) が “ ロー ” になれば、トランジスタ ( T 9、 T 2 ) が導通してノード ( J 1、 J 2 ) に低電圧を伝達する。この時、ノード ( J 1 ) の電圧はキャパシタ ( C 3 ) が放電しながら低電圧に落ちるが、キャパシタ ( C 3 ) の放電時間によって低電圧に完全に降りて行くにはある程度時間を必要とする。従って、二つのトランジスタ ( T 1、 T 1 4 ) は次段ゲート出力 G o u t ( j + 2 ) が “ ハイ ” になってもしばらくの間導通状態を維持するようになり、これにより出力端 ( O U T 1、 O U T 2 ) がクロック信号 ( L C L K 1 ) と接続されて低電圧を伝送する。

【 0 0 6 3 】

次に、キャパシタ ( C 3 ) が完全に放電されてノード ( J 1 ) の電位が低電圧に至ればトランジスタ ( T 1 4 ) が遮断して出力端 ( O U T 2 ) がクロック信号 ( L C L K 1 ) を遮断するので、キャリア出力 C o u t ( j ) は浮遊状態になって低電圧を維持する。これ

10

20

30

40

50

と同時に、出力端 (OUT1) はトランジスタ (T1) が遮断してもトランジスタ (T2) を通じて低電圧と接続されるので継続して低電圧を伝送する。

【0064】

一方、トランジスタ (T12、T13) が遮断するので、ノード (J3) が浮遊状態になる。また、ノード (J5) の電圧がノード (J4) の電圧より低くなるが、キャパシタ (C1) によってノード (J3) の電圧がノード (J5) の電圧より低い状態を維持するのでトランジスタ (T7) は遮断する。これと同時にトランジスタ (T8) も遮断状態になるのでノード (J4) の電圧もその分低くなりトランジスタ (T3) はまだ遮断状態を維持する。また、トランジスタ (T10) はゲートがクロック信号 (CLK1) の低電圧に接続されてノード (J2) の電圧も “ロー” であるので遮断状態を維持する。

10

【0065】

次に、クロック信号 (CLK1) が “ハイ” になれば、トランジスタ (T12、T7) が導通し、ノード (J4) の電圧が上昇してトランジスタ (T3) を導通させて低電圧をノード (J2) に伝達するので、出力端 (OUT1) は継続して低電圧を伝送する。つまり、たとえ次段ゲート出力  $G_{out}(j+2)$  の出力が “ロー” にしてもノード (J2) の電圧が低電圧になることができるようにする。

【0066】

一方、トランジスタ (T10) のゲートがクロック信号 (CLK1) の高電圧に接続されてノード (J2) の電圧が低電圧であるので導通してノード (J2) の低電圧をノード (J1) に伝達する。一方、二つのトランジスタ (T1、T14) のドレインにはクロック端子 (CLK1) が接続されており、クロック信号 (CLK1) が継続して印加される。特に、トランジスタ (T1) は他のトランジスタに比べて相対的に大きく作るが、これによってゲート-ドレイン間寄生容量が大きくなりドレインの電圧変化がゲート電圧に影響を与えることがある。

20

従って、クロック信号 (CLK1) が “ハイ” になる時、ゲート-ドレイン間寄生容量によって、ゲート電圧が上がってトランジスタ (T1) を導通することが起こりうる。従って、ノード (J2) の低電圧をノード (J1) に伝達することによってトランジスタ (T1) のゲート電圧を低電圧に維持してトランジスタ (T1) が導通することを防止する。

【0067】

以後では前段キャリア出力  $C_{out}(j-2)$  が “ハイ” になるまでノード (J1) の電圧は低電圧を維持して、ノード (J2) の電圧はクロック信号 (CLK1) が “ハイ” であり、クロック信号 (CLK2) が “ロー” である時はトランジスタ (T3) を通じて低電圧になって、その反対の場合にはトランジスタ (T5) を通じて低電圧を維持する。

30

一方、トランジスタ (T6) は最後ダミーステージ (図示せず) で発生する初期化信号 (INT) を受信してゲートオフ電圧 ( $V_{off}$ ) をノード (J1) に伝達してノード (J1) の電圧をもう一度低電圧に設定する。

【0068】

このような方式で、ステージ (STj) は前段キャリア信号  $C_{out}(j-2)$  及び次段ゲート信号  $G_{out}(j+2)$  に基づいてクロック信号 (CLK1、CLK2) に同期してキャリア信号  $C_{out}(j)$  及びゲート信号  $G_{out}(j)$  を生成する。

40

【0069】

従って、図8のように第1ゲート線群 ( $G_a$ ) の第1ゲート線 ( $G_{a1}$ ) に印加される第1ゲート信号 ( $g_{a1}$ ) は第1走査開始信号 (LSTV) によって第1クロック信号 (CLK1) に同期する “ハイ” レベルつまり、ゲートオン電圧 ( $V_{on}$ ) を含む。第2ゲート線群 ( $G_b$ ) の第1ゲート線 ( $G_{b1}$ ) に印加される第2ゲート信号 ( $g_{b1}$ ) は第2走査開始信号 (RSTV) によって第3クロック信号 (CLK1) に同期する “ハイ” レベルつまり、ゲートオン電圧 ( $V_{on}$ ) を含む。

【0070】

50

第1ゲート信号 ( $g_{a1}$ ) 及び第2ゲート信号 ( $g_{b1}$ ) のゲートオン電圧 ( $V_{on}$ ) のパルス幅は各々2Hである。前半約1Hには当該画素に対する先行充電を行うことができ、後半1Hには当該画素に目標電圧が印加されてメイン充電が行われる。第1ゲート信号 ( $g_{a1}$ ) 及び第2ゲート信号 ( $g_{b1}$ ) のゲートオン電圧 ( $V_{on}$ ) は、互いに所定時間が重畳して、重畳時間は約1Hであることが好ましい。

【0071】

このように、第1及び第2ゲート群 ( $G_a$ 、 $G_b$ ) の以後のゲート線 ( $G_{a2} \sim G_{an}$ 、 $G_{b2} \sim G_{bn}$ ) は直前ゲートオン電圧 ( $V_{on}$ ) と所定時間重なったゲートオン電圧 ( $V_{on}$ ) を順次に発生する。

【0072】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0073】

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【図3】本発明の一実施形態による液晶表示装置の画素、信号線及び駆動部の空間的配列の一例を示す図面である。

【図4】本発明の他の実施形態による液晶表示装置の画素、信号線及び駆動部の空間的配列の一例を示す図面である。

【図5】本発明の一実施形態によるゲート駆動部のブロック図である。

【図6】図5に示したゲート駆動部のj番目ステージの回路図の一例である。

【図7】本発明の一実施形態によるゲート駆動部のうちの第1及び第3ステージの概略的な配置図である。

【図8】図5に示したゲート駆動部の信号波形図である。

【符号の説明】

【0074】

3	液晶層	
100	下部表示板	
191	画素電極	
200	上部表示板	
230	色フィルタ	
270	共通電極	
300	液晶表示板組立体	
400	ゲート駆動部	
400a、400b	第1及び第2ゲート駆動部（左側及び右側シフトレジスタ）	
410a	第1ステージ	
410b	第2ステージ	
420	入力部	
430	プルアップ駆動部	
440	プルダウン駆動部	
450	出力部	
500	データ駆動部	
600	信号制御部	
800	階調電圧生成部	

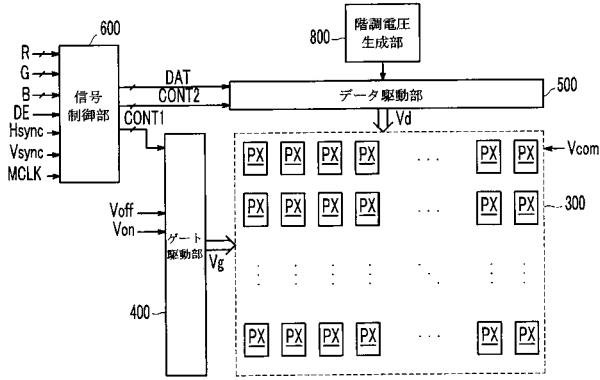
10

20

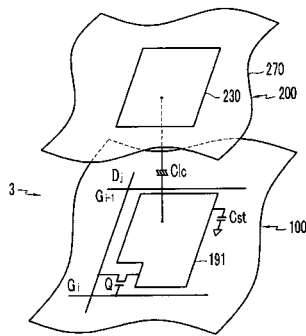
30

40

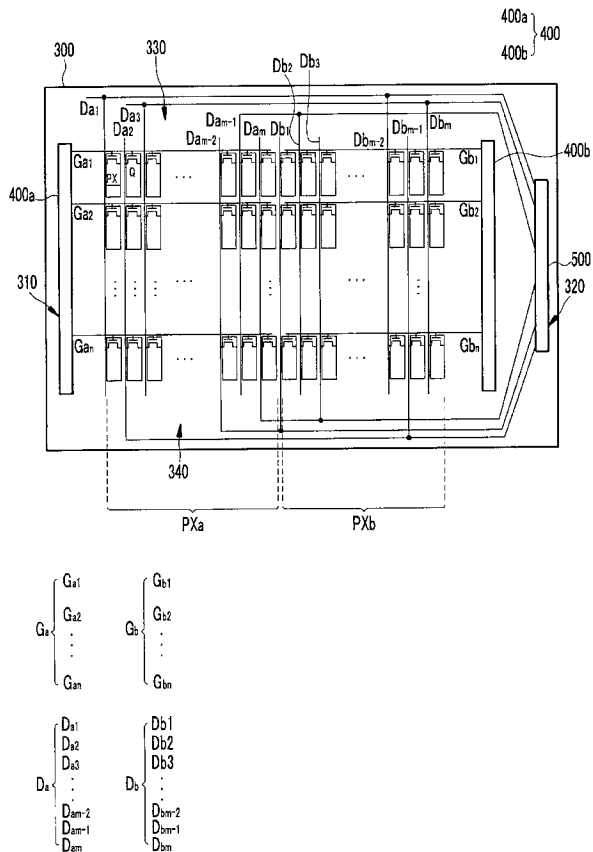
【 図 1 】



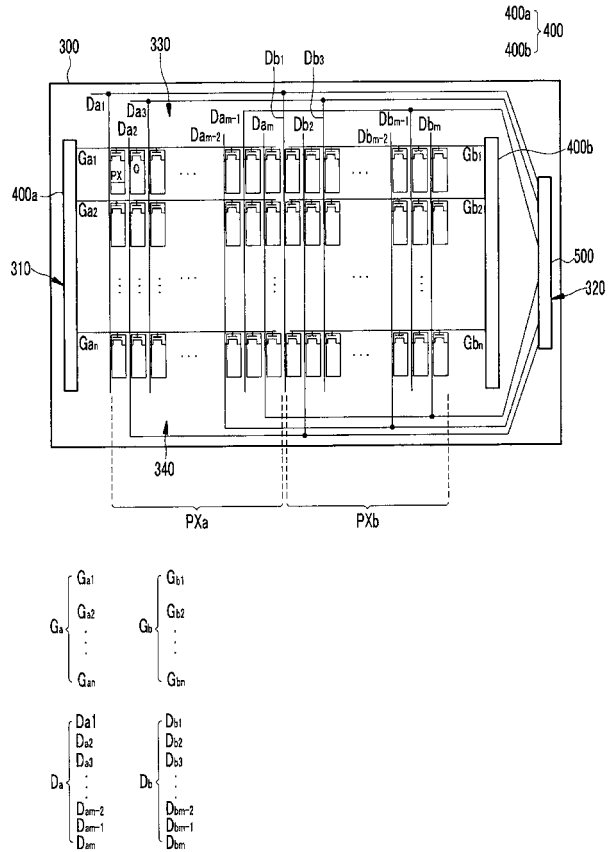
【 図 2 】



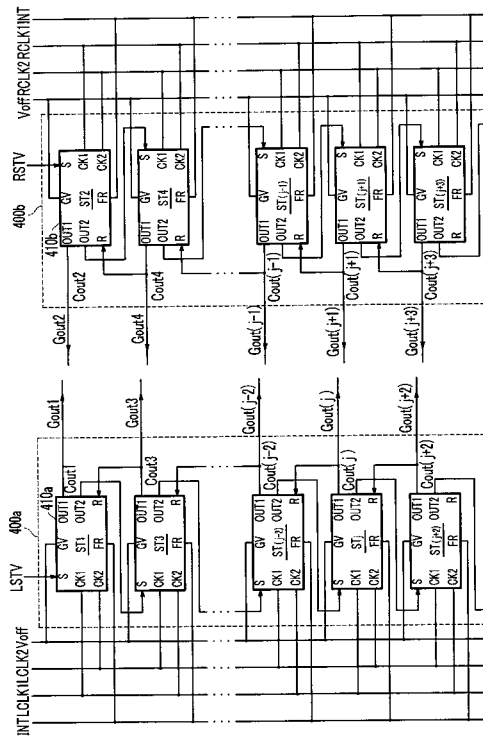
【 図 4 】



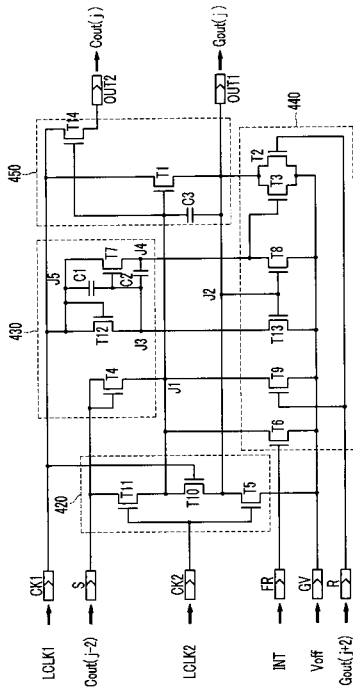
【 図 3 】



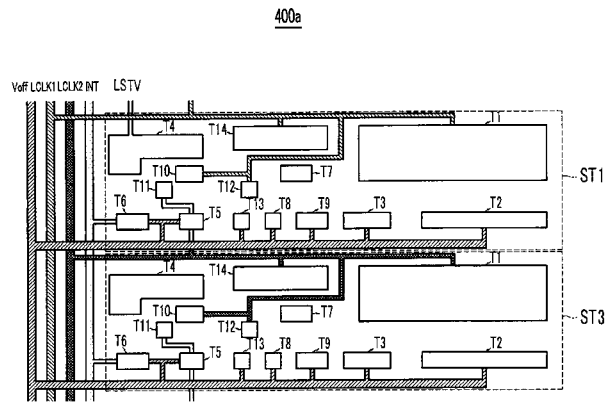
【 図 5 】



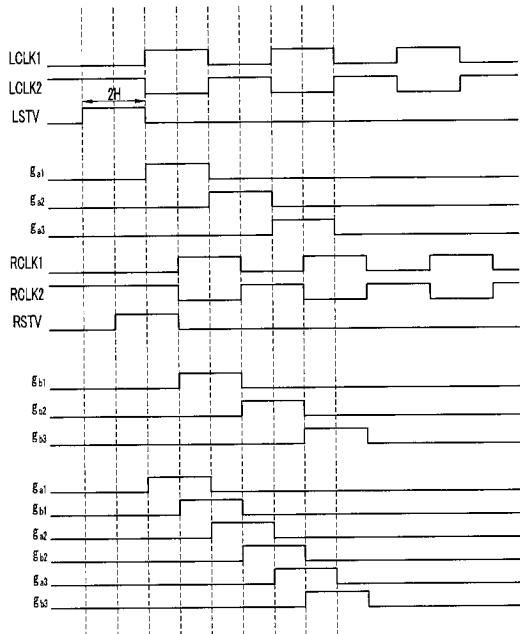
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>G 0 9 G 3/20 (2006.01)</b>	G 0 9 G 3/20	6 2 3 W
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 K
	G 0 9 G 3/20	6 8 0 G

(72)発明者 魚 基 漢

大韓民国 京畿道 龍仁市 水枝区 上ヒョン洞 グムホベストビル 1 5 5 棟 8 0 1 号

Fターム(参考) 2H092 GA12 GA50 GA51 GA59 GA60 JA24 JA28 JA34 JA37 JA41  
 JA46 JA47 JB22 JB31 JB61 KA18 NA27 NA30  
 2H093 NA16 NA51 NC03 NC09 NC11 NC16 NC22 NC26 NC27 NC34  
 NC35 ND54 NE03  
 5C006 AC22 AF42 AF43 AF71 BB14 BB16 BC02 BC03 BC11 BC22  
 BC23 FA16 FA43  
 5C080 AA10 BB06 DD22 DD30 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2008083703A</a>	公开(公告)日	2008-04-10
申请号	JP2007246731	申请日	2007-09-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	全珍 魚基漢		
发明人	全珍 魚基漢		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G02F1/1345 G02F2001/13456 G09G3/3666 G09G3/3677 G09G2300/0426 G09G2310/0205 G09G2310/08 G09G2320/0233		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/133.550 G09G3/36 G09G3/20.623.W G09G3/20.621.M G09G3/20.621.A G09G3/20.622.D G09G3/20.622.K G09G3/20.680.G G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA12 2H092/GA50 2H092/GA51 2H092/GA59 2H092/GA60 2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB22 2H092/JB31 2H092/JB61 2H092/KA18 2H092/NA27 2H092/NA30 2H093/NA16 2H093/NA51 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND54 2H093/NE03 5C006/AC22 5C006/AF42 5C006/AF43 5C006/AF71 5C006/BB14 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC22 5C006/BC23 5C006/FA16 5C006/FA43 5C080/AA10 5C080/BB06 5C080/DD22 5C080/DD30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/AA32 2H192/DA12 2H192/EA43 2H192/FA44 2H192/FB03 2H192/FB05 2H192/FB32 2H192/GD61 2H193/ZA04 2H193/ZD21 2H193/ZF03 2H193/ZP03 5B074/AA03 5B074/CA01 5B074/EA01		
优先权	1020060093412 2006-09-26 KR		
其他公开文献	JP5483517B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种液晶显示装置，其中减少了数据驱动电路芯片的数量并且不降低显示板的开口率。基板，第一像素组和第二像素组，每个包括以矩阵形式布置在基板上并连接到第一像素组的像素并在第一方向上延伸的多个像素。包括多条栅极线的第一栅极线组和包括多条栅极线的第二栅极线组连接到第二像素组的像素并沿第一方向延伸，第一和第二像素组在第一方向上彼此相邻。 [选择图]图3

