

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-293353
(P2007-293353A)

(43) 公開日 平成19年11月8日(2007.11.8)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623F	5C006
G02F 1/133 (2006.01)	G09G 3/20 612F	5C080
H03M 1/68 (2006.01)	G09G 3/20 621F	5J022
H03M 1/76 (2006.01)	G02F 1/133 550	

審査請求 有 請求項の数 14 O L (全 34 頁) 最終頁に続く

(21) 出願番号 特願2007-138563 (P2007-138563)
 (22) 出願日 平成19年5月25日(2007.5.25)
 (62) 分割の表示 特願平11-229860の分割
 原出願日 平成11年8月16日(1999.8.16)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 田中 幸夫
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 F ターム(参考) 2H093 NA16 NC11 NC22 NC26 NC34
 ND60 NF05
 5C006 AA16 AA22 AF50 AF83 BB16
 BC12 BC20 BF03 BF04 BF24
 BF25 BF27 BF43 EC11 EC13
 FA12 FA37 FA43 FA45 FA56
 5C080 AA10 BB05 DD08 DD22 DD25
 EE29 FF11 GG11 JJ02 JJ03
 JJ06 KK03 KK07 KK43
 最終頁に続く

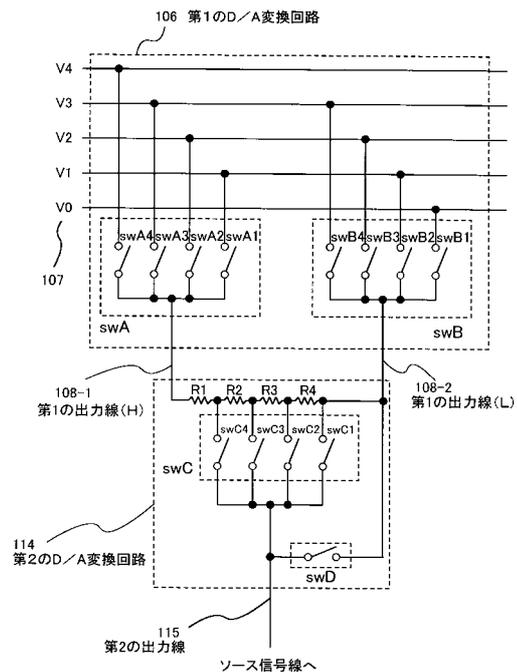
(54) 【発明の名称】 液晶表示装置、D/A変換回路及び半導体装置

(57) 【要約】

【課題】 液晶パネルを駆動する際の、液晶セルへの表示データの書き込みの高精度化および高速化を図ることのできる液晶表示装置を提供する。

【解決手段】 ソース信号線と、ソース信号線側駆動回路とを備えた液晶表示装置であって、ソース信号線側駆動回路は第1及び第2のD/A変換回路を有し、第1のD/A変換回路は、各々異なる電圧が印加された複数の階調電圧線と、第1のスイッチ回路と、第2のスイッチ回路を有し、複数の階調電圧線の各々は、第1の出力線と第1のスイッチ回路を介して接続されており、複数の階調電圧線の各々は、第2の出力線と第2のスイッチ回路を介して接続されており、第2のD/A変換回路は、第1の出力線と第2の出力線との間に直列に接続された複数の抵抗と、第3のスイッチ回路を有し、複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と第3のスイッチ回路を介して接続されている。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

ソース信号線と、ソース信号線側駆動回路とを備えた液晶表示装置であって、
前記ソース信号線側駆動回路は第 1 の D / A 変換回路及び第 2 の D / A 変換回路を有し

、
前記第 1 の D / A 変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第 1 のスイッチ素子を有する第 1 のスイッチ回路と、複数個の第 2 のスイッチ素子を有する第 2 のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第 1 の出力線と前記第 1 のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第 2 の出力線と前記第 2 のスイッチ回路を介して電氣的に接続されており、

前記第 2 の D / A 変換回路は、

前記第 1 の出力線と前記第 2 の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第 3 のスイッチ素子を有する第 3 のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第 3 の出力線と前記第 3 のスイッチ回路を介して電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 2】

ソース信号線と、ソース信号線側駆動回路とを備えた液晶表示装置であって、

前記ソース信号線側駆動回路は、第 1 の D / A 変換回路、第 2 の D / A 変換回路及び複数個の第 1 のスイッチ素子を有する第 1 のスイッチ回路を有し、

前記第 1 の D / A 変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第 2 のスイッチ素子を有する第 2 のスイッチ回路と、複数個の第 3 のスイッチ素子を有する第 3 のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第 1 の出力線と前記第 1 のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第 2 の出力線と前記第 3 のスイッチ回路を介して電氣的に接続されており、

前記第 2 の D / A 変換回路は、

前記第 1 の出力線と前記第 2 の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第 4 のスイッチ素子を有する第 4 のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第 3 の出力線と前記第 4 のスイッチ回路を介して電氣的に接続されており、

前記ソース信号線の各々は、前記第 2 の D / A 変換回路と前記第 1 のスイッチ回路を介して各々電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 3】

ソース信号線と、ソース信号線側駆動回路とを備えた液晶表示装置であって、

前記ソース信号線側駆動回路は、第 1 の D / A 変換回路及び第 2 の D / A 変換回路を有し、

前記第 1 の D / A 変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第 1 のスイッチ素子を有する第 1 のスイッチ回路と、複数個の第 2 のスイッチ素子を有する第 2 のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第 1 の出力線と前記第 1 のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第 2 の出力線と前記第 2 のスイッチ回路を介して電氣的に接続されており、

前記第 2 の D / A 変換回路は、

10

20

30

40

50

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数の第3のスイッチ素子を有する第3のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第3のスイッチ回路を介して電氣的に接続されており、

複数の前記ソース信号線ごとに前記第1のD/A変換回路及び前記第2のD/A変換回路が備えられていることを特徴とする液晶表示装置。

【請求項4】

ソース信号線と、ソース信号線側駆動回路とを備えた液晶表示装置であって、

前記ソース信号線側駆動回路は第1のD/A変換回路と、第2のD/A変換回路と、前記ソース信号線に第1の電圧を印加した後、階調電圧である第2の電圧を印加する手段とを有し、

10

前記第1のD/A変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数の第1のスイッチ素子を有する第1のスイッチ回路と、複数の第2のスイッチ素子を有する第2のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第1の出力線と前記第1のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第2の出力線と前記第2のスイッチ回路を介して電氣的に接続されており、

前記第2のD/A変換回路は、

20

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数の第3のスイッチ素子を有する第3のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第3のスイッチ回路を介して電氣的に接続されていることを特徴とする液晶表示装置。

【請求項5】

ソース信号線と、ソース信号線側駆動回路とを備えた液晶表示装置であって、

前記ソース信号線側駆動回路は第1のD/A変換回路と、第2のD/A変換回路と、複数の第1のスイッチ素子を有する第1のスイッチ回路と、前記ソース信号線に第1の電圧を印加した後、階調電圧である第2の電圧を印加する手段とを有し、

30

前記第1のD/A変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数の第2のスイッチ素子を有する第2のスイッチ回路と、複数の第3のスイッチ素子を有する第3のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第1の出力線と前記第2のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第2の出力線と前記第3のスイッチ回路を介して電氣的に接続されており、

前記第2のD/A変換回路は、

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数の第4のスイッチ素子を有する第4のスイッチ回路を有し、

40

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第4のスイッチ回路を介して電氣的に接続されており、

前記ソース信号線の各々は、前記第2のD/A変換回路と前記第1のスイッチ回路を介して電氣的に接続されていることを特徴とする液晶表示装置。

【請求項6】

ソース信号線と、ソース信号線側駆動回路とを備えた液晶表示装置であって、

前記ソース信号線側駆動回路は第1のD/A変換回路と、第2のD/A変換回路と、前記ソース信号線に第1の電圧を印加した後、階調電圧である第2の電圧を印加する手段とを有し、

前記第1のD/A変換回路は、

50

各々異なる電圧が印加された複数の階調電圧線と、複数個の第1のスイッチ素子を有する第1のスイッチ回路と、複数個の第2のスイッチ素子を有する第2のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第1の出力線と前記第1のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第2の出力線と前記第2のスイッチ回路を介して電氣的に接続されており、

前記第2のD/A変換回路は、

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第3のスイッチ素子を有する第3のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第3のスイッチ回路を介して電氣的に接続されており、

複数の前記ソース信号線ごとに前記第1のD/A変換回路及び前記第2のD/A変換回路が備えられていることを特徴とする液晶表示装置。

【請求項7】

第1のD/A変換回路及び第2のD/A変換回路を有し、

前記第1のD/A変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第1のスイッチ素子を有する第1のスイッチ回路と、複数個の第2のスイッチ素子を有する第2のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第1の出力線と前記第1のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第2の出力線と前記第2のスイッチ回路を介して電氣的に接続されており、

前記第2のD/A変換回路は、

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第3のスイッチ素子を有する第3のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第3のスイッチ回路を介して電氣的に接続されていることを特徴とするD/A変換回路。

【請求項8】

第1のD/A変換回路及び第2のD/A変換回路を有し、

前記第1のD/A変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第1のスイッチ素子を有する第1のスイッチ回路と、複数個の第2のスイッチ素子を有する第2のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第1の出力線と前記第1のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第2の出力線と前記第2のスイッチ回路を介して電氣的に接続されており、

前記第2のD/A変換回路は、

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第3のスイッチ素子を有する第3のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第3のスイッチ回路を介して電氣的に接続されており、

前記第3の出力線には第1の電圧を印加した後、階調電圧である第2の電圧が印加されることを特徴とするD/A変換回路。

【請求項9】

ソース信号線と、複数のTFTと、前記複数のTFTを駆動するソース信号線側駆動回路とを備えた半導体装置であって、

前記ソース信号線側駆動回路は第1のD/A変換回路及び第2のD/A変換回路を有し

10

20

30

40

50

、
前記第 1 の D / A 変換回路は、
各々異なる電圧が印加された複数の階調電圧線と、複数個の第 1 のスイッチ素子を有する第 1 のスイッチ回路と、複数個の第 2 のスイッチ素子を有する第 2 のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第 1 の出力線と前記第 1 のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第 2 の出力線と前記第 2 のスイッチ回路を介して電氣的に接続されており、

前記第 2 の D / A 変換回路は、

前記第 1 の出力線と前記第 2 の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第 3 のスイッチ素子を有する第 3 のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第 3 の出力線と前記第 3 のスイッチ回路を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項 10】

ソース信号線と、複数の T F T と、前記複数の T F T を駆動するソース信号線側駆動回路とを備えた半導体装置であって、

前記ソース信号線側駆動回路は、第 1 の D / A 変換回路、第 2 の D / A 変換回路及び複数個の第 1 のスイッチ素子を有する第 1 のスイッチ回路を有し、

前記第 1 の D / A 変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第 2 のスイッチ素子を有する第 2 のスイッチ回路と、複数個の第 3 のスイッチ素子を有する第 3 のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第 1 の出力線と前記第 2 のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第 2 の出力線と前記第 3 のスイッチ回路を介して電氣的に接続されており、

前記第 2 の D / A 変換回路は、

前記第 1 の出力線と前記第 2 の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第 4 のスイッチ素子を有する第 4 のスイッチ回路を有し、

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第 3 の出力線と前記第 4 のスイッチ回路を介して電氣的に接続されており、

前記ソース信号線の各々は、前記第 2 の D / A 変換回路と前記第 1 のスイッチ回路を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項 11】

ソース信号線と、複数の T F T と、前記複数の T F T を駆動するソース信号線側駆動回路とを備えた半導体装置であって、

前記ソース信号線側駆動回路は、第 1 の D / A 変換回路及び第 2 の D / A 変換回路を有し、

前記第 1 の D / A 変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第 1 のスイッチ素子を有する第 1 のスイッチ回路と、複数個の第 2 のスイッチ素子を有する第 2 のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第 1 の出力線と前記第 1 のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第 2 の出力線と前記第 2 のスイッチ回路を介して電氣的に接続されており、

前記第 2 の D / A 変換回路は、

前記第 1 の出力線と前記第 2 の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第 3 のスイッチ素子を有する第 3 のスイッチ回路を有し、

10

20

30

40

50

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第3のスイッチ回路を介して電氣的に接続されており、

複数の前記ソース信号線ごとに前記第1のD/A変換回路及び前記第2のD/A変換回路が備えられていることを特徴とする半導体装置。

【請求項12】

ソース信号線と、複数のTFTと、前記複数のTFTを駆動するソース信号線側駆動回路とを備えた半導体装置であって、

前記ソース信号線側駆動回路は第1のD/A変換回路と、第2のD/A変換回路と、前記ソース信号線に第1の電圧を印加した後、階調電圧である第2の電圧を印加する手段とを有し、

10

前記第1のD/A変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第1のスイッチ素子を有する第1のスイッチ回路と、複数個の第2のスイッチ素子を有する第2のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第1の出力線と前記第1のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第2の出力線と前記第2のスイッチ回路を介して電氣的に接続されており、

前記第2のD/A変換回路は、

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第3のスイッチ素子を有する第3のスイッチ回路を有し、

20

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第3のスイッチ回路を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項13】

ソース信号線と、複数のTFTと、前記複数のTFTを駆動するソース信号線側駆動回路とを備えた半導体装置であって、

前記ソース信号線側駆動回路は第1のD/A変換回路と、第2のD/A変換回路と、複数個の第1のスイッチ素子を有する第1のスイッチ回路と、前記ソース信号線に第1の電圧を印加した後、階調電圧である第2の電圧を印加する手段とを有し、

30

前記第1のD/A変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第2のスイッチ素子を有する第2のスイッチ回路と、複数個の第3のスイッチ素子を有する第3のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第1の出力線と前記第2のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第2の出力線と前記第3のスイッチ回路を介して電氣的に接続されており、

前記第2のD/A変換回路は、

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第4のスイッチ素子を有する第4のスイッチ回路を有し、

40

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第4のスイッチ回路を介して電氣的に接続されており、

前記ソース信号線の各々は、前記第2のD/A変換回路と前記第1のスイッチ回路を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項14】

ソース信号線と、複数のTFTと、前記複数のTFTを駆動するソース信号線側駆動回路とを備えた半導体装置であって、

前記ソース信号線側駆動回路は第1のD/A変換回路と、第2のD/A変換回路と、前記ソース信号線に第1の電圧を印加した後、階調電圧である第2の電圧を印加する手段とを有し、

50

前記第1のD/A変換回路は、

各々異なる電圧が印加された複数の階調電圧線と、複数個の第1のスイッチ素子を有する第1のスイッチ回路と、複数個の第2のスイッチ素子を有する第2のスイッチ回路を有し、

前記複数の階調電圧線の各々は、第1の出力線と前記第1のスイッチ回路を介して電氣的に接続されており、

前記複数の階調電圧線の各々は、第2の出力線と前記第2のスイッチ回路を介して電氣的に接続されており、

前記第2のD/A変換回路は、

前記第1の出力線と前記第2の出力線との間に直列に電氣的に接続された複数の抵抗と、複数個の第3のスイッチ素子を有する第3のスイッチ回路を有し、 10

前記複数の抵抗のうち隣り合う抵抗と抵抗との接続点は、第3の出力線と前記第3のスイッチ回路を介して電氣的に接続されており、

複数の前記ソース信号線ごとに前記第1のD/A変換回路及び前記第2のD/A変換回路が備えられていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、D/A変換（デジタル/アナログ変換）回路に関する。特に、半導体装置の駆動回路に用いられるD/A変換回路に関する。 20

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（TFT）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型半導体表示装置（特にアクティブマトリクス型液晶表示装置）の需要が高まってきたことによる。

【0004】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれTFTが配置され、各画素電極に出入りする電荷をTFTのスイッチング機能により制御するものである。 30

【0005】

その中でも、表示装置の高精細化、高画質化に伴い、高速駆動が可能なデジタル駆動方式のアクティブマトリクス型液晶表示装置が注目されてきている。

【0006】

従来のデジタル駆動方式のアクティブマトリクス型液晶表示装置を図19に示す。従来のデジタル駆動方式のアクティブマトリクス型液晶表示装置は、図19に示すようにソース信号線側シフトレジスタ1401、デジタルデコーダのアドレス線（a～d）1402、ラッチ回路（LAT1）1403、ラッチ回路（LAT2）1404、ラッチパルス線1405、D/A変換回路1406、階調電圧線1407、ソース信号線1408、ゲイト信号線側シフトレジスタ1409、ゲイト信号線（走査線）1410、および画素TFT1411などによって構成されている。ここでは、4ビットのデジタル駆動方式のアクティブマトリクス型液晶表示装置を例にとっている。なお、ラッチ回路（LAT1およびLAT2）は、4個のラッチ回路が便宜上一まとめに示されている。 40

【0007】

デジタルデコーダのアドレス線（a～d）1402に供給されるデジタル信号（デジタル階調信号）が、ソース信号線側シフトレジスタからのタイミング信号によりLAT1群に順次書き込まれる。 50

【0008】

L A T 1 群に対するデジタル信号の書き込みが一通り終了するまでの時間は、1ライン期間と呼ばれる。すなわち、一番左側のL A T 1に対してデジタルデコーダからのデジタル信号の書き込みが開始される時点から、一番右側のL A T 1に対してデジタルデコーダからのデジタル信号の書き込みが終了する時点までの時間間隔が1ライン期間である。

【0009】

L A T 1 群に対するデジタル信号の書き込みが終了した後、ラッチ1群に書き込まれたデジタル信号は、シフトレジスタの動作タイミングに合わせて、ラッチパルス線にラッチパルスが流れた時にL A T 2 群に一斉に送出され、書き込まれる。

【0010】

デジタル信号をL A T 2 群に送出し終えたL A T 1 群には、ソース信号線側シフトレジスタからの信号により、再びデジタルデコーダに供給されるデジタル信号の書き込みが順次行なわれる。

10

【0011】

この2順目の1ライン期間中には、2順目の1ライン期間の開始に合わせてL A T 2 群に送出されたデジタル信号に応じた電圧がソース信号線に供給される。

ここで例に挙げている駆動回路は、デジタル信号の階調電圧への変換を、D / A変換回路によって16本の階調電圧線のうち、一つを選択することによって実行している。

【0012】

選択された階調電圧は、1ライン期間の間対応するソース信号線に供給される。ゲイト信号線側シフトレジスタからの走査信号によって対応するT F Tのスイッチングが行われ、液晶分子が駆動される。

20

【0013】

上述した動作を走査線の数だけ繰り返すことによって1画面(1フレーム)が形成される。一般に、アクティブマトリクス型液晶表示装置では、1秒間に60フレームの画像の書き換えが行われている。

【発明の開示】

【発明が解決しようとする課題】

【0014】

ここで、上述したデジタル駆動回路に用いられている従来のD / A変換回路を説明する。図20を参照する。

30

【0015】

従来の4ビットのD / A変換回路は、複数のスイッチ(s w 0 ~ s w 1 5)および階調電圧線(V 0 ~ V 1 5)を備えている。L A T 2 群から供給される4ビットのデジタル信号によって複数のスイッチ(s w 0 ~ s w 1 5)のうち1つが選択され、選択されたスイッチに接続されている階調電圧線からソース信号線1 4 0 7に電圧が供給される仕組みになっている。

【0016】

このようなD / A変換回路が、1本のソース信号線に対して実質的に1つ備えられている。

40

【0017】

ここで説明している従来の4ビットのD / A変換回路の場合、スイッチの数は16個であり、階調電圧線の数は16本である。さらに、ビット数が増えると、スイッチの数は指数関数的に増加していく。つまり、nビットのデジタル信号を扱う従来のD / A変換回路においては、 2^n 個のスイッチが必要となってしまう。したがって、実際のアクティブマトリクス型液晶表示装置においては、スイッチの面積は大きく、駆動回路全体の面積が大きくなってしまい、小型化の妨げの原因の一つとなっている。

【0018】

また、従来用いられている4ビットのD / A変換回路の別の例を取りあげてみる。図21を参照する。図21に示されている4ビットのD / A変換回路は、先に説明した4ビッ

50

トのD/A変換回路と同じように、LAT2群から供給される4ビットのデジタル信号によって複数のスイッチ(sw0~sw15)のうち1つが選択され、選択されたスイッチに接続されている階調電圧線からソース信号線に電圧が供給される仕組みになっている。

【0019】

図21に示されるD/A変換回路は、階調電圧線の本数は、5本(V0~V4)であり、先に説明した図20に示されるような4ビットのD/A変換回路よりも少ない。

【0020】

また、5本の階調電圧線(V0~V4)には、V0~V4間に印加される電圧を抵抗分割することによって、異なる電圧が供給されるようになっている。また、最も高い電圧がV4に印加されており、最も低い電圧がV0に印加されている。

10

【0021】

しかしながら、図21に示されるD/A変換回路は、抵抗分割することによって抵抗が大きくなり、液晶パネルへの十分な表示データの書き込み時間が得られないという問題が生じていた。

【0022】

加えて、ビット数が増えると、素子抵抗および配線抵抗が増加してしまう。

【0023】

また、半導体表示装置の高精細化のためには、画素数の増加、つまりはソース信号線の増加が必要となってくる。しかし、上述したように、ソース信号線が増加すると、D/A変換回路が占める面積や配線抵抗および素子抵抗も増加することになり、このことが高精細化への妨げの原因の一つとなっている。

20

【0024】

上述した理由により、液晶パネルを駆動する際の、液晶セルへの表示データの書き込みの高精度化および高速化を図ることのできるD/A変換回路および半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0025】

本明細書で開示する発明の構成は、入力されるnビット(nは2以上の自然数)のデジタル信号に対応する階調電圧が出力線に供給されるD/A変換回路であって、前記nビットのデジタル信号を上位xビットと下位yビットとに分割し($x + y = n$; x、yは共に自然数)、前記nビットのデジタル信号の上位xビットによって($2^x + 1$)本の階調電圧線のうち隣り合う2本の階調電圧線が選択され、選択された前記隣り合う2本の階調電圧線のうち、いずれか一方の階調電圧線に印加された第1階調電圧が出力線に供給された後、前記nビットのデジタル信号の下位yビットによって、選択された前記隣り合う2本の階調電圧線の電位差から 2^y 通りの第2階調電圧が作り出され、前記 2^y 通りの第2階調電圧のうち、いずれか一つの第2階調電圧が出力線に供給されることを特徴とするD/A変換回路である。

30

【0026】

また、他の発明の構成は、入力されるnビット(nは2以上の自然数)のデジタル信号に対応する階調電圧が出力線に供給されるD/A変換回路であって、前記nビットのデジタル信号を上位xビットと下位yビットとに分割し($x + y = n$; x、yは共に自然数)、前記nビットのデジタル信号の上位xビットによって($2^x + 1$)本の階調電圧線のうち、第zおよび第(z+1)の階調電圧線が選択され($1 \leq z \leq 2^x$; zは自然数)、選択された前記第zおよび第(z+1)の階調電圧線のうち、いずれか一方の階調電圧線に印加された第1階調電圧が出力線に供給された後、前記nビットのデジタル信号の下位yビットによって、選択された前記第zおよび第(z+1)の階調電圧線の電位差から、 2^y 通りの第2階調電圧が作り出され、前記 2^y 通りの第2階調電圧のうち、いずれか一つの第2階調電圧が出力線に供給されることを特徴とするD/A変換回路である。

40

【0027】

また、上記各構成において、前記D/A変換回路は、薄膜トランジスタを用いて絶縁基

50

板上に形成されることを特徴としている。

【0028】

また、上記各構成において、前記第1階調電圧は、選択された前記隣り合う2本の階調電圧線のうち、もう一方の階調電圧線に印加された電圧値より低いことを特徴としている。

【0029】

また、他の発明の構成は、マトリクス状に配置された複数のTFTと、前記複数のTFTを駆動するソース信号線側駆動回路とゲート信号線側駆動回路と、を備えた半導体装置であって、前期ソース信号線側駆動回路は、入力されるnビット（nは2以上の自然数）

10

のデジタル信号に対応する階調電圧が出力線に供給されるD/A変換回路を備えており、前記nビットのデジタル信号を上位xビットと下位yビットとに分割し（ $x + y = n$ ；x、yは共に自然数）、前記nビットのデジタル信号の上位xビットによって（ $2^x + 1$ ）本の階調電圧線のうち隣り合う2本の階調電圧線が選択され、選択された前記隣り合う2本の階調電圧線のうち、いずれか一方の階調電圧線に印加された第1階調電圧が出力線に供給された後、前記nビットのデジタル信号の下位yビットによって、選択された前記隣り合う2本の階調電圧線の電位差から 2^y 通りの第2階調電圧が作り出され、前記 2^y 通りの第2階調電圧のうち、いずれか一つの第2階調電圧が出力線に供給されることを特徴とする半導体装置である。

【0030】

20

また、他の発明の構成は、マトリクス状に配置された複数のTFTと、前記複数のTFTを駆動するソース信号線側駆動回路とゲート信号線側駆動回路と、を備えた半導体装置であって、前期ソース信号線側駆動回路は、入力されるnビット（nは2以上の自然数）

のデジタル信号に対応する階調電圧が出力線に供給されるD/A変換回路を備えており、前記nビットのデジタル信号を上位xビットと下位yビットとに分割し（ $x + y = n$ ；x、yは共に自然数）、前記nビットのデジタル信号の上位xビットによって（ $2^x + 1$ ）本の階調電圧線のうち、第zおよび第（z+1）の階調電圧線が選択され（ $1 \leq z \leq 2^x$ ；zは自然数）、選択された前記第zおよび第（z+1）の階調電圧線のうち、いずれか一方の階調電圧線に印加された第1階調電圧が出力線に供給された後、前記nビットのデジタル信号の下位yビットによって、選択された前記第zおよび第（z+1）の階調電圧線の電位差から、 2^y 通りの第2階調電圧が作り出され、前記 2^y 通りの第2階調電圧のうち、いずれか一つの第2階調電圧が出力線に供給されることを特徴とする半導体装置である。

30

【0031】

また、他の発明の構成は、複数のTFTと、前記複数のTFTを駆動するソース信号線側駆動回路とゲート信号線側駆動回路と、を備えた半導体装置であって、前記ソース信号線側駆動回路は、入力されるnビット（nは2以上の自然数）

のデジタル信号に対応する階調電圧が出力線に供給されるD/A変換回路を備えた駆動回路を有する半導体装置であって、前記nビットのデジタル信号を上位xビットと下位yビットとに分割し（ $x + y = n$ ；x、yは共に自然数）、前記nビットのデジタル信号の上位xビットによって（ $2^x + 1$ ）本の階調電圧線のうち、第zおよび第（z+1）の階調電圧線が選択され（ $1 \leq z \leq 2^x$ ；zは自然数）、選択された前記第zおよび第（z+1）の階調電圧線のうち、いずれか一方の階調電圧線に印加された第1階調電圧が出力線に供給された後、前記nビットのデジタル信号の下位yビットによって、選択された前記第zおよび第（z+1）の階調電圧線の電位差から、 2^y 通りの第2階調電圧が作り出され、前記 2^y 通りの第2階調電圧のうち、いずれか一つの第2階調電圧が出力線に供給されることを特徴とする半導体装置である。

40

【0032】

また、上記各構成において、前記複数のTFTと、前記ソース信号線側駆動回路と、前

50

記ゲイト信号線側駆動回路とは、薄膜トランジスタを用いて絶縁基板上に一体形成される記載の半導体装置であることを特徴としている。

【0033】

また、上記各構成において、前記第1階調電圧は、選択された前記隣り合う2本の階調電圧線のうち、もう一方の階調電圧線に印加された電圧値より低いことを特徴としている。

【発明の効果】

【0034】

本発明のD/A変換回路は、抵抗素子を通さずに供給された第1の電圧（本来の階調電圧に近い電圧）を出力線に印加した後、抵抗素子を通して供給された第2の電圧を印加することで電圧（本来の階調電圧）の書き込み動作を高速にした。

10

【0035】

即ち、本発明のD/A変換回路は、第1の電圧を予備的に書き込み、その後、第1の電圧から本来の階調電圧まで変化させる第2の電圧を印加すればよいため、従来と比較して非常に高速に表示電圧の書き込みが可能になった。

【発明を実施するための最良の形態】

【0036】

本願発明の実施形態について、以下に説明する。

【0037】

本発明のD/A変換回路は、抵抗素子を通さずに供給された第1の電圧（本来の階調電圧に近い電圧）を出力線に印加した後、出力線に抵抗素子を通して供給された第2の電圧（本来の階調電圧）を印加することで電圧（本来の階調電圧）の書き込み動作を高速にしている。

20

【0038】

即ち、本発明のD/A変換回路は、第1の電圧を予備的に書き込み、その後、第1の電圧から本来の階調電圧まで変化させる第2の電圧を印加すればよいため、非常に高速な表示電圧の書き込みが可能になる。

【0039】

本発明のD/A変換回路は、入力されるnビット（nは2以上の自然数）のデジタル信号に対応する階調電圧が出力線に供給されるD/A変換回路であって、前記nビットのデジタル信号を上位xビットと下位yビットとに分割し（ $x + y = n$ ；x、yは共に自然数）、前記nビットのデジタル信号の上位xビットによって（ $2^x + 1$ ）本の階調電圧線のうち隣り合う2本の階調電圧線が選択される第1のD/A変換回路と、直列に接続された複数の抵抗によって接続され、異なる電位を有するデジタル信号が印加された複数の入力線と、印加された前記デジタル信号に応じて、複数のスイッチのうち、いずれか一つのスイッチだけが閉じるように設計された第1のスイッチ回路と、前記第1のスイッチが閉じる直前に、スイッチが閉じ、ある電圧値を印加した後、そのスイッチを開くように設計された第2のスイッチ回路とを備えている第2のD/A変換回路とで形成されていることを特徴としている。

30

【0040】

なお、ある電圧値とは、第1のD/A変換回路によって隣り合う2本の階調電圧線のいずれか一方に印加されている電圧値と等しい。省電力化を考慮する場合、隣り合う2本の階調電圧線のうち、低い電圧値が印加された一方の階調電圧線と抵抗素子を介さずに接続するとよい。

40

【0041】

また、第2のスイッチ回路がON状態となる際、省電力化を図るために第1のD/A変換回路で選択される階調電圧線（低い電圧の方）を1本のみ選択する構成としてもよい。

【0042】

なお、図3に本発明のD/A変換回路の一例を示したが、図16に示したように第1のスイッチ回路の機能を兼ねた第2のスイッチ回路構成としてもよいし、図17に示したよ

50

うに第2のスイッチ回路の機能を兼ねた第1のスイッチ回路構成としてもよい。また、異なる電圧値が印加された入力線のどちらとも接続が可能であるが、消費電力の点から考えると印加された電圧値が低い方の入力線と第2のスイッチ回路を接続することが好ましい。また、一般にC2CタイプのD/A変換回路に適用してもよい。

【0043】

以上のように、実施者が本発明のD/A変換回路の配置及び接続を適宜変更してもよい。

【0044】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0045】

本実施例では、本発明のD/A変換回路のある実施形態について説明する。本実施例では、画素数が、横800×縦600であるアクティブマトリクス型液晶表示装置を用いて、そのソース信号線側駆動回路に備えられたデジタル信号をアナログ階調信号(階調電圧)に変換するD/A変換回路の詳細について説明する。

【0046】

また、本実施例では4ビットのデジタル信号を処理するD/A変換回路を例にとって説明するが、本発明のD/A変換回路は、これに限定されるわけではなく、2ビット以上のデジタル信号を処理するD/A変換回路が実現される。

【0047】

まず、図1を参照する。図1には本実施例のアクティブマトリクス型液晶表示装置の概略構成図が示されている。

【0048】

本実施例のアクティブマトリクス型液晶表示装置は、第1のソース信号線側シフトレジスタ101、デジタルデコーダのアドレス線(a、b)102、ラッチ回路(LAT1, 0~LAT1, 799)103、ラッチ回路(LAT2, 0~LAT2, 799)104、ラッチパルス線105、第1のD/A変換回路(1st-D/A, 0~799)106、階調電圧線(V0~V4)107、第1の出力線108、第2のソース信号線側シフトレジスタ109、デジタルデコーダのアドレス線(c、d)110、ラッチ回路(LAT3, 0~LAT3, 799)111、ラッチ回路(LAT4, 0~LAT4, 799)112、ラッチパルス線113、第2のD/A変換回路(2nd-D/A, 0~2nd-D/A, 799)114、第2の出力線115、ゲイト信号線側駆動回路としてゲイト信号線側シフトレジスタ116、ソース信号線117、ゲイト信号線(走査線)118、および画素TF T119などによって構成されている。

【0049】

なお、図1では省略してあるが、その他バッファやアナログスイッチなどが適時設けられる。

【0050】

外部から供給される4ビットのデジタル信号のうち、上位2ビットのデジタル信号がアドレス線102のaおよびbに供給され、下位2ビットのデジタル信号がアドレス線110のcおよびdに供給されるようになっている。

【0051】

5本の階調電圧線(V0~V4)107には、V0~V4間に印加される電圧を抵抗分割することによって、異なる電圧が供給されるようになっている。また、最も高い電圧がV4に印加されており、最も低い電圧がV0に印加されている。

【0052】

ここで、最も低い電圧が供給される階調電圧線を第1の階調電圧線とし、最も高い電圧が供給される階調電圧線を第5の階調電圧線とする。よって、5本の階調電圧線は、第1

10

20

30

40

50

～第5の階調電圧線に向かってより高い電圧が供給されていることがわかる。

【0053】

第1のソース線側シフトレジスタ101は、ラッチ回路LAT1, 0～LAT1, 799にラッチ信号(タイミング信号)を順次供給する。ラッチ回路LAT1, 0～LAT1, 799は、第1のソース線側シフトレジスタから供給されるラッチ信号により、アドレス線102のaおよびbからデジタル信号を順次取り込み、保持する。

【0054】

ラッチ回路LAT1, 799へのデジタル信号の取り込みが終了した瞬間に、ラッチパルス線105にラッチ信号が供給され、LAT2, 0～LAT2, 799の全てのラッチ回路に、LAT1, 0～LAT1, 799からデジタル信号が同時に取り込まれ、保持される。LAT2, 0～LAT2, 799に取り込まれたデジタル信号は、1ライン期間の間、第1のD/A変換回路106に送出される。

10

【0055】

ここで、1つのラッチ回路(LAT1, 0およびLAT2, 0)の回路図を図2に示す。ラッチ回路(LAT1, 0)およびラッチ回路(LAT2, 0)は、それぞれ同じ回路から成っている。

【0056】

LAT1, 0は、クロックインバータ201、203、204および206、ならびにインバータ202および205から成り、アドレス線102のaおよびbよりデジタル信号を取り込み、保持する。クロックインバータ201、203、204および206のスイッチングには、第1のソース信号線側シフトレジスタ101からのラッチ信号(lat1, 0)およびその反転信号(反転lat1, 0)が使用される。

20

【0057】

LAT2, 0は、クロックインバータ207、209、210および212、ならびにインバータ208および211から成り、LAT1, 0からデジタル信号を取り込み、保持する。クロックインバータ207、209、210および212のスイッチングには、ラッチパルス線105からのラッチ信号(lat2)およびその反転信号(反転lat2)が使用される。LAT2, 0は、第1のD/A変換回路にデジタル信号を送出する。

【0058】

なお、アドレス線102のaおよびbに供給されるデジタル信号が2段のラッチ回路を経て第1のD/A変換回路106に供給されることから、本実施例では、説明の便宜上、第1のD/A変換回路に接続される信号線をaおよびbと呼んでいる。

30

【0059】

第1のD/A変換回路(1st-D/A, 0～1st-D/A, 799)106には、LAT2, 0～LAT2, 799から2ビットのデジタル信号がそれぞれ供給される。第1のD/A変換回路(1st-D/A, 0～1st-D/A, 799)106は、供給される2ビットのデジタル信号をアナログ信号(階調電圧)に変換し、第1の出力線108(108-1および108-2)を通じて第2のD/A変換回路(2nd-D/A, 0～2nd-D/A, 799)114に供給する。

40

【0060】

第1のソース線側シフトレジスタ101がLAT1, 0～799へラッチ信号を順次送出するタイミングに同期して、第2のソース線側シフトレジスタ109は、LAT3, 0～799へラッチ信号を順次送出する。つまり、第1のソース信号線側シフトレジスタがLAT1, 0にラッチ信号を送出するタイミングと、第2のソース信号線側シフトレジスタがLAT3, 0にラッチ信号を送出するタイミングとは同じである。また、第1のソース信号線側シフトレジスタがLAT1, 1にラッチ信号を送出するタイミングと、第2のソース信号線側シフトレジスタがLAT3, 1にラッチ信号を送出するタイミングとも同じである。

【0061】

50

第2のソース信号線側シフトレジスタ109からのラッチ信号によって、LAT3, 0 ~ LAT3, 799は、アドレス線110のcおよびdから2ビットのデジタル信号を順次取り込み、保持する。ラッチ回路LAT3, 799へデジタル信号の取り込みが終了した瞬間に、ラッチパルス線113にラッチ信号が供給され、LAT4, 0 ~ LAT4, 799の全てのラッチ回路がLAT3, 0 ~ LAT3, 799からデジタル信号を同時に取り込み、保持する。LAT4, 0 ~ LAT4, 799に取り込まれたデジタル信号は、第2のD/A変換回路114に送出される。

【0062】

第2のD/A変換回路(2nd-D/A, 0 ~ 2nd-D/A, 799)は、第1のD/A変換回路の出力線108から供給される階調電圧と、供給される2ビットのデジタル信号とに基づき、ソース信号線につながる第2の出力線115へ階調電圧を供給する。

10

【0063】

第2の出力線115へ供給される階調電圧は、バッファ(図示せず)などを通してソース信号線117に供給される。ゲート信号線側シフトレジスタ116からの走査信号に応じて、対応するゲート信号線118に接続されている画素TF T 119がONとなり、階調電圧が液晶分子に印加される。

【0064】

このようにして、選択された走査線に接続されている全ての画素TF Tが一度にONとなり、液晶分子が駆動される。そして、全ての走査線が順次選択され、1フレームの画像が形成される。本実施例では、1秒間に60フレームの画像の形成を行う。

20

【0065】

ここで、第1のD/A変換回路106および第2のD/A変換回路114について、図3を用いて詳しく説明する。

【0066】

図3を参照する。図3は、第1のD/A変換回路106および第2のD/A変換回路114の概略図である。まず、図3を用いて第1のD/A変換回路106および第2のD/A変換回路114の動作を説明する。

【0067】

第1のD/A変換回路106は、4つの内部スイッチ(s w A 1 ~ s w A 4)を含むスイッチ回路s w Aと、4つの内部スイッチ(s w B 1 ~ s w B 4)を含むスイッチ回路s w Bと、階調電圧線107(V 0 ~ V 4)とによって構成される。第2のD/A変換回路114は、4つの内部スイッチ(s w C 1 ~ s w C 4)を含むスイッチ回路s w Cと、4つの抵抗(R 1 ~ R 4)と、スイッチ回路s w Dとによって構成される。なお、ここでは、配線自体が有する固有抵抗は便宜上考慮していない。

30

【0068】

本実施例においては、s w A 4はV 4に接続されている。s w A 3およびs w B 4はV 3に接続されている。s w A 2およびs w B 3はV 2に接続されている。s w A 1およびs w B 2はV 1に接続されている。また、s w B 1はV 0に接続されている。

【0069】

第1のD/A変換回路106においては、ラッチ回路を経てアドレス線aおよびbから供給される2ビットのデジタル信号が、s w Aおよびs w Bを制御する。ラッチ回路を経てアドレス線aおよびbから供給されるデジタル信号に応じて、s w Aの4つの内部スイッチ(s w A 1 ~ s w A 4)のうち、いずれか一つのスイッチだけが閉じるように設計されており、同時に2以上のスイッチが閉じることはない。また、アドレス線aおよびbから供給されるデジタル信号に応じて、s w Bの4つの内部スイッチ(s w B 1 ~ s w B 4)のうち、いずれか一つのスイッチだけが閉じるように設計されており、これらも同時に2以上のスイッチが閉じることはない。さらに、s w Aの4つの内部スイッチ(s w A 1 ~ s w A 4)とs w Bの4つの内部スイッチ(s w B 1 ~ s w B 4)とが閉じるタイミングには、次のような関係がある。すなわち、s w A 1が閉じる時はs w

40

50

B 1 が閉じ、s w A 2 が閉じる時は s w B 2 が閉じ、s w A 3 が閉じる時は s w B 3 が閉じ、かつ s w A 4 が閉じる時は s w B 4 が閉じるように設計されている。従って、s w A と s w B とによって、常に隣り合う 2 本の階調電圧線が選択されることになる。このようにして、いかなる 2 ビットのデジタル信号が入力された場合でも、s w A と s w B とによって 2 つの隣り合う階調電圧線が選択され、階調電圧が第 1 の出力線 1 0 8 (1 0 8 - 1 および 1 0 8 - 2) に供給される。ここで、s w A の 4 つの内部スイッチによって選択される第 1 の出力線を、第 1 の出力線 (H) 1 0 8 - 1 と呼ぶことにし、s w B の 4 つの内部スイッチによって選択される第 1 の出力線を、第 1 の出力線 (L) 1 0 8 - 2 と呼ぶことにする。

【 0 0 7 0 】

第 2 の D / A 変換回路 1 1 4 においては、ラッチ回路を経てアドレス線 c および d から供給される 2 ビットのデジタル信号が、s w C を制御する。ラッチ回路を経てアドレス線 c および d から供給されるデジタル信号に応じて、s w C の 4 つの内部スイッチ (s w C 1 ~ s w C 4) のうち、いずれか一つのスイッチだけが閉じる (O N 状態となる) ように設計されている。

【 0 0 7 1 】

また、内部スイッチ (s w C 1 ~ s w C 4) のうち、いずれか一つのスイッチが閉じる (O N 状態となる) 際には、少なくとも一時的にスイッチ (s w D) が開く (O F F 状態となる) ように設計されている。なお、スイッチ (s w D) が閉じる際には、内部スイッチ (s w C 1 ~ s w C 4) が閉じていても構わない。

【 0 0 7 2 】

第 1 の出力線 (H) 1 0 8 - 1 と第 1 の出力線 (L) 1 0 8 - 2 とに供給されている階調電圧が第 2 の D / A 変換回路 1 1 4 に印加される。また、第 1 の出力線 (H) 1 0 8 - 1 と第 1 の出力線 (L) 1 0 8 - 2 とは、4 つの直列に接続された抵抗 (R 1 ~ R 4) によって接続されている。

【 0 0 7 3 】

また、第 1 の出力線 (H) 1 0 8 - 1 と第 1 の出力線 (L) 1 0 8 - 2 とに供給されている階調電圧から、第 2 の D / A 変換回路の 4 つの抵抗 (R 1 ~ R 4) によって異なる 4 つの階調電圧が作られる。

【 0 0 7 4 】

よって、スイッチ s w D が閉じ、予め対応する階調電圧に近い電圧が第 2 の出力線に供給された後、スイッチ s w D を開け、s w C の 4 つの内部スイッチ (s w C 1 ~ s w C 4) のうち、いずれか一つのスイッチが閉じることで対応する階調電圧が第 2 の出力線 1 1 5 に供給される。第 2 の出力線 1 1 5 へ供給される階調電圧は、バッファ (図示せず) などを通してソース信号線 1 1 7 に供給される。

【 0 0 7 5 】

本実施例では、消費電力を抑えるため、第 1 の出力線 (L) 1 0 8 - 2 に印加される電圧を予め第 2 の出力線に供給しているが、特に限定されず、第 1 の出力線 (H) 1 0 8 - 1 に印加される電圧を予め第 2 の出力線に供給した後、抵抗を通じて印加される電圧値を差し引く回路として本来の階調電圧になるように設計してもよい。

【 0 0 7 6 】

なお、本実施例では、4 ビットのデジタル信号を上位 2 ビットと下位 2 ビットとに分割し、それぞれが s w A および s w B と s w C とのスイッチングを制御するようにしたが、4 ビットのデジタル信号の分割はこれに限定されるわけではない。

【 0 0 7 7 】

例えば、上位 3 ビットを s w A および s w B のスイッチングに使用し、下位 1 ビットを s w C のスイッチングに使用することもできる。この場合、s w A および s w B の内部スイッチの数は、それぞれ 8 個となり (s w A 1 ~ s w A 8 、 s w B 1 ~ s w B 8) 、階調電圧線の本数は 9 本 (V 0 ~ V 8) となる。また、s w C の内部スイッチの数は 2 個 (s w C 1 および s w C 2) となり、抵抗の数は 2 個 (R 1 および R 2) となる。スイッチ

10

20

30

40

50

s w Dが閉じ、予め対応する階調電圧に近い電圧が第2の出力線に供給された後、スイッチs w Dを開け、s w Aに3ビットのデジタル信号が入力され、s w Aの8個の内部スイッチのうち1つが閉じ、1つの階調電圧線が選択され、その電圧が第1の出力線(H)に供給される。

また、スイッチs w Dが閉じ、予め対応する階調電圧に近い電圧が第2の出力線に供給された後、スイッチs w Dを開け、s w Bに3ビットのデジタル信号が入力され、s w Bの8個の内部スイッチのうち1つが閉じ、1つの階調電圧線が選択され、その電圧が第1の出力線(L)に供給される。s w Cには1ビットのデジタル信号が入力され、s w Cの2個の内部スイッチのうち1つが閉じ、対応する階調電圧が第2の出力線に供給される。第2の出力線へ供給される階調電圧は、バッファなどを通してソース信号線に供給される。

10

【0078】

また、本実施例では、4ビットのデジタル信号を扱うD/A変換回路について説明したが、本発明によると、nビット(nは2以上の自然数)のデジタル信号を扱うD/A変換回路が実現され得る。この場合、nビットのデジタル信号を、上位xビットと下位yビットとに分割して捉えることができる($x + y = n$)。この場合、s w Aの内部スイッチの数は 2^x 個(s w A 1 ~ s w A 2^x)となり、s w Bの内部スイッチの数も同じく 2^x 個(s w B 1 ~ s w B 2^x)となる。また、階調電圧線の本数は($2^x + 1$)本となる。さらに、s w Cの内部スイッチの数は 2^y 個(s w C 1 ~ s w C 2^y)となり、抵抗の数も 2^y 個(R 1 ~ R 2^y)となる。

【0079】

ここで、本実施例のD/A変換回路を備えたアクティブマトリクス型液晶表示装置の製造方法について以下に述べることにする。なお、以下の製造方法は、本発明の一実施例にすぎず、他の製造方法によっても本発明のD/A変換回路が実現され得る。

20

【0080】

ここでは表示領域の画素T F Tと、表示領域の周辺に設けられる駆動回路のT F Tを同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路であるC M O S回路と、サンプリング回路を形成するnチャンネル型T F Tとを図示することにする。

【0081】

図6(A)において、基板601には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10~20程度低い温度であらかじめ熱処理しておいても良い。この基板601のT F Tを形成する表面には、基板601からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜602を形成する。例えば、プラズマC V D法でS i H₄、N H₃、N₂Oから作製される酸化窒化シリコン膜を100nm、同様にS i H₄、N₂Oから作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

30

【0082】

次に、20~150nm(好ましくは30~80nm)の厚さで非晶質構造を有する半導体膜603aを、プラズマC V D法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマC V D法で非晶質シリコン膜を55nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜602と非晶質シリコン膜603aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。

40

下地膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するT F Tの特性バラツキやしきい値電圧の変動を低減させることができる。(図6(A))

【0083】

そして、公知の結晶化技術を使用して非晶質シリコン膜603aから結晶質シリコン膜

50

603bを形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜603bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400~500で1時間程度の熱処理を行い、含有水素量を5atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では55nm）よりも1~15%程度減少した。（図6（B））

【0084】

そして、結晶質シリコン膜603bを島状に分割して、島状半導体層604~607を形成する。その後、プラズマCVD法またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層608を形成する。（図6（C））

10

【0085】

そしてレジストマスク609を設け、nチャネル型TFTを形成する島状半導体層605~607の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³程度の濃度でp型を付与する不純物元素としてボロン（B）を添加した。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン（B）添加は必ずしも必要でないが、ボロン（B）を添加した半導体層610~612はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。（図6（D））

20

【0086】

駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層610、611に選択的に添加する。そのため、あらかじめレジストマスク613~616を形成した。n型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（PH₃）を用いたイオンドープ法を適用した。形成された不純物領域617、618のリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の範囲とすれば良い。本明細書中では、ここで形成された不純物領域617~619に含まれるn型を付与する不純物元素の濃度を（n⁻）と表す。また、不純物領域619は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン（P）を添加した。（図7（A））

30

【0087】

次に、マスク層608をフッ酸などにより除去して、図6（D）と図7（A）で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500~600で1~4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光（波長248nm）を用い、線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0088】

そして、ゲート絶縁膜620をプラズマCVD法またはスパッタ法を用いて10~150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。（図7（B））

40

【0089】

次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層（A）621と金属膜から成る導電層（B）622とを積層させた。導電層（B）622はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）

50

から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的にはMo-W合金膜、Mo-Ta合金膜）で形成すれば良く、導電層（A）121は窒化タンタル（Ta₂N₃）、窒化タングステン（WN）、窒化チタン（TiN）膜、窒化モリブデン（MoN）で形成する。また、導電層（A）621は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層（B）は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン（W）は酸素濃度を30ppm以下とすることで20μm以下の比抵抗値を実現することができた。

【0090】

導電層（A）621は10～50nm（好ましくは20～30nm）とし、導電層（B）622は200～400nm（好ましくは250～350nm）とすれば良い。本実施例では、導電層（A）621に30nmの厚さの窒化タンタル膜を、導電層（B）622には350nmのTa膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層（A）621の下に2～20nm程度の厚さでリン（P）をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層（A）または導電層（B）が微量に含有するアルカリ金属元素がゲート絶縁膜620に拡散するのを防ぐことができる。（図7（C））

10

【0091】

次に、レジストマスク623～627を形成し、導電層（A）621と導電層（B）622とを一括でエッチングしてゲート電極628～631と容量配線632を形成する。ゲート電極628～631と容量配線632は、導電層（A）から成る628a～632aと、導電層（B）から成る628b～632bとが一体として形成されている。この時、駆動回路に形成するゲート電極629、630は不純物領域617、618の一部と、ゲート絶縁膜620を介して重なるように形成する。（図7（D））

20

【0092】

次いで、駆動回路のpチャネル型TFETのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極628をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETが形成される領域はレジストマスク633で被覆しておく。そして、ジボラン（B₂H₆）を用いたイオンドープ法で不純物領域634を形成した。この領域のボロン（B）濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域634に含まれるp型を付与する不純物元素の濃度を（p⁺）と表す。（図8（A））

30

【0093】

次に、nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク635～637を形成し、n型を付与する不純物元素が添加して不純物領域638～642を形成した。これは、フォスフィン（PH₃）を用いたイオンドープ法で行い、この領域のリン（P）濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域638～642に含まれるn型を付与する不純物元素の濃度を（n⁺）と表す。（図8（B））

40

【0094】

不純物領域638～642には、既に前工程で添加されたリン（P）またはボロン（B）が含まれているが、それに比して十分に高い濃度でリン（P）が添加されるので、前工程で添加されたリン（P）またはボロン（B）の影響は考えなくても良い。また、不純物領域638に添加されたリン（P）濃度は図8（A）で添加されたボロン（B）濃度の1/2～1/3なのでp型の導電性が確保され、TFETの特性に何ら影響を与えることはなかった。

50

【0095】

そして、画素マトリクス回路のnチャンネル型TF TのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極631をマスクとして自己整合的にn型を付与する不純物元素をイオンドーピング法で添加した。添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図7(A)および図8(A)と図8(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域643、644のみが形成される。本明細書中では、この不純物領域643、644に含まれるn型を付与する不純物元素の濃度を(n^+)と表す。(図8(C))

【0096】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーンズアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーンズアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~800、代表的には500~600で行うものであり、本実施例では550で4時間の熱処理を行った。また、基板601に石英基板のような耐熱性を有するものを使用した場合には、800で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャンネル形成領域との接合を良好に形成することができた。

【0097】

この熱処理において、ゲート電極628~631と容量配線632形成する金属膜628b~632bは、表面から5~80nmの厚さで導電層(C)628c~632cが形成される。例えば、導電層(B)628b~632bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層(C)628c~632cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極628~631を晒しても同様に形成することができ。さらに、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0098】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でもTF Tを完成させることが可能であるが、残留する触媒元素を少なくともチャンネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッターリング作用を利用する手段があった。ゲッターリングに必要なリン(P)の濃度は図8(B)で形成した不純物領域(n^+)と同程度であり、ここで実施される活性化工程の熱処理により、nチャンネル型TF Tおよびpチャンネル型TF Tのチャンネル形成領域から触媒元素をゲッターリングすることができた。(図8(D))

【0099】

図11(A)および図12(A)はここまでの工程におけるTF Tの上面図であり、A-A'断面およびC-C'断面は図8(D)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図8(A)および図9(A)の断面図に対応している。図11および図12の上面図はゲート絶縁膜を省略しているが、ここまでの工程で少なくとも島状半導体層604~607上にゲート電極628~631と容量配線632が図に示すように形成されている。

【0100】

活性化および水素化の工程が終了したら、ゲート配線とする第2の導電膜を形成する。この第2の導電膜は低抵抗材料であるアルミニウム(Al)や銅(Cu)を主成分とする導電層(D)と、にチタン(Ti)やタンタル(Ta)、タングステン(W)、モリブデ

10

20

30

40

50

ン (Mo) から成る導電層 (E) とで形成すると良い。本実施例では、チタン (Ti) を 0.1 ~ 2 重量% 含むアルミニウム (Al)

膜を導電層 (D) 645 とし、チタン (Ti) 膜を導電層 (E) 646 として形成した。導電層 (D) 645 は 200 ~ 400 nm (好ましくは 250 ~ 350 nm) とすれば良く、導電層 (E) 646 は 50 ~ 200 (好ましくは 100 ~ 150 nm) で形成すれば良い。(図9(A))

【0101】

そして、ゲート電極に接続するゲート配線を形成するために導電層 (E) 646 と導電層 (D) 645 とをエッチング処理して、ゲート配線 647、648 と容量配線 649 を形成した。エッチング処理は最初に SiCl_4 と Cl_2 と BCl_3 との混合ガスを用いたドライエッチング法で導電層 (E) の表面から導電層 (D) の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層 (D) を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

10

【0102】

図11(B) および図12(B) はこの状態の上面図を示し、A-A'断面およびC-C'断面は図9(B) のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図8(B) および図9(B) のB-B'およびD-D'に対応している。図11(B) および図12(B) において、ゲート配線 647、648 の一部は、ゲート電極 628、629、631 の一部と重なり電氣的に接触している。この様子はB-B'断面およびD-D'断面に対応した図8(B) および図9(B) の断面構造図からも明らかで、第1の導電層を形成する導電層 (C) と第2の導電層を形成する導電層 (D) とが電氣的に接触している。

20

【0103】

第1の層間絶縁膜 650 は 500 ~ 1500 nm の厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線 651 ~ 654 と、ドレイン配線 655 ~ 658 を形成する。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した3層構造の積層膜とした。

【0104】

次に、パッシベーション膜 659 として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を 50 ~ 500 nm (代表的には 100 ~ 300 nm) の厚さで形成する。この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3 ~ 100% の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 659 に開口部を形成しておいても良い。(図9(C))

30

【0105】

図11(C) および図12(C) のはこの状態の上面図を示し、A-A'断面およびC-C'断面は図9(C) のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図8(C) および図9(C) のB-B'およびD-D'に対応している。図11(C) と図12(C) では第1の層間絶縁膜を省略して示すが、島状半導体層 604、605、607 の図示されていないソースおよびドレイン領域にソース配線 651、652、654 とドレイン配線 655、656、658 が第1の層間絶縁膜に形成されたコンタクトホールを介して接続している。

40

【0106】

その後、有機樹脂からなる第2の層間絶縁膜 660 を 1.0 ~ 1.5 μm の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 で焼成して形成した。そして、第2の層間絶縁

50

膜660にドレイン配線658に達するコンタクトホールを形成し、画素電極661、662を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。(図10)

【0107】

こうして同一基板上に、駆動回路のTFTと表示領域の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT701、第1のnチャネル型TFT702、第2のnチャネル型TFT703、表示領域には画素TFT704、保持容量705が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

10

【0108】

駆動回路のpチャネル型TFT701には、島状半導体層604にチャネル形成領域706、ソース領域707a、707b、ドレイン領域708a、708bを有している。第1のnチャネル型TFT702には、島状半導体層605にチャネル形成領域709、ゲート電極629と重なるLDD領域710(以降、このようなLDD領域をLovと記す)、ソース領域711、ドレイン領域712を有している。このLov領域のチャネル長方向の長さは0.5~3.0 μ m、好ましくは1.0~1.5 μ mとした。第2のnチャネル型TFT703には、島状半導体層606にチャネル形成領域713、LDD領域714、715、ソース領域716、ドレイン領域717を有している。このLDD領域はLov領域とゲート電極630と重ならないLDD領域(以降、このようなLDD領域をLoffと記す)とが形成され、このLoff領域のチャネル長方向の長さは0.3~2.0 μ m、好ましくは0.5~1.5 μ mである。画素TFT704には、島状半導体層607にチャネル形成領域718、719、Loff領域720~723、ソースまたはドレイン領域724~726を有している。Loff領域のチャネル長方向の長さは0.5~3.0 μ m、好ましくは1.5~2.5 μ mである。さらに、容量配線632、649と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT704のドレイン領域726に接続し、n型を付与する不純物元素が添加された半導体層227とから保持容量705が形成されている。図10では画素TFT704をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

20

30

【0109】

次に、上記工程によって作成されたアクティブマトリクス基板をもとに、図13に示したアクティブマトリクス型液晶表示装置を作成する工程を説明する。

【0110】

まず、図10の状態のアクティブマトリクス基板に配向膜801を形成する。次に、対向基板802を用意する。対向基板は、遮光膜803、対向電極804、配向膜805とで構成される。

【0111】

なお、本実施例では、配向膜には液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

40

【0112】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材(ここでは図示しない)やスペーサ(ここでは図示しない)などを介して貼り合わせる。その後、両基板の間に液晶材料806を注入し、封止剤によって完全に封止する。こうして透過型のアクティブマトリクス型液晶表示装置が完成する。

【0113】

なお、本実施例では、液晶パネルがTN(ツイストネマチック)モードによって表示を行うようにした。そのため、1対の偏光板がクロスニコル(1対の偏光板が、それぞれの偏光軸を直交させるような状態)で、液晶パネルを挟持するように配置された。

50

【0114】

よって、本実施例では、液晶表示装置に電圧が印加されていないとき白表示となる、いわゆるノーマリホワイトモードで表示を行うことが理解される。

【0115】

なお、本実施例の液晶パネルは、FPCを取り付ける端面のみアクティブマトリクス基板が外部に出ており、残りの3つの端面は揃っている。

【0116】

上述した製造方法によって、本実施例のD/A変換回路は、アクティブマトリクス液晶表示装置の他の駆動回路、他の周辺装置と共に、石英基板やガラス基板などの絶縁基板上に一体形成され得ることが理解される。

10

【0117】

以上のように、本願発明の半導体装置はD/A変換回路に様々な特徴を有しており、これらの相乗効果によって明るく高精細な画像が得られ、動作性能および信頼性の高い電気光学装置を得る。そして、そのような電気光学装置を部品として搭載した高性能な電子機器を得る。

【0118】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL(エレクトロルミネセンス)表示装置やEC(エレクトロクロミックス)表示装置に本願発明を適用することも可能であることは言うまでもない。

【実施例2】

20

【0119】

本実施例では、本発明のD/A変換回路の別の実施形態について説明する。なお、本実施例では8ビットのD/A変換回路を例にとって説明するが、本発明はこれに限定されるわけではなく、2ビット以上の信号を扱うD/A変換回路が実現される。

【0120】

また、本実施例においては、画素数が、横1920×縦1080である液晶表示装置の駆動回路に備えられたD/A変換回路を例にとって説明する。

【0121】

図4を参照する。図4には本実施例の液晶表示装置の概略構成図が示されている。本実施例の液晶表示装置は、第1のソース信号線側シフトレジスタ501、デジタルデコーダのアドレス線(a、b、c、d)502、ラッチ回路(LAT1, 0~LAT1, 1919)503、ラッチ回路(LAT2, 0~LAT2, 1919)504、ラッチパルス線505、スイッチング回路506、第1のD/A変換回路(1st-D/A, 0~1st-D/A, 479)507、階調電圧線(V0~V16)508、第1のD/A変換回路の第1の出力線509(509-1および509-2)、第2のソース信号線側シフトレジスタ510、デジタルデコーダのアドレス線(e、f、g、h)511、ラッチ回路(LAT3, 0~LAT3, 1919)512、ラッチ回路(LAT4, 0~LAT4, 1919)513、ラッチパルス線514、スイッチング回路515、第2のD/A変換回路(2nd-D/A, 0~2nd-D/A, 479)516、第2のD/A変換回路の第2の出力線517、スイッチング回路518、ゲイト信号線側シフトレジスタ519、ソース信号線520、ゲイト信号線(走査線)521、および画素TF T522などによって構成されている。

30

40

【0122】

外部から供給される8ビットのデジタル信号のうち、上位4ビットのデジタル信号がアドレス線a、b、cおよびdに供給され、下位4ビットのデジタル信号がアドレス線e、f、gおよびhに供給されるようになっている。

【0123】

17本の階調電圧線(V0~V16)508には、V0~V16間に印加される電圧を抵抗分割することによって、それぞれ異なる電圧が供給されるようになっている。また、V16の方がV0よりも高い電圧がに印加されている。つまり、本実施例においても、実

50

施例 1 と同様に V 1 6、V 1 5、... ..、V 1、V 0 の順に高い電圧が印加されている。

【 0 1 2 4 】

第 1 のソース信号線側シフトレジスタ 5 0 1 が、ラッチ回路 5 0 3 (L A T 1 , 0 ~ L A T 1 , 1 9 1 9) にラッチ信号を順次供給し、ラッチ信号が入力されるタイミングでラッチ回路 5 0 3 がアドレス線 5 0 2 (a、b、c、d) からデジタル信号が取り込まれ、保持されるステップ、およびラッチ回路 5 0 4 (L A 2 , 0 ~ L A T 2 , 1 9 1 9) にラッチ信号が入力され、ラッチ回路 5 0 3 からデジタル信号が取り込まれ、保持されるステップは、実施例 1 に従うのでここでは省略する。

【 0 1 2 5 】

ラッチ回路 5 0 4 (L A T 2 , 0 ~ L A T 2 , 1 9 1 9) に取り込み、保持された 4 ビットのデジタル信号は、スイッチング回路 5 0 6 に入力される。本実施例では、第 1 の D / A 変換回路 5 0 1 および第 2 の D / A 変換回路 5 1 0 がソース信号線 4 本に 1 つの割合で備わっている。そのため、スイッチング回路 5 0 6 による、ラッチ回路の選択が必要となっている。実際には、それぞれのラッチ回路は、4 分の 1 ライン期間づつ選択されることになる。なお、スイッチング回路 5 0 6 の機能の詳細については、本出願人による特願平 9 - 2 8 6 0 9 8 号の実施例 1 に記載されているので参照されたい。

10

【 0 1 2 6 】

本実施例では、4 本のソース信号線に対して 1 組の D / A 変換回路 (第 1 の D / A 変換回路および第 2 の D / A 変換回路) が備わっているので、4 つのラッチ回路 L A T 2 , 0 ~ 3 においては、それぞれ 1 ライン期間の 4 分の 1 の期間ずつだけ、スイッチング回路 5 0 6 によって選択され、第 1 の D / A 変換回路 (1 s t - D / A , 0) に 4 ビットのデジタル信号を供給する。

20

【 0 1 2 7 】

4 ビットのデジタル信号は、第 1 の D / A 変換回路 5 0 7 によって、階調電圧に変換され、第 2 の D / A 変換回路 5 1 6 に供給される。

【 0 1 2 8 】

第 2 のソース線側シフトレジスタ 5 1 0 が、ラッチ回路 5 1 2 (L A T 3 , 0 ~ L A T 3 , 1 9 1 9) にラッチ信号を順次供給し、ラッチ信号が入力されるタイミングでアドレス線 5 1 1 (e、f、g、h) からデジタル信号を取り込み、保持するステップは、およびラッチ回路 5 1 3 (L A T 4 , 0 ~ L A T 4 , 1 9 1 9) にラッチ信号が入力され、ラッチ回路 5 1 2 からデジタル信号が取り込まれ、保持されるステップは、実施例 1 に従うのでここでは省略する。なお、本実施例においても、第 1 のソース信号線側シフトレジスタがラッチ回路 5 0 3 (L A T 1 , 0 ~ L A T 1 , 1 9 1 9) にラッチ信号を送出するタイミングと、第 2 のソース信号線側シフトレジスタがラッチ回路 5 1 2 (L A T 3 , 0 ~ L A T 3 , 1 9 1 9) にラッチ信号を送出するタイミングとは同じである。

30

【 0 1 2 9 】

ラッチ回路 (L A T 4 , 0 ~ L A T 4 , 1 9 1 9) に取り込み、保持された 4 ビットのデジタル信号は、スイッチング回路 5 1 5 に入力される。ここでも、スイッチング回路 5 0 6 による、ラッチ回路の選択が必要となっている。ここでも、ラッチ回路は、4 分の 1 ライン期間づつ選択される。こうして、第 2 の D / A 変換回路 5 1 6 には、ラッチ回路から 4 ビットのデジタル信号が順次取り込まれる。

40

【 0 1 3 0 】

第 2 の D / A 変換回路 5 1 6 は、入力されるデジタル信号に応じた階調電圧を出力線 5 1 7 に供給する。

【 0 1 3 1 】

ここで、本実施例の第 1 および第 2 の D / A 変換回路について説明する。図 5 を参照する。図 5 は、第 1 の D / A 変換回路 5 0 7 および第 2 の D / A 変換回路 5 1 6 の概略図である。まず、図 5 を用いて第 1 の D / A 変換回路 5 0 7 および第 2 の D / A 変換回路 5 1 6 の動作を説明する。

【 0 1 3 2 】

50

第1のD/A変換回路507は、16個のスイッチ(s w A 1 ~ s w A 1 6)を含むスイッチ回路s w Aと、16個のスイッチ(s w B 1 ~ s w B 1 6)を含むスイッチ回路s w Bと、17本の階調電圧線(V 0 ~ V 1 6)とによって構成される。第2のD/A変換回路516は、16個のスイッチ(s w C 1 ~ s w C 1 6)を含むスイッチ回路s w Cと、スイッチ回路s w Dと、16個の抵抗(R 1 ~ R 1 6)とによって構成される。各抵抗(R 1 ~ R 1 6)の値は、第1の出力線(H)509-1と第1の出力線(L)509-2との間に大電流が印加され素子破壊するのを防止するため、大きく設計するとよい。加えて、各抵抗値を大きくすることにより消費電力を抑えることもできる。一方、スイッチ回路s w Dは、スイッチング機能を有する回路であれば特に限定されない。なお、ここでは、配線自体が有する固有抵抗については便宜上考慮していない。

10

【0133】

第1のD/A変換回路507において、スイッチング回路506によって選択されたラッチ回路を経てアドレス線a、b、cおよびdから供給される4ビットのデジタル信号が、s w Aおよびs w Bを制御する。s w Aの16個のスイッチ(s w A 1 ~ s w A 1 6)において、ラッチ回路を経てアドレス線a、b、cおよびdから供給されるデジタル信号階調号に応じて、いずれか一つのスイッチだけが閉じるようになっており、同時に2以上のスイッチが閉じることはない。また、s w Bの16個のスイッチ(s w B 1 ~ s w B 1 6)においても、ラッチ回路を経てアドレス線a、b、cおよびdから供給されるデジタル信号に応じて、いずれか一つのスイッチだけが閉じるようになっており、同時に2以上のスイッチが閉じることはない。さらに、s w Aの4つのスイッチとs w Bの4つのスイッチとが閉じるタイミングには、次のような関係がある。すなわち、s w A 1が閉じる時はs w B 1が閉じ、s w A 2が閉じる時はs w B 2が閉じ、s w A 3が閉じる時はs w B 3が閉じ、かつs w A 4が閉じる時はs w B 4が閉じるように設計されている。他のスイッチに関しても、s w A nとs w B nと(1 ≤ n ≤ 16; nは自然数)が同時に閉じるようになっており、従って、s w Aとs w Bとによって、常に2つの隣り合う階調電圧線が選択されることになる。このようにして、s w Aとs w Bとによって2つの隣り合う階調電圧線が選択され、第1の出力線(H)509-1と第1の出力線(L)509-2とに供給される。

20

【0134】

第2のD/A変換回路516において、ラッチ回路を経てアドレス線e、f、gおよびhから供給される4ビットのデジタル信号が、s w Cを制御する。s w Cの16個のスイッチ(s w C 1 ~ s w C 1 6)において、アドレス線e、f、gおよびhから供給されるデジタル信号に応じて、いずれか一つのスイッチだけが閉じるようになっている。

30

【0135】

ただし、s w Cが閉じる前に、スイッチ回路s w Dが閉じ対応する階調電圧に近い電圧が予めソース信号線520に供給される。また、s w Cが閉じている間は、スイッチ回路s w Dが少なくとも一時的に開くよう設計されている。なお、ここでは図示しないが、スイッチ回路s w Dの開閉をコントロールする信号が印加される信号線は別に設けられている。

【0136】

第1の出力線(H)509-1に供給されている階調電圧と、第1の出力線(L)509-2に供給されている階調電圧から、16個の抵抗(R 1 ~ R 1 6)によって16の異なる階調電圧が作られる。スイッチs w Dが閉じ、予め対応する階調電圧に近い電圧が第2の出力線に供給された後、スイッチs w Dを開け、16個のスイッチ(s w C)のうち、いずれか一つのスイッチが閉じ、対応する階調電圧が第2の出力線517に供給される。第2の出力線517へ供給される階調電圧は、バッファ(図示せず)などを通してソース信号線520に供給される。

40

【0137】

よって、本実施例では、8ビットのデジタル信号のうち上位4ビットによって16通りの階調電圧を選択することができ、下位4ビットによって選択された階調電圧から更に1

50

6通りの階調電圧を出力することができる。よって、16(上位4ビット)×16(下位4ビット)=256通りの階調電圧を選択することができる。

【実施例3】

【0138】

本実施例では、実施例1と異なるD/A変換回路の例を図16に示す。なお、図3に示した回路構成とはスイッチ回路の一部が異なるだけでその他は同一であるので、同じ構成については同一の符号を用いることとする。

【0139】

図16に示した回路構成においては、swDのスイッチ回路にswC(swC1~swC4)のうち、一つのスイッチ回路の機能を兼ね備えた回路構成としてもよい。本実施例では、図16中に示したswD(swC1)は、予め本来の階調電圧に近い電圧値を印加するタイミングをコントロールする信号と、swC1を開閉するタイミングをコントロールする信号とによって開閉するように設計されている。こうすることでスイッチング素子の数を低減することができるため、回路の小型化を図ることができる。

【実施例4】

【0140】

本実施例では、実施例1と異なるD/A変換回路の例を図17に示す。なお、図3に示した回路構成とはスイッチ回路の一部が異なるだけでその他は同一であるので、同じ構成については同一の符号を用いることとする。

【0141】

図17に示した回路構成においては、swC(swC1~swC4)のうち一つのスイッチ回路にswDのスイッチ回路の機能を兼ね備えた回路構成としてもよい。本実施例では、図17中に示したswC1(swD)は、swC1を開閉するタイミングをコントロールする信号と、予め本来の階調電圧に近い電圧値を印加するタイミングをコントロールする信号とによって開閉するように設計されている。こうすることでスイッチング素子の数を低減することができるため、回路の小型化を図ることができる。

【実施例5】

【0142】

本実施例では、実施例1と異なるD/A変換回路の例を図18に示す。なお、図3に示した回路構成とはバッファ回路の有無が異なるだけでその他は同一であるので、同じ構成については同一の符号を用いることとする。

【0143】

図18に示した回路構成においては、第2の出力線1115にバッファ回路(オペアンプ、ソースフォロワ等)1113を設けた第2のD/A変換回路1114を示した。このような回路構成とすると、このバッファ回路の入力を高インピーダンスにすることが可能であるので、アナログスイッチに関する要求が緩和されるため好ましい。

【実施例6】

【0144】

本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器(携帯電話、PHS、モバイルコンピュータ)用の高周波回路に適用しても良い。

【実施例7】

【0145】

本発明を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0146】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ウェアラブルディスプレイ、カーナビゲーション、パ

10

20

30

40

50

ーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図14に示す。

【0147】

図14（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本願発明を画像入力部2002、表示装置2003やその他の信号制御回路に適用することができる。

【0148】

図14（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

10

【0149】

図14（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0150】

図14（D）はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0151】

図14（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示装置2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

20

本発明は表示装置2402やその他の信号制御回路に適用することができる。

【0152】

図14（F）はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部（図示しない）で構成される。本願発明を表示装置2502やその他の信号制御回路に適用することができる。

30

【0153】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～6のどのような組み合わせからなる構成を用いても実現することができる。

【実施例8】

【0154】

本発明を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0155】

その様な電子機器としては、プロジェクター（リア型またはフロント型）などが挙げられる。それらの一例を図15に示す。

40

【0156】

図15（A）はフロント型プロジェクターであり、表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0157】

図15（B）はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0158】

なお、図15（C）は、図15（A）及び図15（B）中における表示装置2601、

50

2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図15(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0159】

また、図15(D)は、図15(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図15(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

10

【0160】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~5のどのような組み合わせからなる構成を用いても実現することができる。

【図面の簡単な説明】

【0161】

20

【図1】本発明のD/A変換回路を備えたアクティブマトリクス型液晶表示装置の概略構成図である。

【図2】ラッチ回路の回路図である。

【図3】本発明のD/A変換回路の構成図である。

【図4】本発明のD/A変換回路を備えたアクティブマトリクス型液晶表示装置の構成図である。

【図5】本発明のD/A変換回路の構成図である。

【図6】画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図7】画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図8】画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

30

【図9】画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図10】画素TFT、保持容量、駆動回路のTFTの断面図。

【図11】画素TFT、保持容量、駆動回路のTFTの作製工程を示す上面図。

【図12】画素TFT、保持容量、駆動回路のTFTの作製工程を示す上面図。

【図13】液晶表示装置の断面図。

【図14】電子機器の一例を示す図。

【図15】電子機器の一例を示す図。

【図16】本発明のD/A変換回路の回路例である。

【図17】本発明のD/A変換回路の回路例である。

【図18】本発明のD/A変換回路の回路例である。

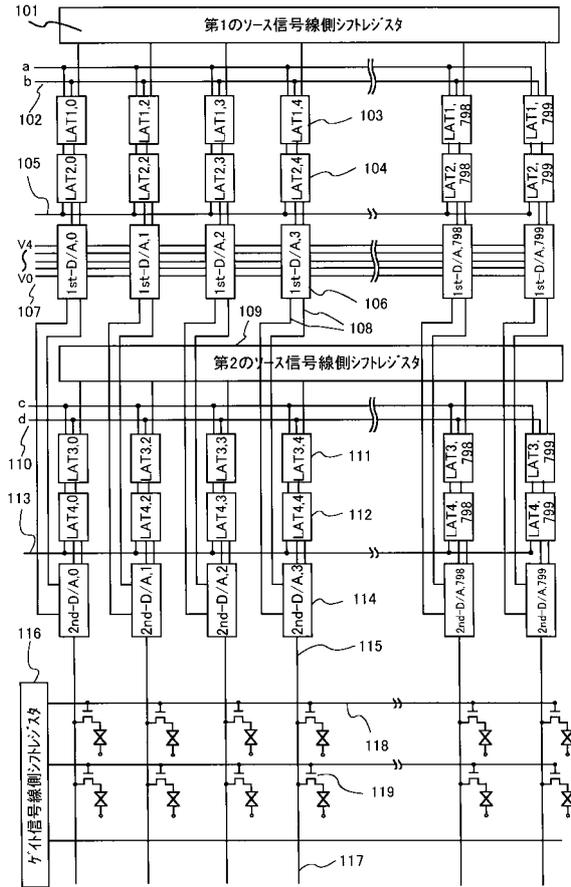
40

【図19】従来のデジタル駆動方式の液晶表示装置の構成図である。

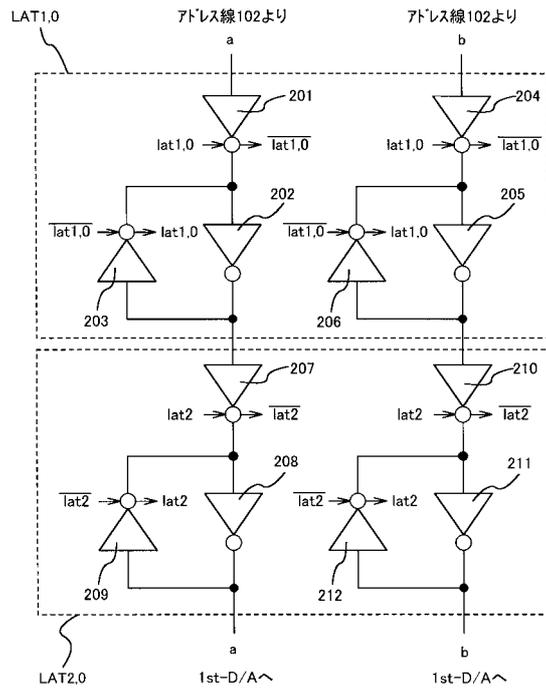
【図20】従来のデジタル駆動方式の液晶表示装置に用いられているD/A変換回路である。

【図21】従来のデジタル駆動方式の液晶表示装置に用いられているD/A変換回路である。

【図1】

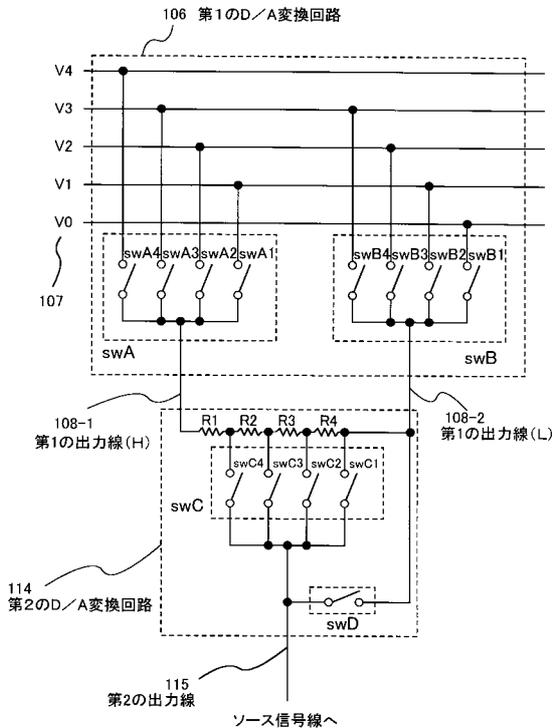


【図2】

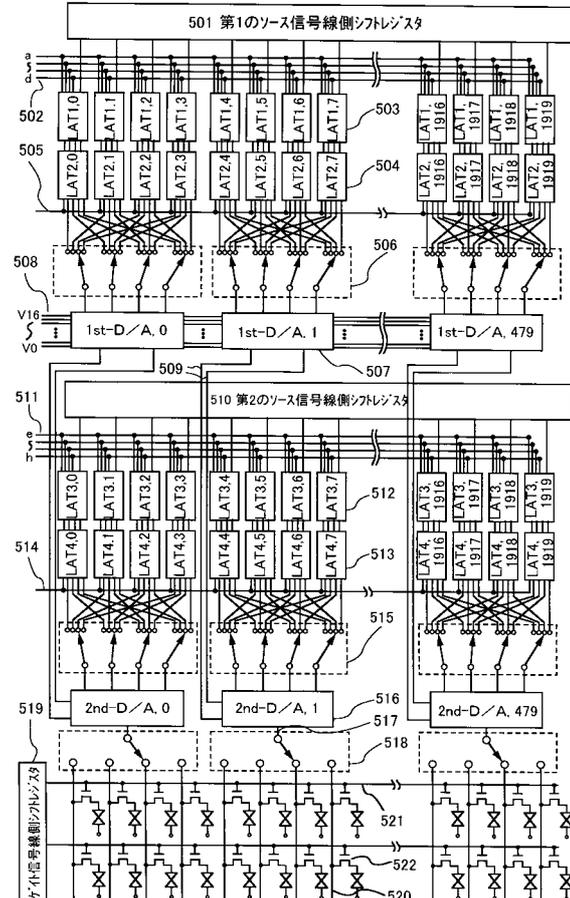


201, 203, 204, 206, 207, 209, 210, 212 クロックインバータ
 202, 205, 208, 211 インバータ

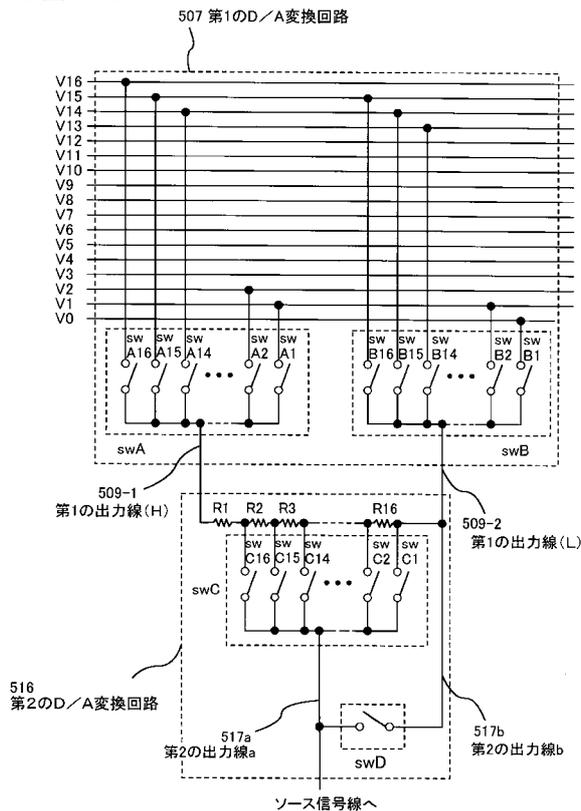
【図3】



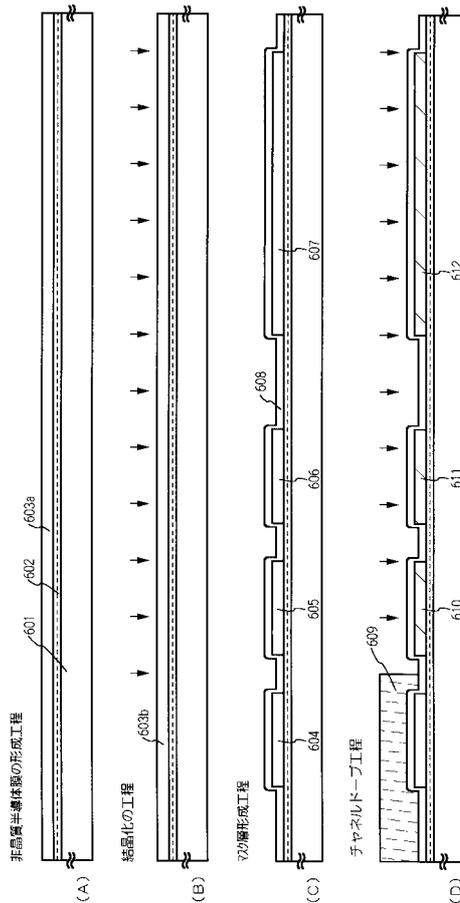
【図4】



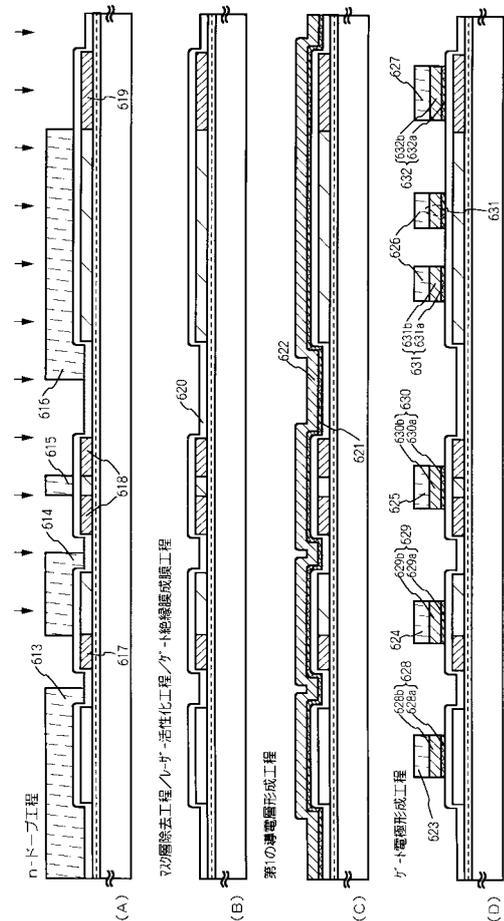
【図5】



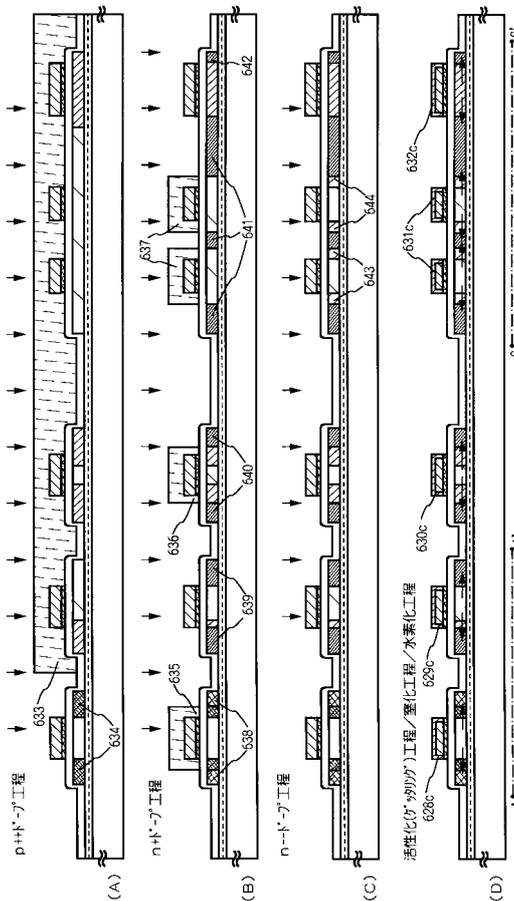
【図6】



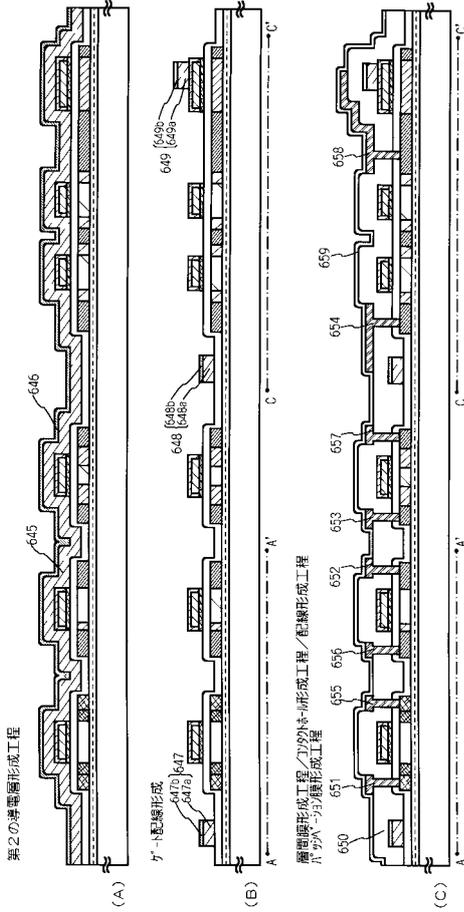
【図7】



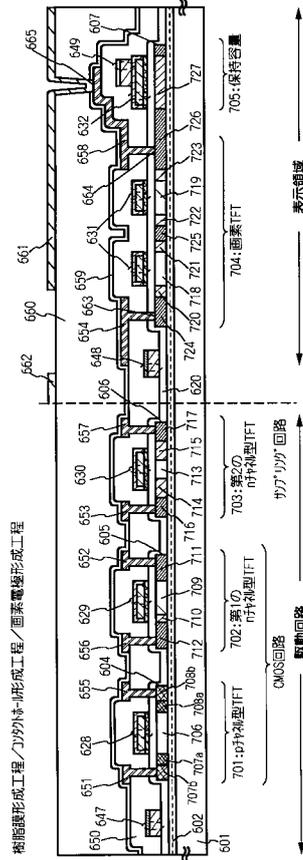
【図8】



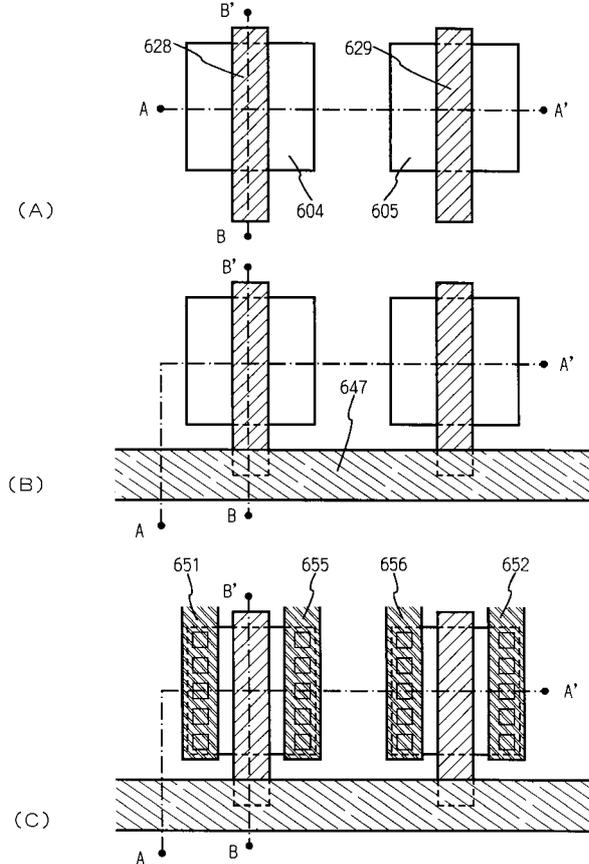
【図9】



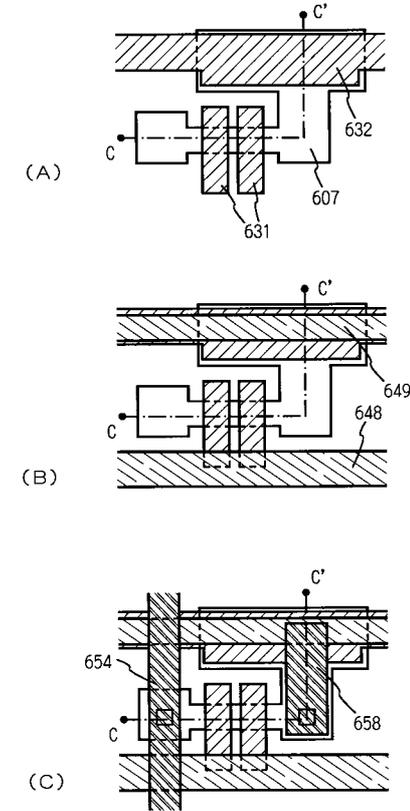
【図10】



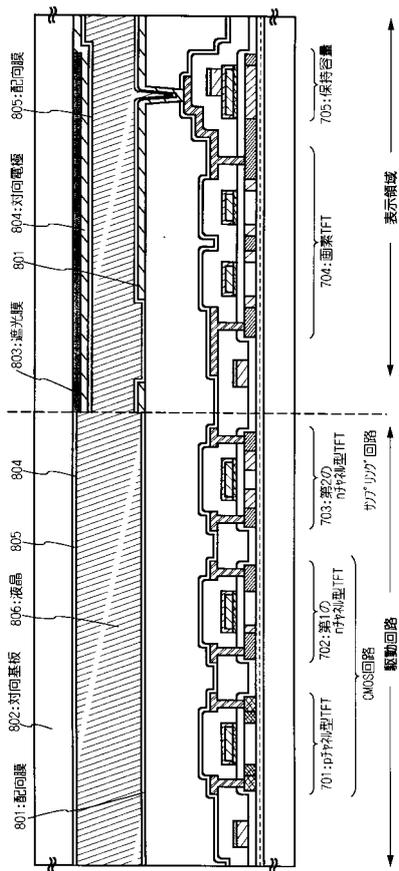
【図11】



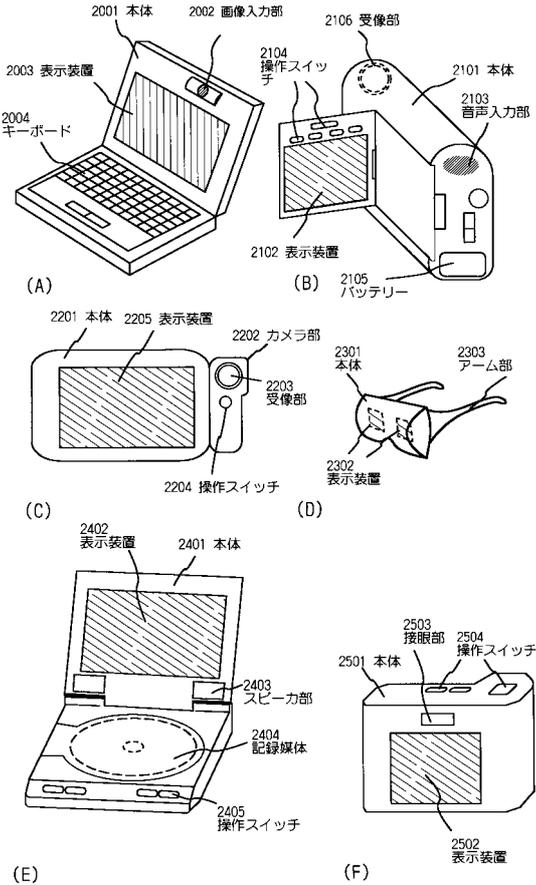
【図12】



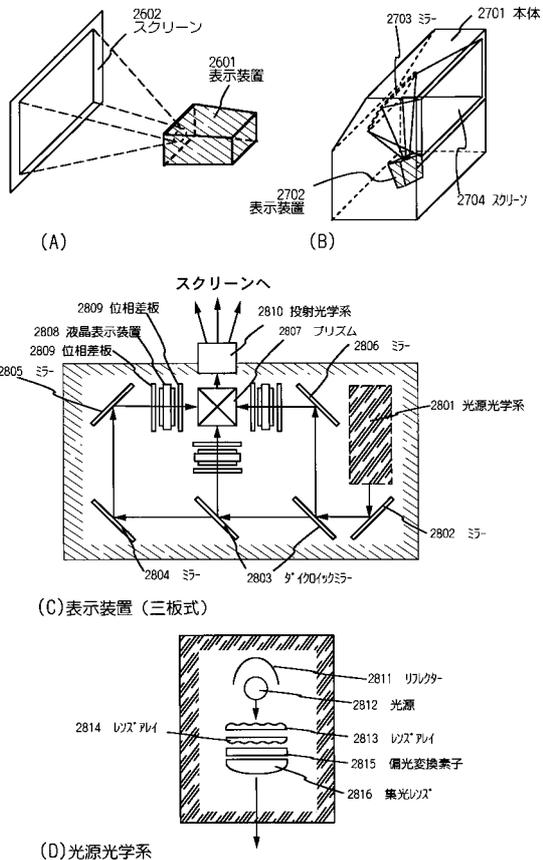
【図13】



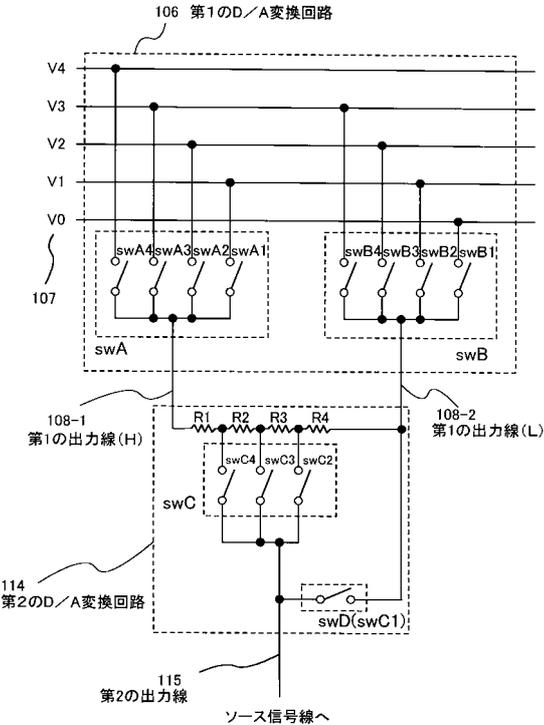
【図14】



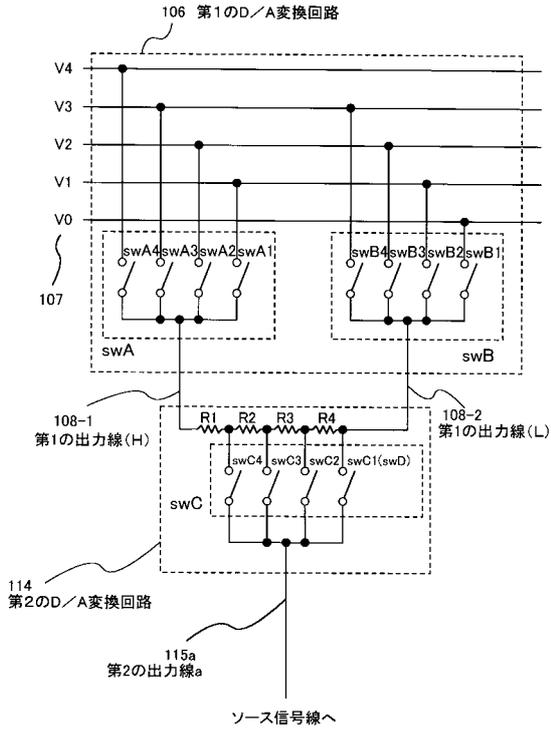
【図15】



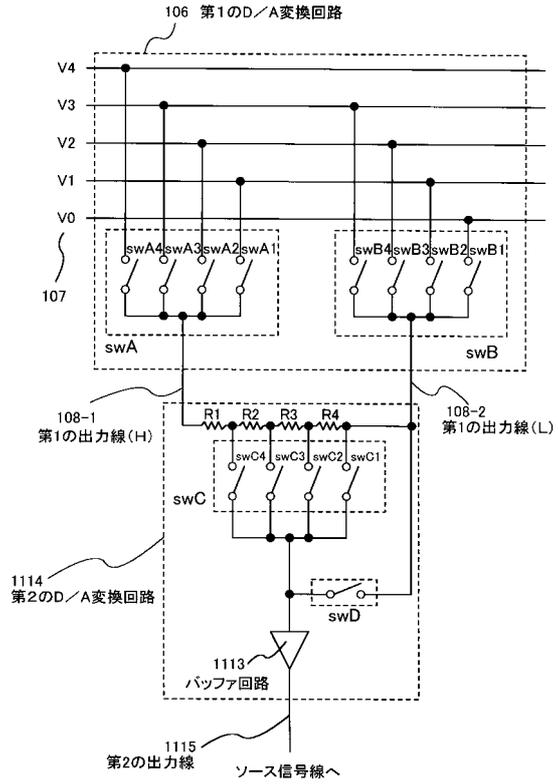
【図16】



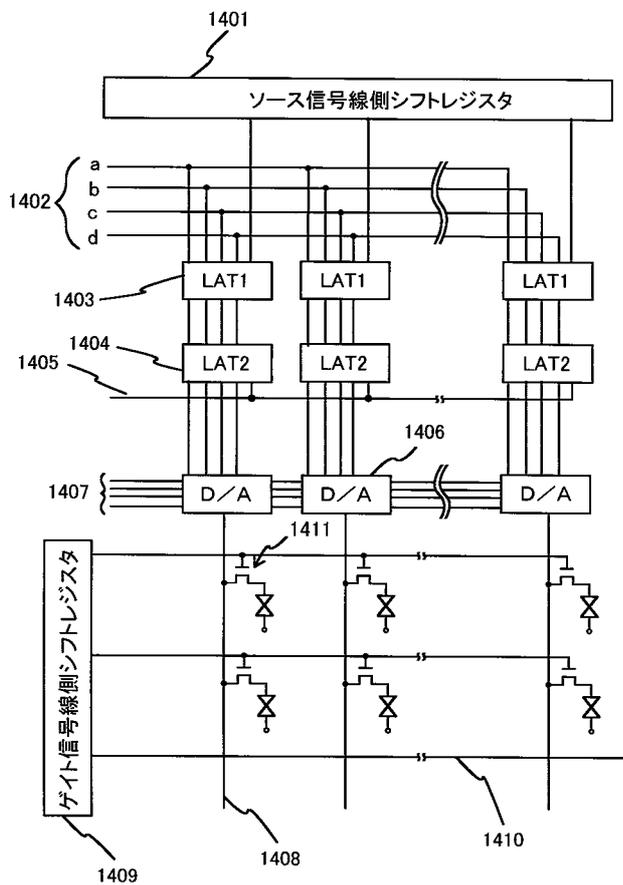
【 図 1 7 】



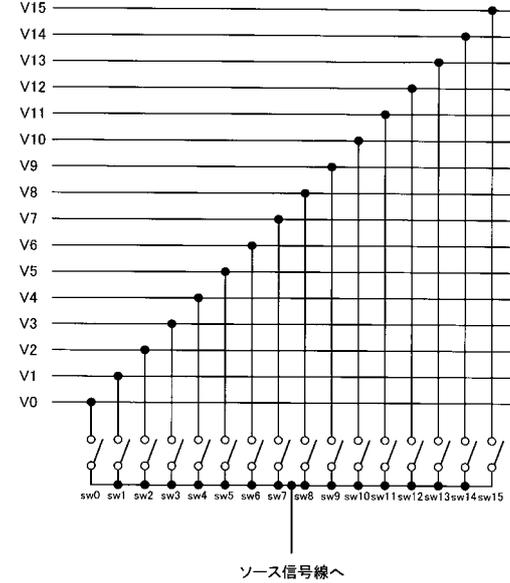
【 図 1 8 】



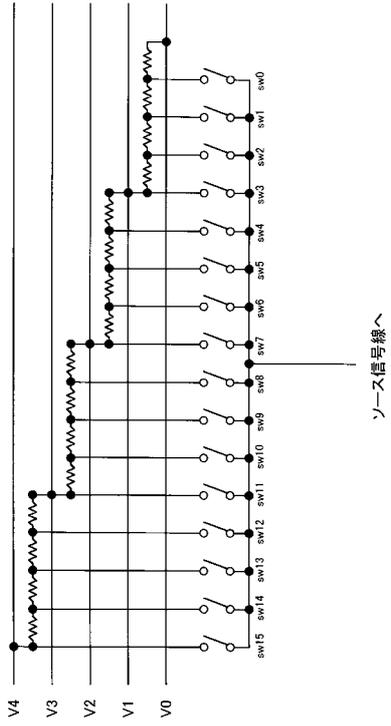
【 図 1 9 】



【 図 2 0 】



【 図 2 1 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 3 M 1/68

H 0 3 M 1/76

Fターム(参考) 5J022 AB05 AB09 BA01 BA05 CB07 CD03 CE09 CF09 CG01

专利名称(译)	液晶显示装置，D/A转换器电路和半导体装置		
公开(公告)号	JP2007293353A	公开(公告)日	2007-11-08
申请号	JP2007138563	申请日	2007-05-25
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	田中幸夫		
发明人	田中 幸夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H03M1/68 H03M1/76		
FI分类号	G09G3/36 G09G3/20.623.F G09G3/20.612.F G09G3/20.621.F G02F1/133.550 H03M1/68 H03M1/76		
F-TERM分类号	2H093/NA16 2H093/NC11 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND60 2H093/NF05 5C006/AA16 5C006/AA22 5C006/AF50 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF43 5C006/EC11 5C006/EC13 5C006/FA12 5C006/FA37 5C006/FA43 5C006/FA45 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD22 5C080/DD25 5C080/EE29 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK03 5C080/KK07 5C080/KK43 5J022/AB05 5J022/AB09 5J022/BA01 5J022/BA05 5J022/CB07 5J022/CD03 5J022/CE09 5J022/CF09 5J022/CG01 2H193/ZA04 2H193/ZQ06		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够在驱动液晶面板时实现对液晶单元的高精度和高速写入显示数据。解决方案：在包括源信号线和源信号线侧驱动电路的液晶显示装置中，源信号线侧驱动电路具有第一和第二D/A转换电路，第一个D/A转换电路包括施加不同电压的多个灰度电压线，第一开关电路和第二开关电路，并且多个灰度电压线中的每一个是1个输出线和第一开关电路，多个灰阶电压线中的每一个通过第二开关电路连接到第二输出线，第二个开关电路连接到第二输出线D/A转换电路包括串联连接在第一输出线和第二输出线之间的多个电阻器，以及第三开关电路，以及多个电阻器中的相邻电阻器与电阻器的连接点通过第三开关电路连接到第三输出线。点域

